

# **Modellierung und Simulation der ESD-Zerstörfestigkeit von integrierten Schaltungen in KFZ-Anwendungen**

Bastian Arndt, AVL-Trimerics GmbH, Regensburg, Germany

Friedrich zur Nieden, TU Dortmund, AG Bordsysteme, Dortmund, Germany

Stephan Frei, TU Dortmund, AG Bordsysteme, Dortmund, Germany

## **1 Einleitung**

Steigende Anforderungen an die ESD-Festigkeit und eine zunehmende Miniaturisierung führen zu Schwierigkeiten bei der Entwicklung von robusten ESD-Schutzkonzepten auf IC- und Systemebene. Bisher wurde die ESD-Festigkeit in der Regel mittels zeit- und kostenaufwendiger Testreihen ermittelt. Wurde ein Schutzziel nicht erreicht, konnten die notwendigen Schutzkonzepte nur durch weitere Versuche ausgewählt werden. Eine Bewertung im Vorfeld durch Simulation ist daher wünschenswert.

Das Verhalten von diskreten Schutzbauelementen kann bereits hinreichend genau modelliert werden [1]. Das Verhalten von Halbleiterstrukturen unter Pulsbelastung und das zugehörige Ausfallniveau konnte in der Vergangenheit nur mit speziellen Simulationswerkzeugen auf IC-Ebene ermittelt werden [2]. Diese sind auf die jeweiligen Halbleitertechnologien und deren Umsetzung ausgerichtet. Zur Beurteilung der ESD-Festigkeit auf Systemebene sind diese Werkzeuge kaum anwendbar, da das im Modell hinterlegte Wissen aus Wettbewerbsgründen nicht veröffentlicht werden kann, oder die Modelle eine Verbindung zu Simulationsprogrammen für die Systemebene nicht erlauben.

Das Verhalten von IC-Eingängen stellt jedoch einen systembestimmenden Faktor bei der Bewertung der ESD-Zerstörfestigkeit auf Systemebene dar. Soll eine Bewertung mittels Simulation erfolgen, so muss dieses Verhalten in entsprechenden Modellen verfügbar sein.

## **2 Verhalten von IC-Eingängen unter Pulsbelastung**

Die Eingangsimpedanz von Integrierten Schaltungen ist stark von der jeweils angelegten Spannung abhängig. Die Eingangsimpedanz kann in Form der charakteristischen Strom-Spannungskurve dargestellt werden. Dieses nichtlineare Verhalten ist von der jeweils verwendeten Technologie und Implementierung abhängig. Gängige Technologien zeigen trotz unterschiedlicher Funktionsprinzipien ein ähnliches Verhalten im Kennlinienverlauf [3]. Basierend darauf wird im Folgenden eine Methode vorgestellt, welche ein allgemeines phänomenologisches Verhaltensmodell auf der Basis des Strom-Spannungsverhaltens der jeweiligen IC-Eingangsstrukturen beschreibt und diese für Simulationen auf Systemebene zugänglich

lich macht. Abbildung 1 zeigt den Verlauf des Stromes durch einen n-Kanal MOSFET in Abhängigkeit von der angelegten Spannung.

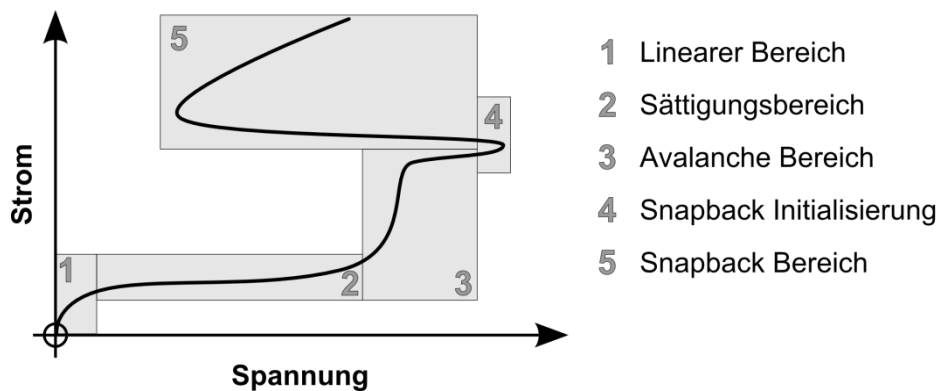


Abbildung 1: Vereinfachte Strom- Spannungskurve eines nMOS-Transistors bei konstanter Gate-Spannung

Das Spannungs-Strom Verhalten kann in fünf Bereiche unterteilt werden. Das Verhalten im Linear- und Sättigungsbereich ist gut bekannt. Diese Bereiche können durch verschiedene physikalische Beschreibungen modelliert werden und sind in kommerziell verfügbaren Analogsimulatoren wie etwa Saber oder PSpice implementiert [6][7]. Der Avalanche-Bereich liegt im Normalfall außerhalb des Arbeitsbereiches von üblichen Halbleiterstrukturen. Gängige Modellierungsverfahren greifen hier nicht mehr, da die Effekte stark von der verwendeten Technologie, Dotierung und deren Implementierung abhängig sind. In anwenderspezifischen Fällen wird dieses Verhalten mit speziellen Werkzeugen modelliert. Eine Übertragung auf gängige Simulatoren ist nur eingeschränkt und mit hohem Aufwand möglich [8]. Bei der Snapback Initialisierung werden aufgrund der hohen Stromdichten im Halbleiter parasitäre Strukturen aktiv [9]. Durch die zumeist abrupte Änderung der Leitfähigkeit der betroffenen Struktur wird diese deutlich niederimpedanter als im Avalanche-Bereich. Der Halbleiter befindet sich dann im sogenannten Snapback-Bereich.

### 3 Modellierungskonzept

Um die unterschiedlichen Verhaltensweisen von IC-Eingangsschutzstrukturen unter Pulsbelastung modellieren zu können, wurde ein Modellierungsverfahren entwickelt, welches in zwei Verhaltensbeschreibungen unterteilt ist. Das Modellierungskonzept kann das Strom-Spannungsverhalten bis zur Zerstörung des Bauteils abbilden. Es basiert auf einer phänomenologischen Beschreibung, welche durch Messdaten parametrisiert werden kann. Das IC-Eingangsmodell und das zugehörige Modellierungsverfahren sind unabhängig von der verwendeten Technologie gültig. Mithilfe eines thermischen RC-Ersatzmodells kann die Zerstörung der Eingangsstruktur erfasst werden [11]. Dieses relativ einfache ESD-Verhaltens- und Ausfallmodell ist für unterschiedliche Pulsbelastungen gültig. Das Vorgehen zur Erstellung der Bauteilmodelle mithilfe verschiedener Messverfahren wird in Abbildung 2 schematisch dargestellt. Das charakterisierte Bauteilverhalten wird im Simulationsmodell mittels vier Blöcken beschrieben. Block A beschreibt die Gehäuseeigenschaften, Block B

wird für die Bewertung der Ausfallkriterien benötigt [11]. Block C und Block D beschreiben das spannungsabhängige nichtlineare Verhalten der Eingangsstruktur.

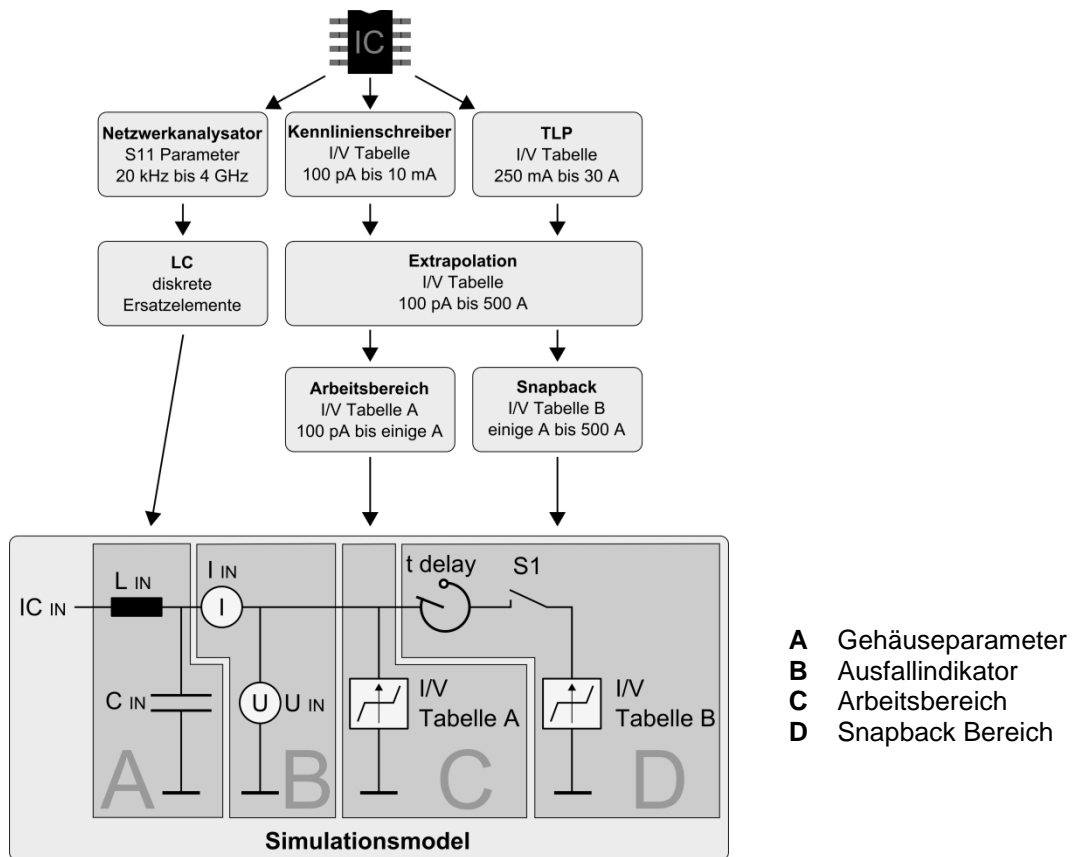


Abbildung 2: Ablauf der Modellerstellung für ein Ersatzmodell eines IC-Einganges

### 3.1 Gehäuseparameter

Der Block A des Simulationsmodells beschreibt das hochfrequente, lineare Übertragungsverhalten von IC-Eingängen mithilfe von LC-Modellen. Messtechnisch werden die Werte der LC-Modelle aus dem Übertragungsverhalten im Frequenzbereich durch Messungen mit einem Netzwerkanalysator ermittelt [10]. Die Geometrie des verwendeten IC-Gehäuses und die zur Kontaktierung benötigten Bonddrähte bestimmen größtenteils die Gehäuseinduktivität  $L_{IN}$ . Die Gehäusekapazität  $C_{IN}$  verteilt sich zu einem großen Teil auf die Kapazität der verwendeten Siliziumschutzstrukturen. Ein weiterer Teil wird durch das IC-Gehäuse gebildet.

### 3.2 Modellierung des nichtlinearen Verhaltens

Das nichtlineare Verhalten des Halbleiters wird mittels zweier tabellarischer Beschreibungen modelliert. Die Kennlinien beschreiben das nichtlineare Verhalten des Bauteils und werden in tabellarischer Form im Modell hinterlegt. (Block C und D in Abbildung 2) Die Aufteilung in zwei Modellblöcke ist notwendig, da für einen Spannungswert mehrere Stromwerte vorliegen können. Dies hat zur Folge, dass bei einer

Beschreibung mit nur einer Kennlinie keine eindeutige Zuordnung der entsprechenden Stromwerte zur angelegten Spannung erfolgen kann. Der messtechnisch ermittelte Kurvenverlauf wird daher in zwei Bereiche unterteilt, dem Arbeitsbereich (Block C) und dem Snapbackbereich (Block D). Die dafür notwendigen Kennlinien werden mit zwei Messverfahren erstellt. Für hohe Ströme werden die Kennlinien mit einem Transmission Line-Pulser (TLP) [4] ermittelt, da eine statische Messung die Bauteile thermisch beeinflussen oder zerstören könnte. Das Kleinsignal- und Leckstromverhalten wird mit einem Kennlinienschreiber aufgenommen. Hierbei ist auch zu beachten, dass das Bauteil durch die eingebrachte Leistung nicht thermisch beeinflusst wird. Die Initialisierung des Snapback erfolgt durch das Überschreiten einer strukturspezifischen Stromdichte. Dieser Zustand kann von der angelegten Spannung abgeleitet werden. Wird eine Initialisierungsspannung erreicht, so wird die I/V Tabelle B mit dem Schalter S1 zugeschaltet. Aufgrund der Hystereseigenschaften des Snapbackverhaltens kann die I/V Tabelle B nur dann deaktiviert werden, wenn ein spezifischer Spannungswert unterschritten wird. Die Aktivierung des Snapback kann nicht beliebig schnell erfolgen [3]. Dieses Verhalten wird daher mit dem Verzögerungsglied ( $t_{\text{delay}}$ ) beschrieben. Die entsprechende Verzögerungszeit wird aus den zugehörigen TLP-Messungen an der Snapback Initialisierung gewonnen. Mittels einer Extrapolation ist es zusätzlich möglich, die Snapback Kennlinie über die Messgrenzen hinaus zu erweitern, um einen größeren Simulationsbereich abzudecken.

#### **4 Messtechnische Verifikation des Modellierungsverfahrens mithilfe von TLP und IEC-ESD-Generatorentladungen**

Zur Bewertung der Modellierungsmethode wurde das Verhalten unter Pulsbelastung von realen IC-Eingangsstrukturen mit dem Verhalten von simulierten IC-Eingängen verglichen. Hierzu wird die Methode nachfolgend an einem IC-Schaltausgang exemplarisch dargestellt. Bei diesem Bauteil wurde ein ESD exponierter Pin für den Vergleich verwendet.

Die Untersuchung wurde mithilfe von zwei ESD-Testverfahren durchgeführt. Zur Verifikation des nichtlinearen Verhaltensmodells und der Reaktionszeiten des Modells wurden die Eingänge mit TLP beaufschlagt, welche die nichtlinearen Strukturen belasten. Die dazugehörigen Strom- und Spannungsverläufe wurden aufgezeichnet und anschließend mit zuvor simulierten Kurvenverläufen verglichen. Zur Verifikation der Ausfallschwelle wurde der IC-Eingang mit IEC-ESD-Pulsen belastet. Die IEC-ESD-Ausfallschwelle wurde zuvor in der Simulation ermittelt und mit Messergebnissen verglichen. Die Messumgebung (Abbildung 3) wurde für einen unversorgten IC ohne externe Schutzkomponenten auf einem PCB im Labor aufgebaut und für die Simulation modelliert. Die Spannungs- und Stromverläufe wurden mit einem Oszilloskop (LeCroy SDA 6000) aufgezeichnet. Für die Strommessung wurde ein CT1-Stromsensor von Tektronix verwendet. Die Anpassung der Spannungsamplitude für das Messgerät erfolgte über den frequenzkompensierten Widerstand  $R_{2\text{ k}\Omega}$ .

Zur Ermittlung der für die Modellierung notwendigen I/V-Kennlinien des Arbeits- und des Snapbackbereiches wurden TLP- und Kennlinienschreibermessungen kombiniert. Anschließend wurde für positive und negative Entladungen jeweils ein neuwertiges Bauteil bis zur Zerstörung mit 100 ns langen TLP belastet. Aus den sich am Bauteil ergebenden Leistungs- und Energiewerten der TLP-Entladung wurde die

thermische Ersatzschaltung gemäß [11] ermittelt. Anschließend wurde ein neuwertiges Bauteil mit der IEC-ESD-Generator-Entladung bei höherer Ladenspannung belastet, bis die Zerstörung durch Messung eines erhöhten Leckstroms festgestellt werden konnte.

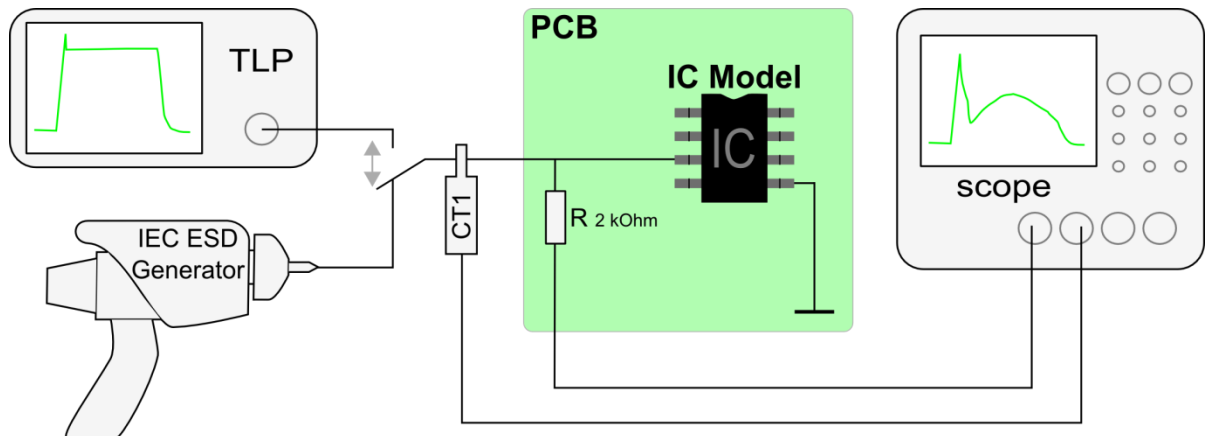


Abbildung 3: Schematischer Mess- und Simulationsaufbau zur Modellerstellung von IC-Eingangsstrukturen.

Exemplarisch wurde ein LIN-Transceiver von NXP mit der Bezeichnung TJA1020 untersucht. Hierbei handelt es sich um einen für den Automobilbereich typischen LIN-Transceiver in einem SO8 Gehäuse. Der für die LIN Kommunikation des Bausteins verantwortliche Pin wurde ohne externe Beschaltung untersucht und getestet. Das Bauteil wird somit außerhalb der Spezifikation betrieben. Jedoch kann die Modellierungsmethode so besser verifiziert werden, da keine zusätzlichen Bauelemente das Ergebnis beeinflussen können.

Allgemein		Positive Entladungen		Negative Entladungen	
$t_{TLP}$	100 ns	$t_{delay+}$	450 ps	$t_{delay-}$	550 ps
$T_{Umgebung}$	293 K	$S1_{positiv AN}$	40 V	$S1_{negativ AN}$	-36 V
		$S1_{positiv AUS}$	7 V	$S1_{negativ AUS}$	-15 V
		$U_{Max TLP}$	1400 V	$U_{Min TLP}$	-680 V
		$U_{leakate+}$	30 V	$U_{leakate-}$	-20 V
		$I_{leakage+}$	49,8 uA	$I_{leakage-}$	35,2 uA
		Pulsenergie+	95 uJ	Pulsenergie-	66 uJ
Gehäuseparameter					
$L_{IN}$	1,8 nH				
$C_{IN}$	4,9 pF				

Tabelle 1: ESD Simulationsparameter für einen LIN-Eingang

Tabelle 1 gibt die für die Modellierung notwendigen Parameter wieder. Aus dem Verlauf der Übertragungsfunktion des Eingangs (Abbildung 5) kann für das IC-Modell eine geometriebedingte Eingangsinduktivität  $L_{IN}$  von 1,8 nH und eine Eingangskapazität  $C_{IN}$  von 4,9 pF ermittelt werden. Bei den TLP-Entladungen wurden Pulslängen von 100 ns gewählt ( $t_{TLP}$ ). Bei den Labortests betrug die Umgebungstemperatur ca. 20°C ( $T_{Umgebung}$ ). Die I/V-Kennlinien (Abbildung 4) für den Arbeits- und den Snapbackbereich weisen ein unterschiedliches Verhalten für positive und negative Entladungen auf. Daher wurden die Modellierungsparameter in positive und negative Entladungen unterteilt.

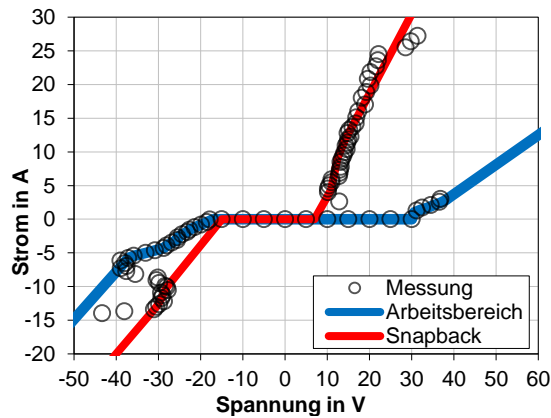


Abbildung 4: I/V-Kennlinie eines LIN-Transceiver-Einganges

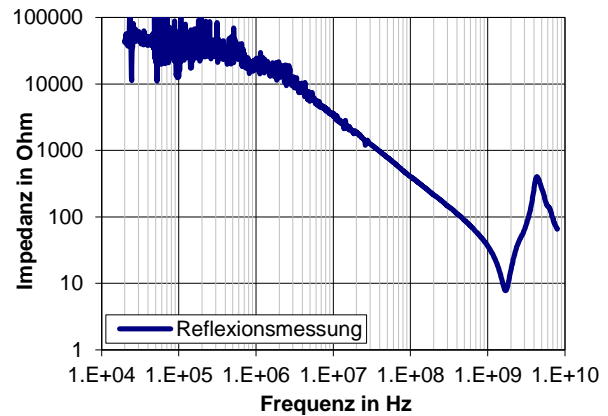


Abbildung 5: Impedanzverlauf eines LIN-Transceiver-Einganges

Die Verzögerungszeit ( $t_{\text{delay}}$ ) der Snapbackstruktur wurde aus dem Spannungsverlauf einer mittleren TLP-Entladung mit einem Entladestrom von 15 A ermittelt. Bei positiven Entladungen wird die Snapbackstruktur bei 40 V aktiv ( $S1_{\text{positiv AN}}$ ). Aus der Extrapolation der Snapbackkennlinie wurde eine Deaktivierungsspannung von 7 V ( $S1_{\text{positiv AUS}}$ ) abgeleitet. Bei den TLP-Messungen wurde die Eingangsstruktur bei einer TLP-Ladespannung größer 1400 V geschädigt ( $U_{\text{Max TLP}}$ ). Messpunkte im I/V-Kennlinienverlauf, die deutlich außerhalb der Snapbackkurve liegen, weisen auf eine vorherige Zerstörung des Bauteils hin. Als Indikator für eine Schädigung des Bauteils wurde eine Leckstrommessung an der beaufschlagten Struktur nach jeder TLP-Entladung durchgeführt. Als Nullmessung ergab sich bei einer Messspannung von 30 V ( $U_{\text{leakate+}}$ ) ein Leckstrom in das Bauteil von  $49,8 \mu\text{A}$  ( $I_{\text{leakage+}}$ ). Wurde nach einer TLP-Entladung ein signifikant abweichender Leckstrom gemessen, so wurde dies als Beeinträchtigung der Struktur gewertet. Aus dem Strom- und Spannungsverlauf der letzten, nicht zu einer Beeinträchtigung führenden Entladung, wurde die zur Zerstörung notwendige Energie mit  $95 \mu\text{J}$  ermittelt ( $\text{Pulsenergie+}$ ). Hieraus lassen sich die zur Beurteilung der thermischen Belastbarkeit notwendigen thermischen Parameter bestimmen [11]

Analog zu den positiven Entladungen wurden die Werte für negative Pulse ermittelt (Tabelle 1, rechts). Die Messwerte der Pulsenergien für positive und negative Pulse weichen voneinander ab. Dieses kann darauf zurückgeführt werden, dass für positive und negative Pulse unterschiedliche Strukturen aktiv werden. Erkennbar wird dies an der I/V-Kennlinie (Abbildung 4). Würden komplementäre Strukturen zum Einsatz kommen, so müsste die Kennlinie punktsymmetrisch zum Ursprung sein.

Zur Verifikation des Reaktionsverhaltens des IC-Eingangsmodells wurden Messergebnisse einer TLP-Entladung mit einer Ladespannung von 1400 V mit Simulationsdaten verglichen (Abbildung 6, Abbildung 7). Hierbei zeigt sich sowohl am Strom- als auch am Spannungsverlauf eine gute Übereinstimmung von Simulations- und Messergebnissen.

Das Zerstörverhalten des IC-Modells unter Pulslast wurde anhand eines IEC-ESD-Tests (Tabelle 2, links) gemäß IEC 61000-4-2 verifiziert. Abbildung 8 zeigt den Spannungsverlauf von Simulation und Messung bei einer Entladespannung des ESD-Generators von 16 kV. Hierbei stimmen die Ergebnisse der Simulation und Messung gut überein.

IEC ESD Parameter	
R <sub>ESD</sub>	330 Ω
C <sub>ESD</sub>	150 pF
Entladungen	3
Wartezeit	5 s

Positive ESD Entladungen	
U <sub>Max Messung</sub>	19 kV
U <sub>Max Simulation</sub>	22 kV
U <sub>Abweichung</sub>	3 kV
Abweichung	13 %

Tabelle 2: IEC-ESD-Simulations- und Messergebnis eines LIN-Transceiver Eingang

Zur Ermittlung der Belastbarkeitsgrenze des Bausteins wurden jeweils drei ESD-Generatorentladungen im Abstand von 5 s auf den LIN-Pin des Bausteins abgegeben. Anschließend wurde der Leckstrom der Struktur vermessen. Wenn keine Schädigung festzustellen war, wurde der Test mit einer erhöhten ESD-Generatorspannung fortgesetzt. Hierbei ergab sich eine ESD-Festigkeit des Bausteins bis 19 kV (Tabelle 2, rechts).

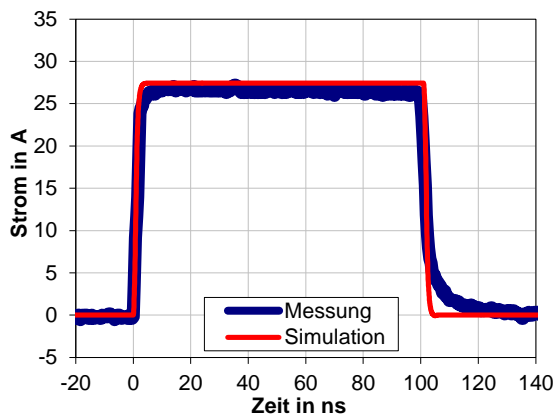


Abbildung 6: Stromverlauf einer TLP-Entladung in den LIN-Transceiver-Eingang

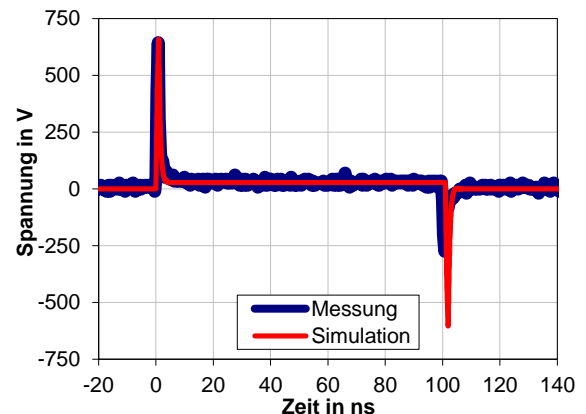


Abbildung 7: Spannungsverlauf einer TLP-Entladung in den LIN-Transceiver-Eingang

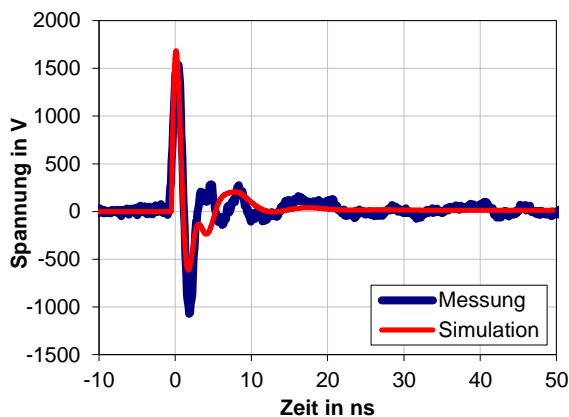


Abbildung 8: Spannungsverlauf einer 16 kV IEC-ESD-Entladung in LIN-Transceiver-Eingang

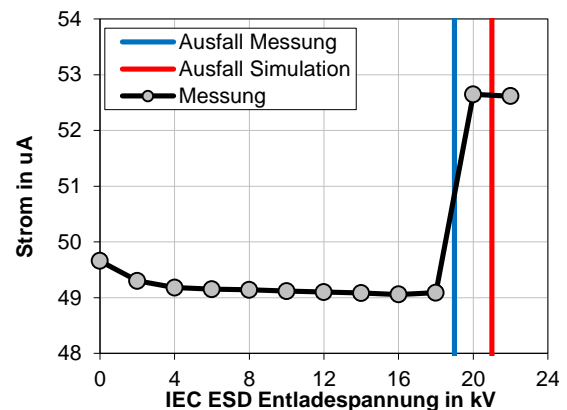


Abbildung 9: Leckstrom in LIN-Transceiver-Eingang nach positiven IEC-ESD-Entladungen

Bei 20 kV ESD-Generatorspannung wurde ein erhöhter Leckstrom festgestellt (Abbildung 9). Eine zur Zerstörung des Bauteils notwendige Generatorspannung von 22 kV ( $U_{\text{Max Simulation}}$ ) wurde auf Basis von Simulationen ermittelt. In diesem Fall konnte die Beeinträchtigung der LIN-Struktur mit einer Abweichung von 13 % mittels Simula-

tion vorhergesagt werden, was eine gute Korrelation zwischen Simulations- und Messergebnis bedeutet.

## 5 Zusammenfassung

Das Zerstörverhalten von IC-Eingängen unter Pulsbelastung kann mit der vorgestellten Modellierungsmethode gut beschrieben werden. Aus der thermischen Belastung kann die Zerstörschwelle eines Eingangs ermittelt werden. Die Simulationsmethode läßt sich sehr gut zur Bewertung von Schaltungen und Schutzkonzepten auf Systemebene verwenden. Dies kann bereits in frühen Entwicklungsphasen geschehen, ohne dass Hardwarekomponenten verfügbar sein müssen.

Ein großer Vorteil der Methode ist, dass für die Modellierung keine detaillierten Kenntnisse über die betroffenen Halbleiterstrukturen notwendig sind, da alle notwendigen Parameter mit vergleichsweise einfachen Messungen bestimmt werden können.

## 6 Literaturliste

- [1] Bastian Arndt, Friedrich zur Nieden, Frank Kremer, Yiqun Cao, Johannes Edenhofer, Stephan Frei; „Modellierung von ESD Schutzelementen in VHDL-AMS“; EMV 2010, Düsseldorf
- [2] Haiko Morgenstern; „Effiziente Verifikation der Robustheit komplexer integrierter Schaltungen“; Berlin 2011
- [3] Ajith Amerasekera, Charvaka Duvvury, Warren Anderson, Horst Gieser, Sridhar Ramaswamy “Physics and Operation of ESD Protection Circuit Elements ESD in Silicon Integrated Circuits”; John Wiley & Sons; ISBN 978-0471498711
- [4] <http://www.hppi.de/products.html>
- [5] Jean-Robert Manouvrier, Pascal Fonteneau, Charles-Alexandre Legrand, Corinne Richier, Hélène Beckrich-Ros; „A Scalable Compact Model of Interconnects Self-Heating in CMOS Technology“; EOS/ESD Symposium 2008
- [6] Synopsis, “Star-Hspice User's Manual Version 2002.2”; 2002
- [7] Michael Reisch; „Elektronische Bauelemente Funktion, Grundschtaltung, Modellierung mit SPICE“; 1998; Springer; ISBN:3-540-60991-1
- [8] Stephen G. Beebe; “Characterization modeling and design of ESD protection circuits”; 1998; Technical Report; ISBN: 0591908662
- [9] Kurt Hoffmann; „4.5 Effekte zweiter Ordnung; Systemintegration: Vom Transistor zur großintegrierten Schaltung“; Oldenbourg 2006; ISBN: 978-3486578942
- [10] Michael Hiebel; Rohde&Schwarz GmbH; „Grundlagen der vektoriellen Netzwerkanalyse“; München 2006
- [11] B. Arndt 1, F. zur Nieden, O. Iglitsyn, S. Frei; „Modellierung des thermischen Ausfallverhaltens von IC-Eingängen zur Bewertung der System-ESD-Festigkeit“; ESD Forum 2011, München