

Übungsaufgaben zu Rechnerarchitektur SS02

Zu Kapitel 1: Basics

1. Hier sehen Sie die wichtigsten Anforderungen bei der Hardwareentwicklung. Geben Sie für die verschiedenen Unterpunkte *Beispiele* an:
 - a. **Rechnertyp**: Spezialrechner, Universalrechner, Wissenschaftlicher Rechner, Kommerzieller Rechner
 - b. **Softwarekompatibilität**: Programmiersprache, Objektcode- oder binärkompatibel
 - c. **Betriebssystemerfordernisse**: Größe des Adressraumes, Speicherverwaltung, Schutz, Context-Switching, Interrupts und Traps
 - d. **Standards**: Gleitkomma, E/A-Bus, Betriebssysteme, Netzwerke, Programmiersprachen

2. *Hennessy & Patterson* geben in ihrem Buch *Rechnerarchitektur* diverse Möglichkeiten zur Vermessung und zum Vergleich von Rechnerarchitekturen und -implementierungen an.
 - a. Definitionen:
 - i. CPU-Zeit ist die Zeit, die ein Programm benötigt, um ausgeführt zu werden. Sie wird gemessen als Quotient von Taktzyklen und Taktfrequenz.
$$\text{CPU-Zeit} = \text{CPU-Taktzyklen} / \text{Taktfrequenz}.$$
 - ii. CPI (Cycles per Instruction) gibt an, wie viele Taktzyklen ein Befehl benötigt,
 - iii. Dabei sind die CPU-Taktzyklen = $\sum (\text{CPI}_i * I_i)$, wobei I_i die absolute Häufigkeit der Ausführung des Befehl i ist und CPI_i die mittlere Zahl der Taktzyklen für den Befehl i .
 - b. Aufgabe:

Es gebe folgende Alternativen für einen Befehl zur bedingten Verzweigung:

CPU A: Ein Bedingungscode wird durch einen Vergleichsbefehl gesetzt und eine folgende, den Bedingungscode testende Verzweigung.

CPU B: Der Vergleich ist in die Verzweigung integriert.

In beiden CPUs benötigt die bedingte Verzweigung 2 Zyklen, alle anderen Befehle 1 Zyklus. 20 % aller von CPU A & B ausgeführten Befehle sind bedingte Verzweigungen; damit gibt es auch 20% Vergleiche in CPU A.

Da die CPU A den Vergleich nicht in die Verzweigung integriert hat, ist ihre Zykluszeit 25% schneller, als die der CPU B.

Welche CPU ist schneller ? Was wird bei dieser Art Leistungsbestimmung nicht beachtet ?

3. MIPS & MFLOPS

MIPS gibt die Millionen Instruktionen pro Sekunde an.

$$\text{MIPS} = \text{Befehlsanzahl} / (\text{Ausführungszeit} * 10^6) = \text{Taktfrequenz} / (\text{CPI} * 10^6).$$

Daraus sollte folgen, dass schnellere Maschinen mehr MIPS haben. **Ist das**

so ? Welche Probleme ergeben sich, bzw. was ist bei diesem Wert „MIPS“ nicht betrachtet ? (Befehlssatz, Kompilation, CISC, RISC)

MFLOPS gibt die Millionen Fließkomma-Instruktionen pro Sekunde an, womit diese Leistungszahl nur für Gleitkommaleistungsmessung gebraucht werden können. Es folgt, dass Compiler keine Gleitkommaleistung haben.

Welche Probleme ergeben sich bei verschiedenen Architekturen ? (So hat z.B. die Cray-2 keinen Divisionsbefehl, der Motorola 68882 die Division, Quadratwurzel, Sinus und Cosinus)

4. Sie kennen die **Von-Neumann-Architektur** ! Wirklich ?
5. Stellen Sie sich einen stark parallel arbeitenden Prozessor vor, z.B. den AMD Athlon™. Welche Probleme gehen mit der Hardware-Simulation einher und wo können Simulationen sinnvoll eingesetzt werden ? Was sind die Grenzen einer Architektursimulation ?