



Abschlussbericht PARACHUTE

BMBF-Verbundprojekt *PARACHUTE*

Elektromagnetische Zuverlässigkeit

und

effizienter TopDown-Entwurf

für

optimale Systemeigenschaften

nanoelektronischer Komponenten

(BMBF Verbundvorhaben im Rahmen des europäischen Verbundprojekts
PARACHUTE – MEDEA+ A 701)

Teil 1

Zuwendungsempfänger:

Robert Bosch GmbH (01M 3169 B)
Postfach 13 42 - 72703 Reutlingen

Continental - Division Powertrain (01M 3169 C)
Sieboldstrasse 19 - D-90411 Nuernberg

Infineon Technologies AG (01M3169A)
Am Campeon 1 - 12 – 85579 Neubiberg

Universität Paderborn (01M 3169 E)
Warburger Straße 100 – D-33098 Paderborn

Zuken GmbH (01M 3169 D)
Vattmannstraße 3 – 33100 Paderborn

Projektlaufzeit:

1. April 2006 – 31. März 2009

Projektleitung:

Dipl.-Ing. Thomas Steinecke
Infineon Technologies AG - ATV MC D IPI EMC
Am Campeon 1 - 12 – 85579 Neubiberg
Tel.: +49 89 234 84979 - Fax: +49 89 234 9555898
eMail: thomas.steinecke@infineon.com

F+E-Koordination Abschlussbericht:

Dr.-Ing. Werner John
System Integration Laboratory (SIL) – R+D Consulting
Doerener Weg 4B - 33100 Paderborn
Tel.: +49 (0)5251 5439 300 – Fax: +49 (0)5251 5439 311
eMail: werner.john@sysint-lab.eu

Autorenliste

An der Fertigstellung des gemeinsamen PARACHUTE-Abschlussberichts waren die folgenden Kollegen und Mitarbeiter maßgeblich beteiligt:

Name

Organisation

St. Palm
Dr. W. Wilkening

Robert Bosch GmbH (BOSCH)

Markus Fenderl
Göran Schubert

*Continental/Division Powertrain -
Business Unit Transmission (CONTINENTAL)*

Thomas Fischer
Janina Platz
Mathias Spang

*Lehrstuhl für Elektromagnetische Felder
Friedrich-Alexander-Universität Erlangen-
Nürnberg – UA (FAU)*

Dr. Götze

*Gesellschaft zur Förderung angewandter
Informatik eV. – UA (GFal)*

Dirk Ahlers
Mehmet Gökçen
Gerhard Groos
Dirk Hesidenz
Jörg Köllermeyer
Jacek Kruppa
Michael Mayerhofer
Heinz Novak
Alevtina Podgaynaya
Werner Simbürger
Matthias Stecher
Thomas Steinecke
Tao Su
Markus Unger

Infineon Technologies AG (IFAG)

V. Geneiß
Dr. W. John (1. April 2006 – 30. September 2009)
Thomas Mager
U. Stürmer

*Fraunhofer-Institut für Zuverlässigkeit
und Mikrointegration/Fraunhofer Einrichtung
Elektronische Nanosysteme – UA (IZM/ENAS)*

Ch. Fischer
Reza Kazemzadeh
Stefan Ludwig
Prof. Dr. W. Mathis
Dr. Ljubica Radic-Weissenfeld
(1. Mai 2007 – 31. März 2009)
Dr. Adam Tankielun (1. Mai 2007 - 31. Mai 2008)

*Leibniz Universität Hannover - Fakultät für
Elektrotechnik und Informatik
Institut für Theoretische Elektrotechnik – UA
(LUH-TET)*

Dieter Averberg

Magh und Boppert GmbH - UA

Haiko Morgenstern
Uwe Stürmer (1. Mai 2006 - 1. Januar 2008)
Dr. Ch. Hedayat
Dr. M. Taki
Ch. Wiegand
Dr. Ljubica Radic-Weissenfeld
(1. Juni 2006 - 30. April 2007)
Dr. Adam Tankielun (1. April 2006 - 30. April 2007)
Christopher Wiegand (14. April 2007 - 31. März 2009)

*Universität Paderborn
Fakultät für Elektrotechnik, Informatik und
Mathematik (UPB)*

Name

Kai Benndorf
Ralf Brüning
Markus Bücker
Uwe Keller
Dr. W. Rissiek
Michael Schäder
Jörn Seaman

Organisation

Zuken GmbH (ZUKEN)

Anmerkung der Autoren

Das diesem Bericht zugrunde liegende Verbundvorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter den Kennzeichen 01M3169A/01M3169B/01M3169C/01M3169D/01M3169E gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt allein bei den Projektpartnern.

Inhaltsverzeichnis

1. Kurzdarstellung PARACHUTE	8
<i>Verbesserte Sicherheit im Straßenverkehr</i>	8
<i>Sicherheit ⇔ Elektromagnetische Zuverlässigkeit</i>	8
<i>PARACHUTE-Beiträge zur Lösung EMZ-Problemen im industriellen Umfeld</i>	9
<i>Herausragende PARACHUTE-Ergebnisse</i>	9
2. Darstellung der erzielten Forschungsergebnisse	15
AP1: Modellierung und Simulation elektromagnetischer Emission von Nanometer-Strukturen	15
2.1 B 1.1.1: Rekursive äquivalente Stromquellen zur realistischen Modellierung dynamischer Schaltströme - Infineon Technologies AG	15
2.1.1 Einleitung	15
2.1.2 Ziele der F+E Arbeiten	16
2.1.3 Technische Ergebnisse	16
2.1.4 Stand der Technik	17
2.1.5 Anwendungsbeispiele und Verwertung	17
2.1.6 Literatur - Rekursive äquivalente Stromquellen zur realistischen Modellierung dynamischer Schaltströme	18
2.2 B 1.1.2: IC-Modelle zur Beschreibung abgestrahlter elektromagnetischer Energie von komplexen mikroelektronischen Systemen (Verwendung von nanoelektronischen Bauelementen) - UPB	18
2.3 B 1.2.1 Neue Entwurfskonzepte für IC-Versorgung und Speicherbusse auf komplexen Schaltungsträgern - CONTINENTAL	19
B 1.2.1-a Störfrees, robustes Versorgungskonzept für Microcontroller	19
2.3.1 Einleitung	19
2.3.2 Ziele der F+E Arbeiten	19
2.3.3 Technische Ergebnisse	19
<i>Reduzierung der geometrischen Ausdehnung hochfrequenzbelasteter Schaltungsteile</i>	19
<i>Minimierung der Kopplung zur Umgebung</i>	20
2.3.4 Stand der Technik	21
2.3.5 Anwendungsbeispiele und Verwertung	21
B 1.2.1-b Design robuster, abstrahlungsarmer externer Speicherbusse	23
2.3.6 Einleitung	23
<i>Ziel der F+E Arbeiten</i>	23
2.3.7 Technische Ergebnisse	23
<i>Auslegung impedanzkontrollierter externer μC-Busse im Hinblick auf sicheres Betriebsverhalten und geringere Störaussendung</i>	24
<i>Stand der Technik</i>	26
<i>Zusammenfassung (B 1.2.1)</i>	26
2.3.8 Literatur - Neue Entwurfskonzepte für IC-Versorgung und Speicherbusse auf komplexen Schaltungsträgern	26
2.4 B1.2.2: Neue Entwurfskonzepte für Versorgung und Speicherbustreiber in Microcontroller-Chips - Infineon Technologies AG	27
2.4.1 Einleitung	27
2.4.2 Ziele der F+E Arbeiten	27
2.4.3 Technische Ergebnisse	27
2.4.4 Stand der Technik	30
2.4.5 Anwendungsbeispiele und Verwertung	30
2.4.6 Literatur - Neue Entwurfskonzepte für Versorgung und Speicherbustreiber in Microcontroller-Chips	30

2.5	B 1.2.3: Neue Konzepte für störungsfreie Systeme auf der Ebene IC+Gehäuse-Versorgungsnetze und kontrollierte gestrahlte Emission (Optimierung und Modellierung hochkomplexer Packaging-Strukturen) - ZUKEN (Kooperation mit LUH/TET und UPB)	31
	<i>IC-Emissionsmodelle für die EMZ-Simulation (Kooperation mit LUH/TET und UPB)</i>	31
	<i>Modellordnungsreduktion für HDI/HDP-Anwendungen (Kooperation mit LUH/TET und UPB)</i>	31
	<i>Modellierung ausgewählter Leitungsstrukturen</i>	31
2.5.1	Einleitung	31
2.5.2	Ziele der F+E Arbeiten	32
2.5.3	Technische Ergebnisse	32
	IC-Emissionsmodelle für die EMZ-Simulation (Kooperation mit LUH/TET und UPB)	32
	<i>Standardisierte Emissionsmodelle für SiP mit Anwendungen in der Systemsimulation</i>	33
	<i>ICEM-Modelle zur PI-Analyse von IC</i>	33
	<i>Erstellung eines ICEM-Modells des Versorgungssystems eines 32-Bit Controllers</i>	35
	<i>Modul-bezogenes ICEM-Modell</i>	35
	<i>Parametrisierung des modul-bezogenen ICEM-Modells und Ergebnisse</i>	36
	<i>Pin-bezogenes ICEM-Modell</i>	38
	Modellordnungsreduktion für HDI/HDP-Anwendungen (Kooperation mit LUH/TET und UPB)	41
	<i>Übersicht</i>	41
	<i>EMZ-Verhaltensmodelle mittels MOR Verfahren</i>	42
	<i>Ordnungsreduktionsalgorithmen</i>	42
2.5.4	Anwendungsbeispiele und Verwertung	43
	<i>Simulationsergebnisse – MOR für HDI/HDP-Anwendungen</i>	43
	<i>HDI elektrisches Modell</i>	43
	<i>IC Emission Modell – MOR-Anwendung</i>	45
	<i>Kabelbaummodell</i>	45
	<i>Transmission-Line Modell mit Substrukturen</i>	47
	Modellierung ausgewählter Leitungsstrukturen	49
	<i>Koplanare Leitungsstrukturen auf HDI Systemem</i>	49
	<i>EMZ-Modellierung von HDI-Fertigungseinflüssen</i>	50
2.5.5	Zusammenfassung (B 1.2.3)	50
	<i>Zusammenfassung - IC Emissionsmodelle für die EMZ-Simulation</i>	50
	<i>Zusammenfassung - Modellordnungsreduktion für HDI/HDP-Anwendungen</i>	51
2.5.6	Literatur	52
	<i>Literatur - IC Emissionsmodelle für die EMZ-Simulation</i>	52
	<i>Literatur - Modellordnungsreduktion für HDI/HDP-Anwendungen</i>	52
2.6	B 1.2.4 Verbesserung der Signal- und Power-Integrität durch optimierte Gehäuse-Strukturen und deren ICEM-Modelle für IC - UPB	54
	Unterstützung der Signalintegritäts-Analyse mit Hilfe von nichtlinearen Black-Box Modellen (Kooperation mit LUH/TET und ZUKEN)	54
2.6.1	Einleitung	54
2.6.2	Ziele der F+E Arbeiten	54
	Black-Box Modellierung	54
2.6.3	Technische Ergebnisse	55
	<i>Radiale Basisfunktionen Netze</i>	55
	<i>Einfluss von Temperatureffekten</i>	57
2.6.4	Anwendungsbeispiele und Verwertung	58
	<i>Signalintegritätsanalyse mit Hilfe von RBF-Modellen</i>	58
2.6.5	Zusammenfassung (B1.2.4)	60
2.6.6	Literatur	60

AP2: Modellierung und Simulation elektromagnetischer Störfestigkeit von Nanometer-Strukturen	61
2.7 B2.1.1 Modellierung von Störungskopplungen in Mixed-Signal ICs - BOSCH	61
2.7.1 Einleitung	61
2.7.2 Ziele der F+E Arbeiten	61
2.7.3 Technische Ergebnisse	61
<i>Vorüberlegungen/Herangehensweise</i>	61
<i>Ergebnisse</i>	62
2.7.4 Stand der Technik	64
2.7.5 Anwendungsbeispiele und Verwertung	65
2.7.6 Literatur – Modellierung von Störungskopplungen in Mixed-Signal IC	65
2.8 B 2.1.2: Identifikation und Modellierung von Störpfaden für externe Pulseinkopplung in Mikrocontroller-ICs – Infineon Technologies AG	66
2.8.1 Einleitung	66
2.8.2 Ziele der F+E Arbeiten	66
2.8.3 Technische Ergebnisse	66
<i>Lokale Pulsformen</i>	66
<i>Microcontroller-Ausfallmechanismen</i>	67
<i>Simulationsmodell für Störfestigkeit</i>	67
2.8.4 Stand der Technik	68
2.8.5 Anwendungsbeispiele und Verwertung	68
2.8.6 Literatur - Identifikation und Modellierung von Störpfaden für externe Pulseinkopplung in Mikrocontroller-IC	68
2.9 B 2.1.3: Modellierung der Störfestigkeit von Smart-Power-ICs gegenüber EMI und Pulsstress – Infineon Technologies AG	68
2.9.1 Einleitung	68
2.9.2 Ziele der F+E Arbeiten	68
2.9.3 Technische Ergebnisse	69
2.9.4 Stand der Technik	69
2.9.5 Anwendungsbeispiele und Verwertung	69
2.9.6 Literatur - Modellierung der Störfestigkeit von Smart-Power-ICs gegenüber EMI und Pulsstress	69
2.10 B 2.1.4: Modellierung von digitalen und analogen IC-Modulen und Simulation der Störfestigkeit von Taktsignalen in HDI/HDP- Anwendungen – Black Box Modelling - UPB	70
<i>Störfestigkeit von Taktsignalen (Modellierung von digitalen IC-Modulen zur Simulation der Störfestigkeit (Taktsignale in HDI/HDP-Anwendungen) ⇔ Black Box Modelling und EMZ-Modellierung von integrierten Schaltungen)) - (Kooperation mit ZUKEN GmbH)</i>	70
<i>Modellierung der Signalintegrität von Taktsignalen – Phasenregelkreis (Phase-Locked Loop)</i>	70
<i>Susceptibility von Smart Power IC ⇔ Modellierung der Störfestigkeit von Smart-Power-IC gegenüber EMI und Plus-Stress (Kooperation mit Infineon Technologies AG)</i>	70
Black Box Modellierung (Rationale Übertragungsfunktionen) und EMZ-Modellierung von integrierten Schaltungen	70
2.10.1 Einleitung – Ziele der F+E Arbeiten	70
<i>Black Box Modellierung – Rationale Übertragungsfunktionen</i>	70
<i>Grundlegende Modellierung</i>	70
2.10.2 Technische Ergebnisse	71
<i>Parameterschätzung – Frequenzbereich (Vektor-Fitting)</i>	71
2.10.3 Erzwingen der Passivität – Passivity Enforcement	71
2.10.4 Netzwerksynthese	72
2.10.5 Algorithmus	72
2.10.6 Anwendungsbeispiele und Verwertung	73
2.10.7 Zusammenfassung (B 2.1.4) (Black Box Modellierung – Rationale Übertragungsfunktionen)	74
2.10.8 Literatur - Black Box Modellierung – Rationale Übertragungsfunktionen	74

Modellierung der Signalintegrität von Taktsignalen – Phasenregelkreis (Phase-Locked Loop)	75
2.10.9 Einleitung – Ziele der F+E Arbeiten	75
2.10.10 Technische Ergebnisse	75
<i>Aufbau eines Phasenregelkreises</i>	75
<i>Lineare Approximation und die Übertragungsfunktionen bzgl. verschiedenster Rauschquellen</i>	76
<i>Dynamisches und logisches Verhalten</i>	76
<i>Modellierung – Ereignisgesteuerte Modelle</i>	77
2.10.11 Anwendungsbeispiele und Verwertung	78
<i>Konzeption und Implementierung des Integritätsdetektors</i>	78
2.10.12 Literatur - Modellierung der Signalintegrität von Taktsignalen	80
Susceptibility von Smart Power IC ↔ Modellierung der Störfestigkeit von Smart-Power-IC gegenüber EMI und Plus-Stress (Kooperation mit Infineon Technologies AG)	81
2.10.13 Einleitung	81
<i>Ziel der F+E Arbeiten</i>	81
2.10.14 Technische Ergebnisse	82
<i>Theoretische Überlegungen</i>	82
<i>Assertion basierte Modellierung</i>	83
<i>Hierarchische Pfadsuche/Modellerweiterung</i>	83
<i>Hierarchischer Design-Flow</i>	84
2.10.15 Stand der Technik	85
2.10.16 Anwendungsbeispiele und Verwertung	87
<i>Integration in den Entwurfsablauf</i>	87
2.10.17 Literatur - Susceptibility von Smart Power IC	87

1. Kurzdarstellung PARACHUTE

Verbesserte Sicherheit im Straßenverkehr

Fast jeder Bundesbürger kann als Straßenverkehrsteilnehmer – sei es als Autofahrer, Radfahrer oder Fußgänger – gezählt werden. Die Sicherheit aller Straßenverkehrsteilnehmer ist einerseits von der Aufmerksamkeit und Reaktionsschnelle der Autofahrer, ebenso jedoch von der zuverlässigen Funktionsweise der Kraftfahrzeuge abhängig. Wichtige Funktionen wie Lenkung, Bremsen oder Aufprallschutz (Airbag) bestehen aus mechanischen und elektronischen Elementen, wobei der Anteil der elektronischen Funktionen ständig zunimmt. Fahrerassistenzsysteme nehmen dem Fahrer zunehmend – vor allem in kritischen, unfallträchtigen Situationen – notwendige Entscheidungen ab, die möglicherweise über Leben und Tod entscheiden.

Umso mehr ist die fehlerfreie Funktion der Fahrzeuge eine extrem wichtige Anforderung. Zuverlässigkeit ist im Zeitalter der bedingungslosen Erreichbarkeit und Mobilität eine notwendige Eigenschaft, deren Existenz von den Menschen einfach vorausgesetzt wird. Die meisten physikalischen Phänomene, die zur Sicherstellung der Zuverlässigkeit von elektronischen Systemen betrachtet und optimiert werden müssen, sind den Fahrzeugnutzern nicht bekannt, zumal diese in der Automobilwerbung nicht in den Vordergrund treten. Der Käufer ist begeistert von den vielen tollen neuen Funktionen in Fahrzeugen. Dass viele dieser Funktionen heute und in Zukunft zuverlässig realisiert werden können, ist zu großen Teilen ein Verdienst des Förderprojekts PARACHUTE.

Sicherheit ↔ Elektromagnetische Zuverlässigkeit

Viele Menschen sind bereit, für Funktionalität, Komfort und Sicherheit im Auto einen Mehrpreis zu bezahlen. Die Elektromagnetische Zuverlässigkeit (EMZ) aller Fahrzeug-Bordsysteme ist hierfür eine notwendige Voraussetzung. Kennzeichnend für eine hohe elektromagnetische Zuverlässigkeit eines elektronischen Systems sind geringe Störaussendung und hohe Immunität gegenüber äußeren Hochfrequenzfeldern oder Schaltpulsen. Wie gut die EMZ in verschiedenen Fahrzeugen realisiert ist, lässt sich nicht aus Werbeprospekten erkennen. Um allerdings unfallbedingten Regressforderungen aus dem Weg zu gehen, erlegt sich die Automobilindustrie zusätzlich zu den gesetzlich vorgeschriebenen EMZ-Messungen eigene, noch strengere Prüfungen auf. EMZ findet nicht erst beim Fahrzeugbau statt, sondern schon weit vorher bei der Entwicklung der elektronischen Steuergeräte und beim Entwurf aller im Fahrzeug verbauten integrierten Schaltungen (ICs). EMZ ist am effizientesten, wenn sie entlang der gesamten Kfz-Wertschöpfungskette betrieben wird und unter den Gliedern dieser Kette abgestimmt wird. PARACHUTE hat die Leistungsfähigkeit der deutschen und europäischen Automobilindustrie – wir sprechen hier von OEMs, Zulieferern und IC-Herstellern – ein großes Stück verbessert und die Grundlagen für eine gute Zuverlässigkeit von Hybrid- und Elektro-Fahrzeugen gelegt. Wohl wissend, dass speziell im Hinblick auf e-Car noch gewaltige Herausforderungen im EMZ-Bereich auf die Automobilindustrie zukommen, hat PARACHUTE die beteiligten Partner in die Lage versetzt, ihre Designs auf IC- und Steuergeräte-Ebene für gute EMZ zu optimieren und sogar Störemissionen und Störfestigkeit mit guter Vorhersagegenauigkeit zu simulieren. Aus PARACHUTE resultieren somit folgende Wettbewerbsvorteile für die Partner:

- Tiefgreifendes Verständnis der EMZ-bestimmenden Designparameter
- Regeln für die EMZ-Designoptimierung von ICs und Steuergeräten
- Integration der EMZ in Produktentwicklungsprozesse
- Verständnis der Notwendigkeit des abgestimmten EMZ-Designs entlang der Wertschöpfungskette
- Vorhersage der elektromagnetischen Zuverlässigkeit von ICs
- Verfügbarkeit erster IC-Modelle für die EMV-Steuergerätesimulation
- Verfügbarkeit eines NahfeldScanner-Prototypen für die IC- und Leiterplattenmessung.

Diese Erfolge bilden eine gute Arbeitsbasis für die Optimierung der jeweiligen Entwurfsprozesse und die notwendige weitere enge Kooperation der IC-Hersteller, Zulieferer und OEMs, um die neuen Herausforderungen von Elektrofahrzeugen bezüglich elektromagnetischer Zuverlässigkeit meistern zu können.

PARACHUTE-Beiträge zur Lösung EMZ-Problemen im industriellen Umfeld

PARACHUTE hat allen Partnern geholfen, durch das gewonnene Verständnis der EMZ wirkungsvollere und gleichzeitig günstige Designmaßnahmen zu entwickeln, welche der deutschen Automobilindustrie zu einer dauerhaft führenden Rolle auf dem internationalen Fahrzeugmarkt verhelfen können.

Auch in Zukunft wird der Automobilbereich durch extreme Umgebungsbedingungen gekennzeichnet sein:

- (1) Verstärkte Hochfrequenzeinstrahlung durch nahe Radiosender oder Mobiltelefone
- (2) Störpulserzeugung durch induktive Lastwechsel (Zündung, Batteriekabelbruch)
- (3) Hohe Umgebungstemperatur der Elektronik im Motorraum.

Gerade weil manche dieser Bedingungen heute und auch in Zukunft nicht vermeidbar sein werden, muss dem Design der Automobilelektronik-Komponenten im Hinblick auf ihre elektromagnetische Zuverlässigkeit auch weiterhin sehr viel Aufmerksamkeit geschenkt werden.

Der Stand der Technik vor PARACHUTE im Jahre 2005 zeigte zwar bereits ein Bewusstsein der Notwendigkeit, alle Produkte in der Wertschöpfungskette IC → Leiterplatte → Steuergerät → Fahrzeug bezüglich elektromagnetischer Verträglichkeit zu optimieren, jedoch waren die Voraussetzungen dafür auf jeder dieser Ebenen sehr unterschiedlich.

Das PARACHUTE-Konsortium bot die Voraussetzung für die Bearbeitung der EMZ sowohl auf IC- als auch auf Steuergeräteebene. Die Industriepartner Infineon, Bosch und Continental brachten ihre Designexpertise ein, während sich der EDA-Partner Zuken um die Toolintegration der EMZ kümmerte. Die Fraunhofer-Gesellschaft unterstützte zusammen mit den Universitäten Paderborn, Hannover und Erlangen bei der Evaluierung von Designoptimierungen, der Modellierungsmethodik sowie der Entwicklung eines neuartigen Nahfeldscanners für IC- und Leiterplatten-EMZ-Analysen. Im Folgenden werden stellvertretend für alle Projektergebnisse einige Glanzlichter beschrieben, die eine solide Grundlage für weitere Forschungen, Prozessverbesserungen und Produktoptimierungen im Bereich EMZ bilden können. Insbesondere muss die Abstimmung der EMZ-Designmaßnahmen und die Wiederverwendbarkeit der EMZ-Simulationsmodelle entlang der Wertschöpfungskette vom IC bis zum Fahrzeug sichergestellt werden. Diese für eine nachhaltige Stärkung der deutschen Automobilindustrie notwendigen Forschungsarbeiten sind einem späteren Kooperationsprojekt vorbehalten.

Herausragende PARACHUTE-Ergebnisse

Die PARACHUTE-Arbeitspakete (Bild1.0-1) reflektieren die Schwerpunkte der geleisteten Arbeiten:

- (1) AP1 untersucht IC-Störemission, erarbeitet die Modellierungsmethodik und verifiziert Designoptimierungsmaßnahmen,
- (2) AP2 untersucht IC-Störfestigkeit und -ESD, erarbeitet die Modellierungsmethodik und verifiziert Designoptimierungsmaßnahmen,
- (3) AP3 untersucht die EMZ von Steuergeräten in Abhängigkeit der Aufbau- und Verbindungstechnik,
- (4) AP5 behandelt die Integration von EMZ-Modellen in EMZ-Simulatoren bzw. IC- und Steuergeräte-Entwurfsprozesse,
- (5) AP6 entwickelt die zur Validierung der Simulationsergebnisse und Designmaßnahmen notwendige Messtechnik.

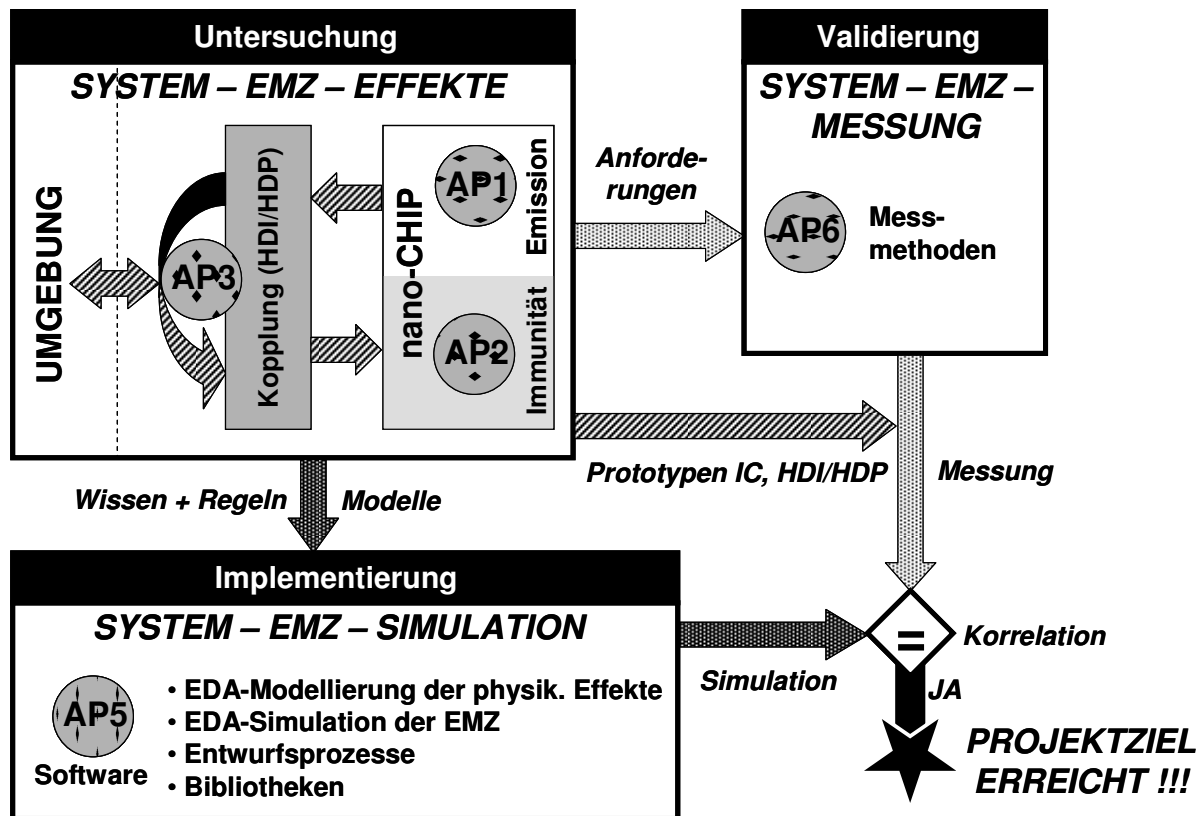


Bild 1.0-1: Arbeitspakete im Projekt PARACHUTE

Alle PARACHUTE-Projektziele wurden erreicht. Nachfolgend werden die wichtigsten Projektergebnisse zusammengefasst.

Von der **Infineon Technologies AG** wurden auf IC-Ebene große Fortschritte bei der EMZ-Modellierung und -Simulation gemacht. Es ist nun möglich, aus IC-Design-Daten EMZ-Modelle zu generieren, deren Komplexität zu vereinfachen, mit Modellen von Leiterplatten und Messumgebungen zu erweitern und somit die EMZ von ICs und Steuergeräten gemeinsam zu simulieren. Die Werkzeuge NEMO und EXPO (Infineon) erzeugen mit nachgeschalteter Model Order Reduction (MOR, Leibniz Universität Hannover) stark vereinfachte und dennoch genaue EMZ-Modelle von hochkomplexen ICs, die von Leiterplatten-Simulatoren eingelesen werden und somit Steuergeräte-EMZ-Simulationen z.B. mit Zuken-EDA-Tools erlauben.

Das Werkzeug CLEX (Infineon Technologies AG) findet automatisch potenzielle ESD-Schwachstellen im Design von Analog-ICs niedriger bis mittlerer Komplexität. Für hochkomplexe ICs entwickelte Infineon ein *Fußpunktmodell*, das kritische Frequenzbänder bezüglich HF-Störfestigkeit ermittelt.

BOSCH hat ein zu CLEX äquivalentes Werkzeug entwickelt, das kritische Schaltungsteile bezüglich HF-Störeinstrahlung identifiziert. Alle diese Werkzeuge erlauben es, Schwachstellen im IC-Design frühzeitig während des Entwurfsprozesses ausfindig zu machen und zu korrigieren. Auf diese Weise werden kostenintensive und zeitraubende Redesigns vermieden. Infineon und Bosch haben die Methoden in ihre jeweiligen EDA-Umgebungen eingebunden und an Produkten erfolgreich getestet.

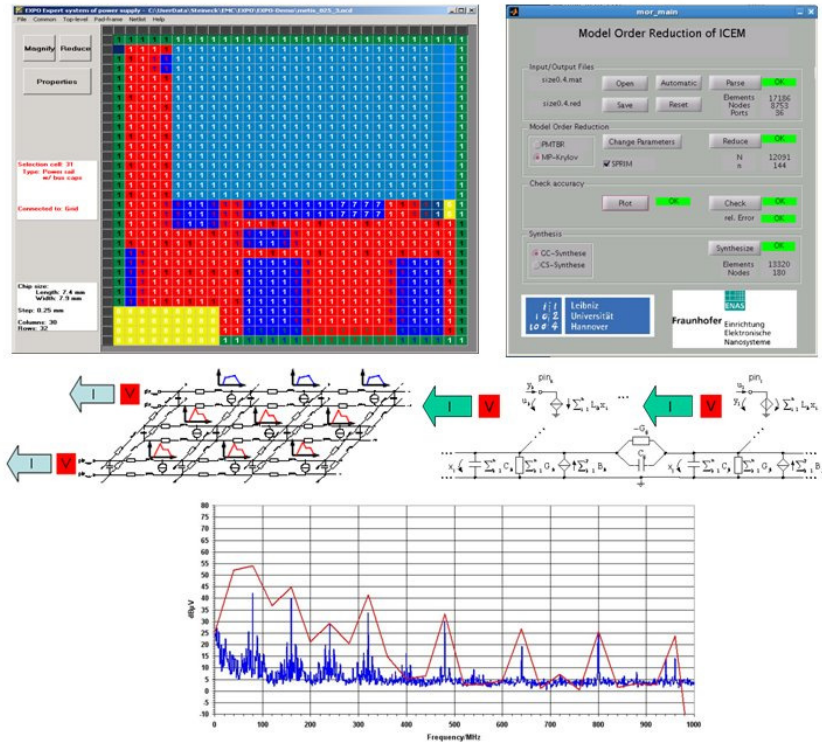


Bild 1.0-2: Simulation der Störemission komplexer ICs (Infineon Technologies AG)

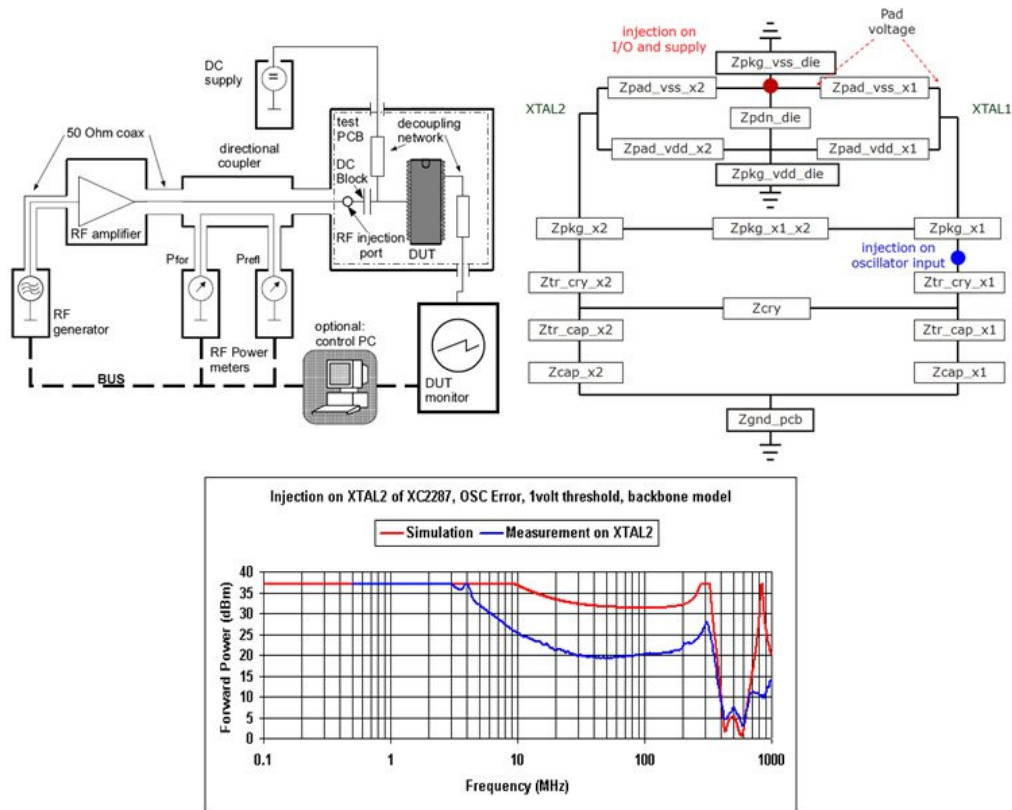


Bild 1.0-3: Modellierung der Störfestigkeit komplexer ICs (Infineon Technologies AG)

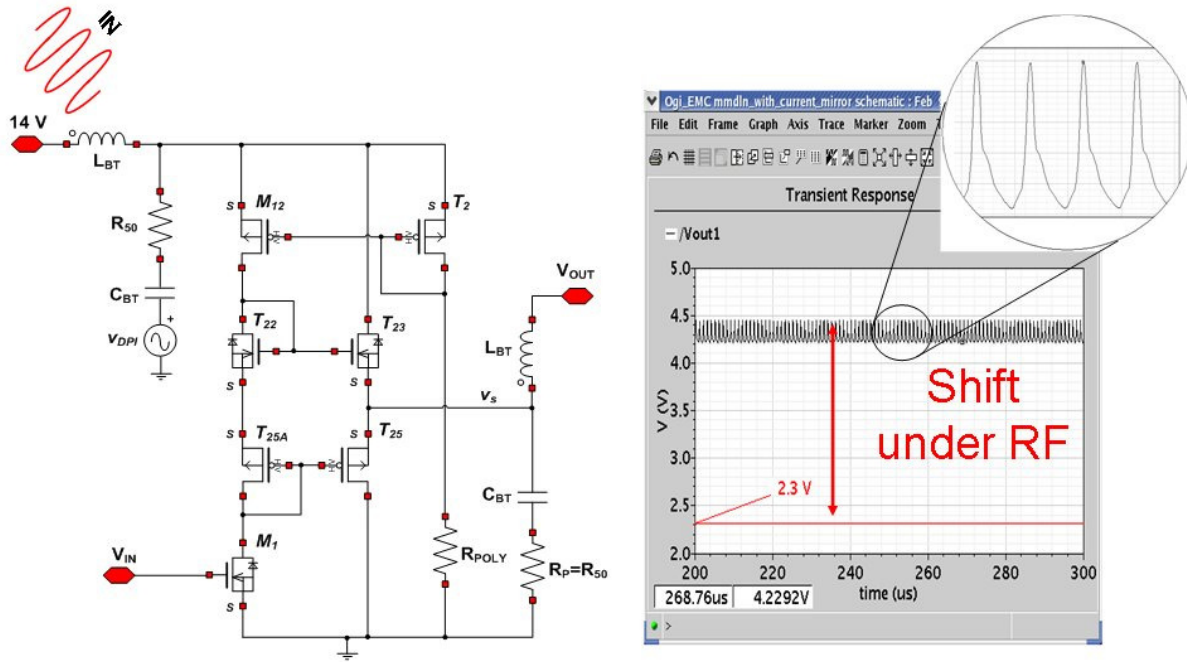


Bild 1.0-4: Automatische Identifikation von IC-Designschwächen gegenüber HF-Störungen (BOSCH)

CONTINENTAL erzielte große Erfolge bei der Evaluierung von extrem störrarmen Stromreglerkonzepten für die IC-Spannungsversorgung. Für die Speicherbusauslegung auf Steuergeräte-Leiterplatten führte Continental die impedanzkontrollierte Signalauslegung ein, die auf die Busstreifen der ICs angepasst ist. Auf Steuergeräteseite analysierte Continental zusammen mit der Universität Erlangen die Auswirkung von Metallwänden auf elektrische Filterelemente.

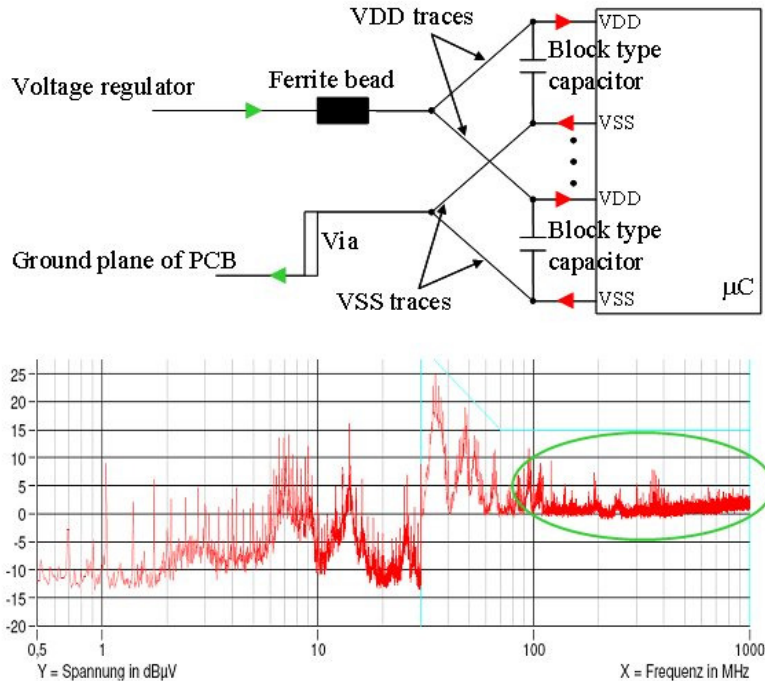


Bild 1.0-5: Stromreglerkonzept für IC-Spannungsversorgung (CONTINENTAL)

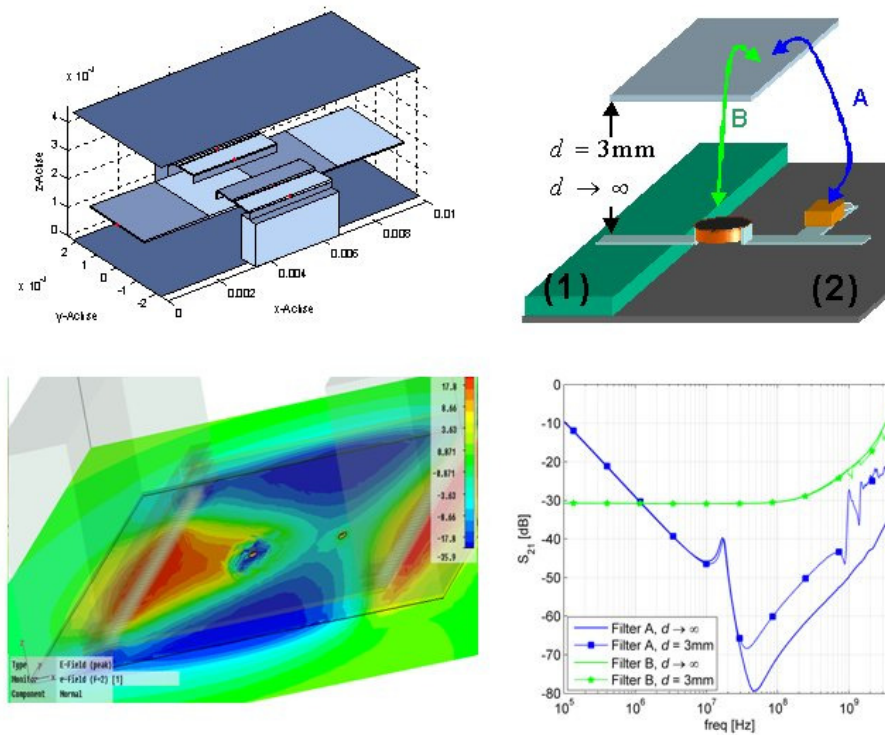


Bild 1.0-6: Beeinflussung elektrischer Filter durch metallische Wände (CONTINENTAL)

ZUKEN integrierte in Zusammenarbeit mit der Leibniz Universität Hannover die IC-EMZ-Modelle in seine EDA-Umgebung CR5000. Weitere vereinfachte elektrische Modelle von Leiterplattenkomponenten und -eigenschaften wie Kontaktlöchern, Leitungsübersprechen und Filterelementen erlauben zusammen mit optimierten Platzierungsalgorithmen sehr schnelle *What-If-Simulationen*. Die Tools reagieren in Echtzeit auf Layoutänderungen und weisen auf Design-Schwachstellen hin. Diese Funktionalität hilft schlechte Platinenlayouts von vornherein zu vermeiden und spart somit Zeit und Geld.

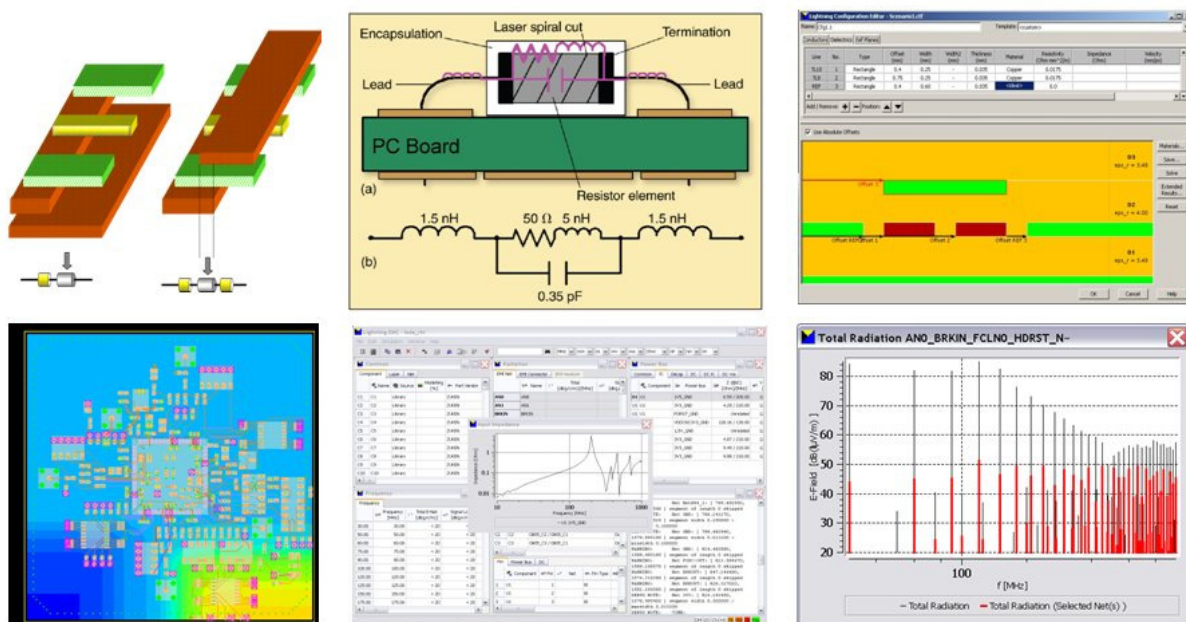


Bild 1.0-7: EMZ-Simulation von Leiterplatten in Echtzeit (ZUKEN)

Im Unterauftrag der Projektpartner **Infineon Technologies AG** und **CONTINENTAL** übernahm die Fraunhofer-Gesellschaft (IZM/ENAS) zusammen mit dem Projektpartner **Universität Paderborn** die Betreuung des Nahfeldscanners. Der Scanner vereint hohe Ortsauflösung im Mikrometerbereich mit schneller Messwerterfassung. Durch Messung im Zeitbereich können im Nachhinein aus den aufgenommenen Daten beliebige Frequenzinformationen extrahiert werden; somit werden komplette herkömmliche Mess-Serien bei unterschiedlichen Frequenzen durch eine Zeitbereichsmessung ersetzt.

Die Entwicklung der Steuer- und Auswerte-Software wurde von der externen Firma Magh+Boppert übernommen, den Hardware-Aufbau übernahm die Firma Schneeberger. Anspruchsvoll waren sowohl der Entwurf des optischen Oberflächenscans als auch die Entwicklung von passiven und aktiven Miniatursonden unter Beteiligung der Universität Erlangen. Für die aktiven Sonden hat das PARACHUTE-Konsortium mit dem DFG-Projekt TH829/6-1 der Universität Paderborn zusammengearbeitet. Der Nahfeldscanner wird in Zukunft eine wichtige Rolle in der Vorserienvalidierung spielen, denn er kann andere Messverfahren wie leitungsgebundene Abstrahlung oder Antennenmessung mit geeigneter Datenverarbeitung abdecken und somit weit kostengünstiger eingesetzt werden als dies zum Beispiel mit Hallenmessungen möglich ist. Die örtliche Lokalisierung von Störquellen und Koppelpfaden bringt wichtige Zusatzinformationen zur schnellen Identifikation von Design-Schwachstellen.

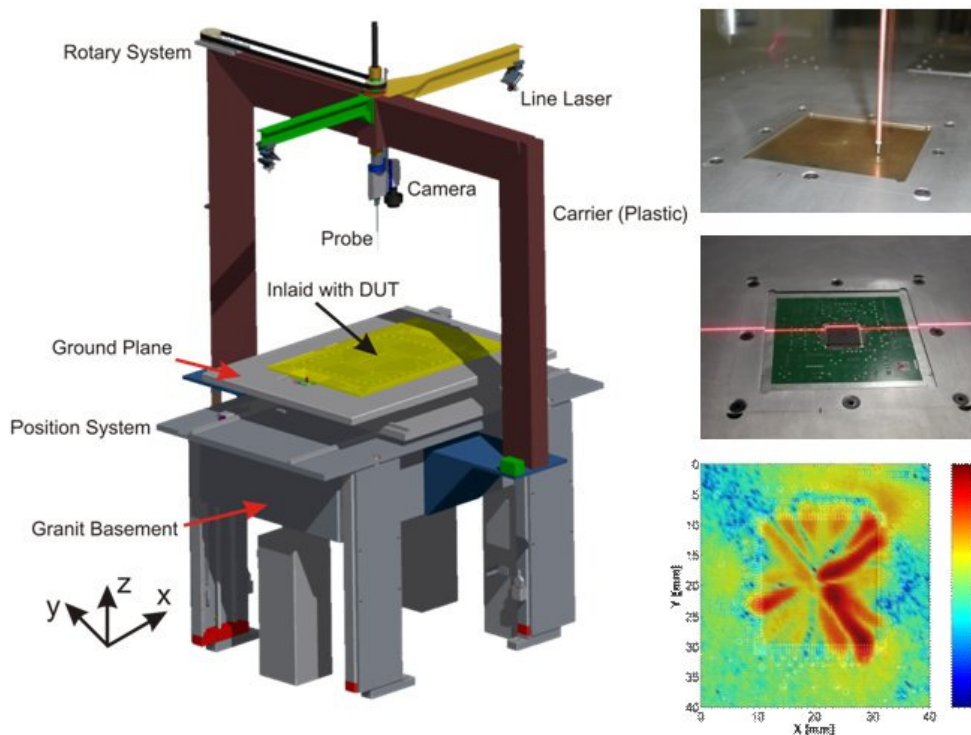


Bild 1.0-8: Nahfeldscanner - Hardwareaufbau und Aufbereitung der Messergebnisse (IZM/ENAS + UPB)

PARACHUTE hat – wie die genannten Beispiele belegen – durch frühzeitige Erkennung und Vermeidung von EMZ-Schwächen im IC- und Steuergeräteentwurf einen wesentlichen Beitrag zu den Businesszielen *First Time Right* und *Short Time to Market* in der deutschen Automobilzulieferindustrie geleistet. Die Produktentstehungszyklen können somit bei verbesserter Produktqualität im erforderlichen Maße verkürzt werden. Die dadurch entstehenden Freiräume können von den Designingenieuren für innovative Entwicklungen genutzt werden, um auf diese Weise den Wettbewerbsvorsprung der deutschen Automobilindustrie weiter auszubauen. PARACHUTE hat solide fachliche Grundlagen geschaffen, um das nächste Ziel zu erreichen – nämlich die Implementierung der EMZ bezüglich Design, Simulation und Messtechnik entlang der kompletten Wertschöpfungskette bis zum OEM.

2. Darstellung der erzielten Forschungsergebnisse

Die PARACHUTE-Projektstruktur wurde in 5 Arbeitspakete gegliedert. Das wesentliche Projektziel war der Entwurf von angepassten (partner-spezifischen) Simulationsumgebungen für physikalische Effekte aufgrund validierter Modelle. Diese Gliederung wurde an der übergeordneten Projektstruktur auf europäischer Ebene (MEDEA+ Projekt 2A701 PARACHUTE), in der nicht-deutsche Partner in den Arbeitspaketen mit weiteren Arbeitsaufgaben (*Tasks*) vertreten sind, orientiert. Das Bild 2.0-1 zeigt eine Übersicht über die geplanten Beiträge.

Die Untersuchung und Modellierung der physikalischen Effekte erfolgte in den Arbeitspaketen 1-3, die Validierung besteht aus der Korrelation zwischen gemessenen und simulierten Effekten, und die Implementierung besteht in der Bereitstellung von Modellen und Algorithmen für die Simulation der physikalischen parasitären Effekte (AP 5 – 6). Die *Integration* (als Abgrenzung zur genannten *Implementierung*) der Modelle und Algorithmen in die partner-spezifischen EDA-Entwurfsprozesse für AVT und IC erfolgt nach Projektabschluss und bereitet damit die Verwertungsphase vor. Die Verwertungsphase stellt sicher, dass die optimierten Entwurfsprozesse zur Erhöhung der Produktqualität (EMZ) von Nano-IC und Steuergeräten mit Nano-IC breitgefächert bei den Projektpartnern genutzt werden können.

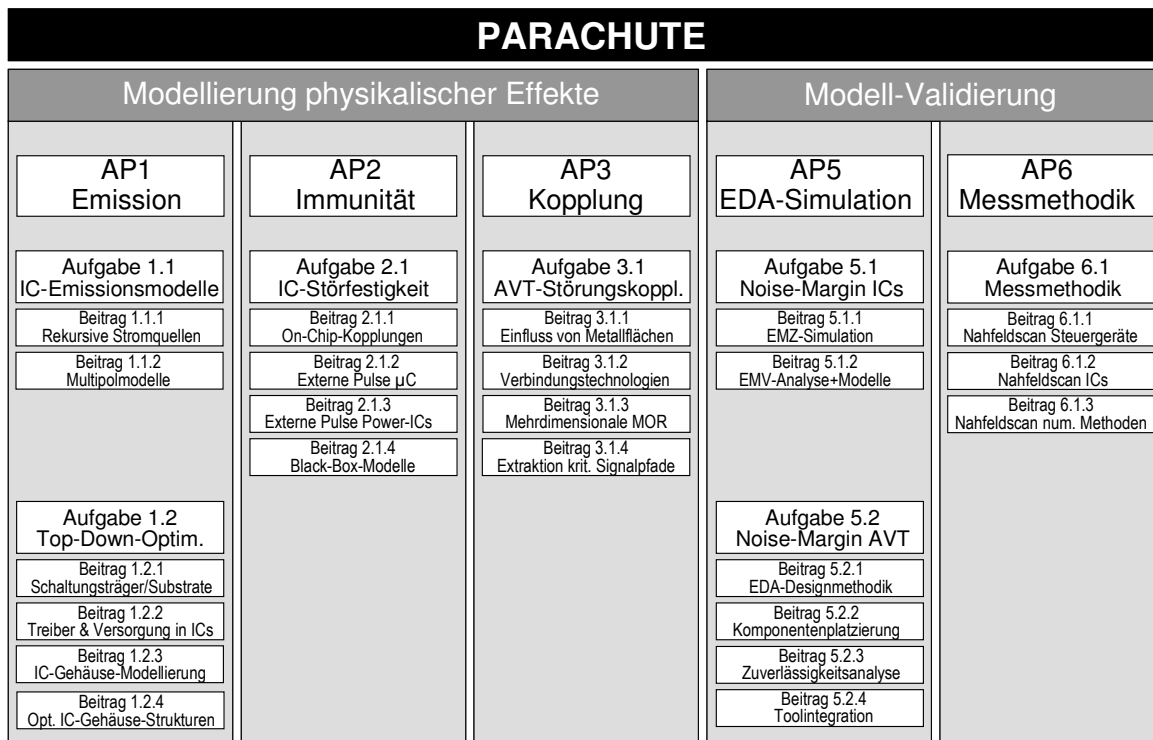


Bild 2.0-1: PARACHUTE-Strukturplan

AP1: Modellierung und Simulation elektromagnetischer Emission von Nanometer-Strukturen

2.1 B 1.1.1: Rekursive äquivalente Stromquellen zur realistischen Modellierung dynamischer Schaltströme – Infineon Technologies AG

2.1.1 Einleitung

Simulationsmodelle für die Störemission bestehen aus zwei grundlegenden Teilen: den Störquellen und den Ausbreitungspfaden. Im Projekt MISEA der bayerischen Forschungsstiftung hat Infineon sein Software-Tool NEMO entwickelt, das in der Lage ist, aus Verilog-Netzlisten (Gatterebene, schaltungsbasiert) Stromprofile für komplexe Funktionsmodule zu erzeugen.

Diese Stromprofile beschreiben die dynamischen Stromänderungen auf den Versorgungsleitungen und repräsentieren somit die Störungen, die dieses Modul aufgrund seines logischen Schaltverhaltens erzeugt.

Aufgrund der nicht-idealen (ohmschen) Anbindung jedes Moduls an das Spannungsversorgungs- Netzwerk erzeugen lokale Schaltvorgänge auch lokale Spannungseinbrüche, sodass der Schaltvorgang und damit der Schaltstrom zeitlich anders verlaufen als bei einer idealen Spannungsversorgung. Dieser Effekt kann durch gesteuerte Stromquellen beschrieben werden und führt zu langsameren Schaltvorgängen und damit geringeren Störungen als bei idealer Versorgung. Damit kann der Fehler von Emissionssimulationen deutlich verringert werden.

2.1.2 Ziele der F+E Arbeiten

Die Arbeiten zur Einführung rekursiver Stromquellen sollten auf dem in MISEA entwickelten Tool NEMO aufsetzen und die Stromprofile entsprechend realistischer gestalten.

Dazu wurde das Generierungstool „NEMO“ für Schaltstromprofile im Hinblick auf diverse Skalierungen erweitert. Zu den skalierbaren Parametern zählen verschiedene min/max/random-Einstellungen, zu denen auch die Rekursion gehört. Die entsprechende Methodik besteht in der Beaufschlagung des „idealen“ Stromverlaufs mit einem Tiefpassfilter. Dazu wurden Schaltungssimulationen mit Standardzellen durchgeführt und die Tiefpassfilterung so konfiguriert, dass der resultierende dynamische Strom einen Verlauf bekommt, der sehr ähnlich zum Schaltstromverlauf bei einer nicht-idealen Versorgungsanbindung ist.

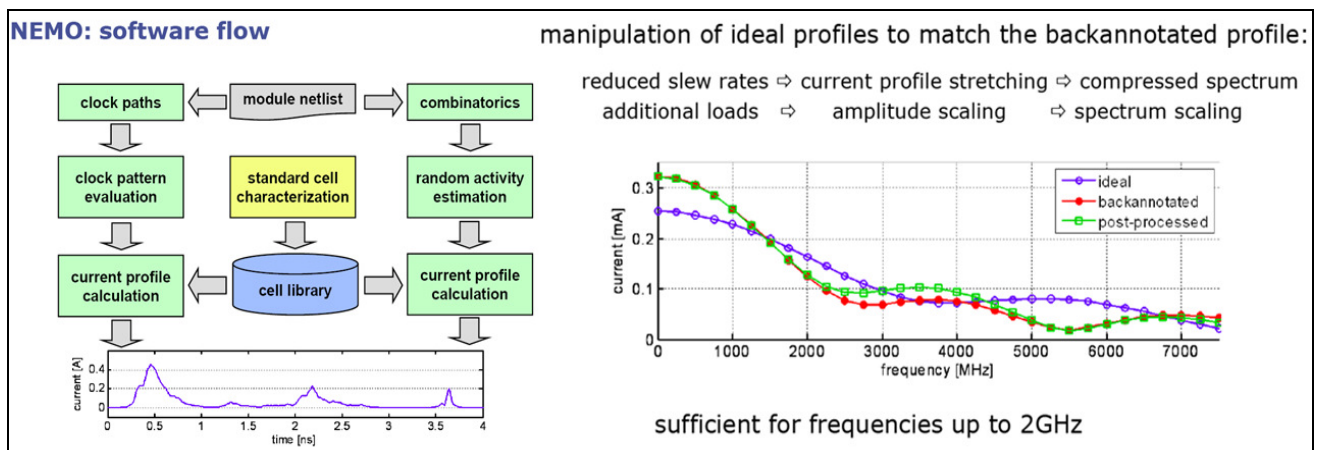


Bild 2.1-1: NEMO-Stromprofil-Generierungsprozess (links); geschicktes Post-Processing der Stromprofile führt bis 2 GHz zur gleichen Störemission wie bei rekursiven (backannotated) Stromprofilen

Aufgrund weiterer im Projektverlauf erarbeiteten Zwischenergebnisse wurden die Ziele in diesem Beitrag erweitert auf die Fähigkeit von NEMO, Taktbäume in dem jeweils betrachteten Funktionsmodul von der kombinatorischen Logik zu separieren und somit sehr schnell Bewertungen verschiedener Taktbaumarchitekturen oder im Taktbaum verwendeter Zellen bezüglich elektromagnetischer Störemission durchführen zu können (Bild 2.1-2).

2.1.3 Technische Ergebnisse

NEMO als Infineon-eigenes EDA-Werkzeug erlaubt die sehr schnelle, nicht ans Chip-Layout gebundene Bewertung des Störpotenzials großer Funktionsmodule. Dabei können Taktbäume unabhängig von der kombinatorischen Logik simuliert werden. NEMO ist mit diesen Eigenschaften – sowohl bezüglich Datenaufbereitung als auch bezüglich Simulationszeit – schneller als alle kommerziellen EDA-Tools.

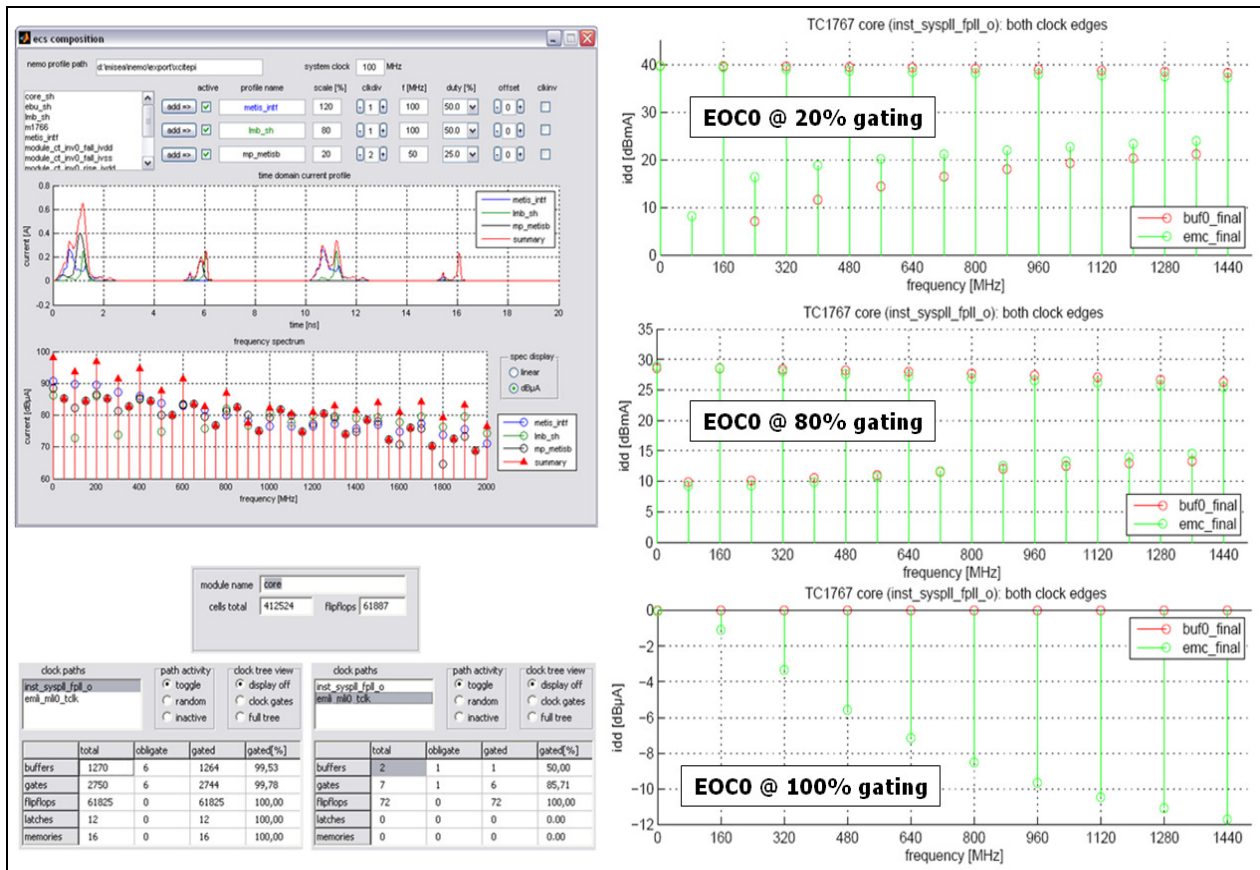


Bild 2.1-2: NEMO-Benutzeroberfläche (links); NEMO-Anwendung für die Abschätzung der Emissions-Reduktion für EMV-optimierten Taktbaum mit flexiblem Flipflop-Clock-Gating (rechts)

2.1.4 Stand der Technik

Kommerzielle EDA-Software (Beispiel: RedHawk des EDA-Anbieters Apache) erfasst das Rekursionsproblem mit der vorhergehenden Charakterisierung aller Logikzellen bei unterschiedlichen Versorgungsspannungen. Während der Simulation wird dynamisch zwischen den Modellen entsprechend der aktuell simulierten lokalen Versorgungsspannung umgeschaltet. Dies ist ein alternatives Konzept zu unserem für NEMO angewandten Vorgehen mit ähnlichem Ergebnis. NEMO benötigt allerdings für seine Stromquellen kein Layout, sondern kann viel früher, nämlich bereits bei Vorliegen einer Netzliste, angewendet werden und für Layout- und Gehäuse-Fallstudien eingesetzt werden.

2.1.5 Anwendungsbeispiele und Verwertung

NEMO wurde bereits während der PARACHUTE-Laufzeit für die vergleichende Emissions-Simulation mehrerer Varianten eines Flexray-Controllers eingesetzt. Ebenfalls erfolgreich erprobt wurde NEMO bei der Abschätzung der Emissionsreduktion von verschiedenen Taktbäumen bei den 32-Bit-Microcontrollern TC1766 und TC1767.

Da der Taktbaum eines Microcontrollers durch seine extrem synchronen Schaltzeitpunkte der Hauptverursacher von Störemissionen ist, kommt seiner Simulation im Vorfeld des Chip-Layouts eine zentrale Bedeutung bei. Taktbaum-Generierungskonzepte für neue Produkte können mit NEMO sehr schnell EMZ-mäßig bewertet werden. Diese Tatsache prädestiniert den Einsatz von NEMO für neue Microcontroller-Derivate, um nicht erst nach Fertigstellung des kompletten Chip-Layouts auf eventuelle Emissionsprobleme zu stoßen.

2.1.6 Literatur - Rekursive äquivalente Stromquellen zur realistischen Modellierung dynamischer Schaltströme

- [2.1-1] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner: IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board; 09. – 13. July 2007
- [2.1-2] A. Gstoettner, M. Huemer, Estimation of Current Profiles for Large Digital VLSI Modules in Early Design Phases, EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy.
- [2.1-3] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner, High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board, EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy.

2.2 B 1.1.2: IC-Modelle zur Beschreibung abgestrahlter elektromagnetischer Energie von komplexen mikroelektronischen Systemen (Verwendung von nanoelektronischen Bauelementen) - UPB

Die Modellierung der Abstrahlung elektromagnetischer Energie wurde aufgrund der Komplexität der Modellierung leitungsgebundener Störungen (ICEM) und der damit erforderlichen höheren F+E Aufwände nicht bearbeitet. Stattdessen erfolgte die Bearbeitung des Themas leitungsgeführte Emission (Conducted Emission) im Beitrag 1.2.4 und hat darüber hinaus einen Beitrag zu B 1.2.3 (ZUKEN) geliefert und wurde dort berichtet.

2.3 B 1.2.1 Neue Entwurfskonzepte für IC-Versorgung und Speicherbusse auf komplexen Schaltungsträgern – CONTINENTAL

B 1.2.1-a Störmehres, robustes Versorgungskonzept für Microcontroller

2.3.1 Einleitung

Um zukünftige Automobilgenerationen immer leistungsfähiger, sicherer, komfortabler und umweltfreundlicher zu machen, werden mehr und mehr elektronische Systeme in die Fahrzeuge eingebaut, wobei jedes einzelne von ihnen stets komplexere Regel- und Steuerfunktionen bewältigt und immer größer werdende Datenmengen zu verarbeiten hat.

Zur Bewältigung der erhöhten Funktionalitätsanforderungen kommen immer leistungsfähigere Prozessoren und schnell getaktete integrierte Schaltkreise zum Einsatz. D.h. mit den zunehmenden Taktfrequenzen und niedriger werdenden Versorgungsspannungen steigen die Anforderungen an ein EMV-gerechtes Schaltungs- und Layoutdesign.

2.3.2 Ziele der F+E Arbeiten

Ziel der Arbeiten ist es, ein Versorgungskonzept für Prozessoren und schnell getaktete integrierte Schaltkreise zu entwickeln, das den erhöhten EMV-Anforderung bzgl. abgestrahlter elektromagnetischer Störungen und Immunität gegenüber von außen einwirkenden elektromagnetischen Feldern gerecht wird.

2.3.3 Technische Ergebnisse

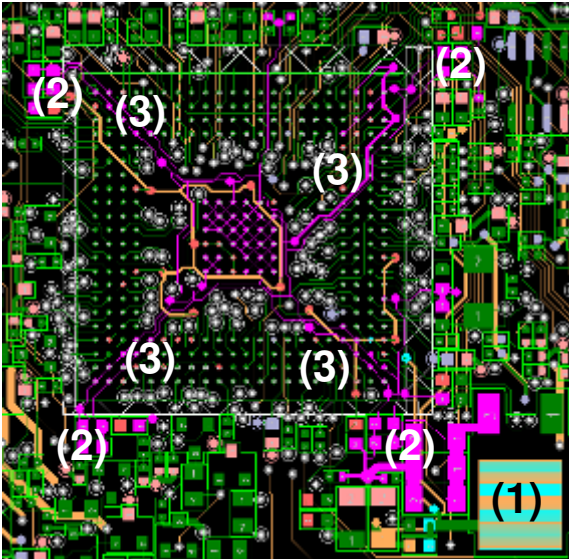
Auf Systemebene, d.h. hier auf Steuergeräte- bzw. Komponentenebene erfolgt die Ausbreitung abgestrahlter hochfrequenter elektromagnetischer Felder selten über die Bauelemente wie Prozessor oder andere schnell taktende integrierte Bauelemente selbst, sondern vielmehr über angeschlossene bzw. durch Übersprechen angeregte benachbarte Leiterbahnen, die in Verbindung mit dem Kabelbaum stehen, oder über die Einkopplung elektromagnetischer Störfelder in metallische Gehäuse, die sich ihrerseits wiederum mit der elektromagnetischen Umgebung in Wechselwirkung befinden.

Mit anderen Worten: die geometrische Ausdehnung sowohl der Strukturen auf der Leiterplatte selbst als auch der angeschlossenen Kabel bzw. des Gehäuses, die mit den von Prozessoren oder anderen schnell getakteten Bauelementen hervorgerufenen hochfrequenten Strömen und Spannungen belegt sind, entscheiden über die tatsächlich hervorgerufenen Störpegel.

Da nun Kabelbaum und Gehäuse fest vorgegeben sind bzw. an verschiedene Einbausituationen im Fahrzeug angepasst werden müssen, bleibt als einzige, aber auch wichtigste Stelle die Optimierung der Strukturen auf der Leiterplatte des Steuergeräts.

Reduzierung der geometrischen Ausdehnung hochfrequenzbelasteter Schaltungsteile

Durch hohe Prozessortaktfrequenzen entstehen hochfrequente Strom- und Spannungsschwankungen in erster Linie auf den Spannungsversorgungsleitungen, die den Core des Prozessors mit dem Spannungsregler verbinden. Dazu gehören die Leiterbahnen mit Corespannungsniveau, die Leiterbahnen, die mit der Masse des Cores verbunden sind, die Blockkondensatoren in der Corespannungsversorgung und der Spannungsregler, der die Corespannung zur Verfügung stellt.



- Transistor zur Bereitstellung der Core-Versorgungsspannung,
- Blockkondensatoren,
- Core-Spannungsversorgungs- und Core-Masseleitungen

Bild 2.3-1: Layoutausschnitt eines Prozessors (Ballgridarray) mit Corespannungsversorgung (rosa eingefärbt).

Zur Reduzierung der Abstrahlung muss durch layout- und schaltungstechnische Maßnahmen verhindert werden, dass sich diese hochfrequenten Störungen über die Leiterplatte auf Kabelbaum und Gehäuse ausbreiten können. Dies geschieht einerseits durch den Einbau von Ferriten in die Corespannungsversorgungsleitung, die zwischen Spannungsregler und den Blockkondensatoren verläuft, und andererseits durch die Minimierung der von Corespannungsversorgungs- und Coremasseleitungen aufgespannten Fläche wie in Bild 2.3-1 dargestellt.

Durch die konsequente Führung von Corespannungsversorgungs- und Coremasseleitungen in unmittelbarer Nähe zueinander kompensieren sich die von den Strömen in den Corespannungsversorgungs- und Coremasseleitungen hervorgerufenen Magnetfelder und die damit verbundenen elektrischen Felder wegen der entgegengesetzten Orientierung der Ströme gegenseitig, so dass die Abstrahlung von diesen Leitungen minimiert wird.

Aus Bild 2.3-1 geht außerdem hervor, dass die geometrische Ausdehnung der Corespannungsversorgung nur unwesentlich größer ist als die Ausdehnung des Prozessors; also die Ausdehnung des störungsverursachenden Bauelements. D.h. durch eine derartige Realisierung wird die Geometrie der hochfrequenztragenden Schaltungsteile nur unwesentlich gegenüber dem Prozessor vergrößert.

Eine Kompensation der elektromagnetischen Felder, die einerseits vom Prozessor und andererseits von der Corespannungsversorgung hervorgerufen werden, ist wegen der unterschiedlichen Leitungsführung im Prozessor und in der Leiterplatte nur unvollständig möglich. D.h. es verbleiben hochfrequente Feldanteile, die auf ein metallisches Gehäuse oder in benachbarte Schaltungsteile und damit u.U. auf den Kabelbaum übertragen werden können. Wie diesen Kopplungen zur Umgebung entgegengewirkt werden kann, zeigt der folgende Abschnitt.

Minimierung der Kopplung zur Umgebung

Zeitlich schnell veränderliche Strom- und Ladungsverteilungen im Prozessor und in der Corespannungsversorgung sind die Quellen für elektromagnetische Abstrahlung. Da nun, wie oben beschrieben, Corespannungsversorgungs- und Coremasseleitungen separat ausgeführt und konsequent oberhalb der Massefläche der Leiterplatte geführt sind, und die Verbindung der gesamten Prozessormasse mit der Massefläche der Leiterplatte nur über eine Durchkontaktierung erfolgt, können keine hochfrequenten Störströme direkt über die Leiterplattenmassefläche fließen. Damit steht die Massefläche der Leiterplatte als Abschirmung zur Verfügung.

In ihr werden von den hochfrequenten elektromagnetischen Störfeldern Wirbelströme hervorgerufen, deren Felder sich wiederum jenen überlagern, so dass sich in der Superposition dieser Felder ein schwächeres elektromagnetisches Feld ergibt als ohne Massefläche.

Aufgrund der Wirbelströme in der Leiterplattenmassefläche ergibt sich also sowohl auf der prozessorzugewandten Seite als auch auf der prozessorabgewandten Seite ein schnell abklingendes elektromagnetisches Feld. Da diese Seite üblicherweise aus thermischen Gründen dem Gehäuse sehr nahe ist, kann die Leiterplattenmassefläche als Schirm zwischen Prozessor einschließlich seiner Corespannungsversorgung und dem Gehäuse aufgefasst werden.

Werden alle Spannungsversorgungen wie die Corespannungsversorgung behandelt, ergibt sich das störrarme, robuste Versorgungskonzept für Microcontroller.

2.3.4 Stand der Technik

Schaltvorgänge in der IC-Logik verursachen hochfrequente Ströme auf der Spannungsversorgung. Das übliche Blockkonzept mit Kondensatoren minimiert die Spannungsschwankungen auf dem Versorgungssystem und deren Auswirkungen auf die Emission. Es berücksichtigt keine Abstrahlung, die durch besagte hochfrequente Ströme hervorgerufen werden. Mikroprozessoren arbeiten jedoch heute bei Frequenzen, bei denen gerade die stromgetriebene Abstrahlung dominiert. Dies begründet sich in der zu den Frequenzen optimalen Längen der Kabelbäume, deren Abstrahlung mit der Frequenz im Quadrat, d.h. dipolartig zunimmt. Diese so genannte Gleichtaktabstrahlung wird, da durch die Schaltströme verursacht, durch das heute übliche Blockkonzept mit Kondensatoren eher noch verstärkt.

2.3.5 Anwendungsbeispiele und Verwertung

Erste EMV-Messungen auf Komponentenebene mit Steuergeräten, bei denen das neue störungsarme Versorgungskonzept für Prozessoren umgesetzt worden ist, zeigen dessen Wirksamkeit.

Die Bilder 2.3-2 und 2.3-3 zeigen die Ergebnisse zweier Abstrahlungsmessungen mit der Stripline. Die beiden Messungen erfolgten mit demselben Messaufbau und derselben Software. Der wesentliche Unterschied besteht im verwendeten Spannungsversorgungskonzept für den Prozessor. Bei der Messung im Bild 2.3-3 ist das neue störarme Versorgungskonzept bei einem Prozessor mit 80 MHz Taktfrequenz umgesetzt worden.

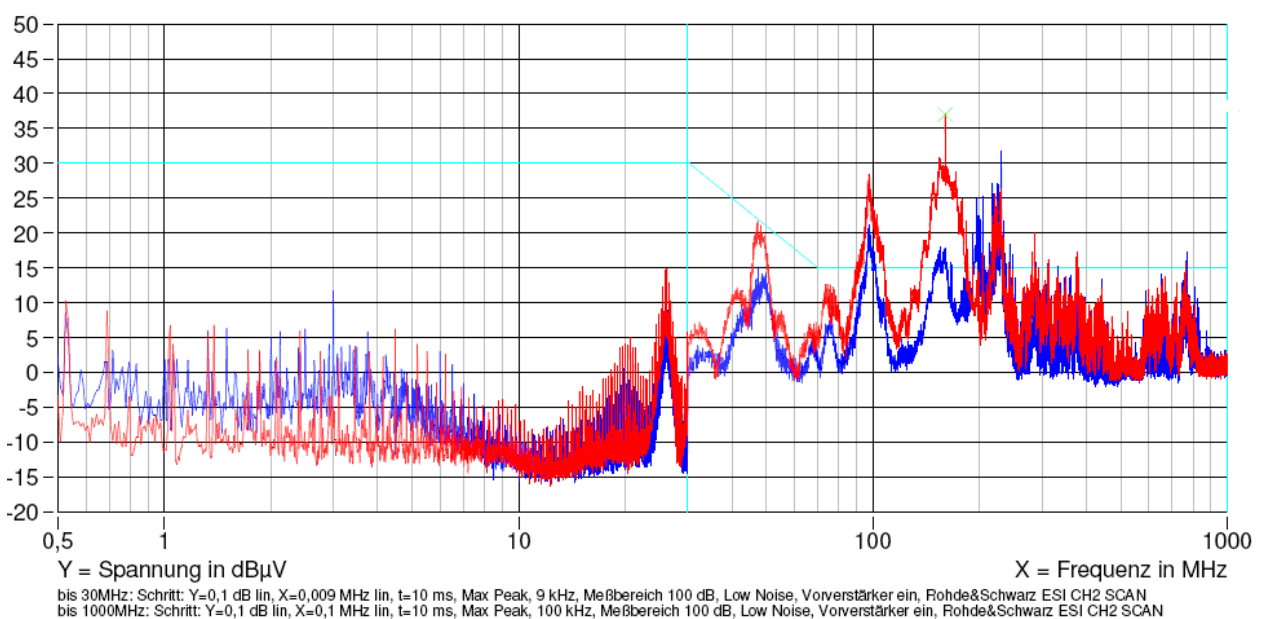


Bild 2.3-2: Abstrahlungsmessung mit der Stripline am Steuergerät 1 (B0-Muster) mit herkömmlichem Prozessorversorgungskonzept

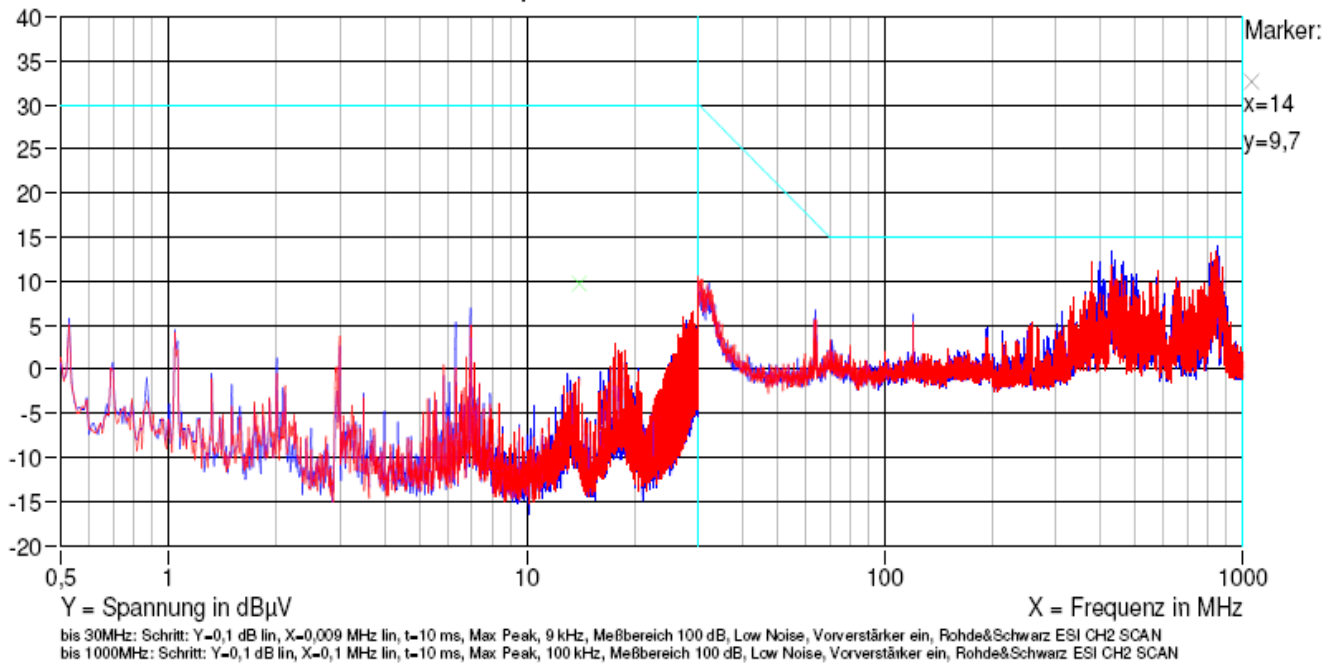


Bild 2.3-3: Abstrahlungsmessung mit der Stripline am Steuergerät 1 (B1-Muster) mit neuem störarmem Prozessorversorgungskonzept

B 1.2.1-b Design robuster, abstrahlungsarmer externer Speicherbusse

2.3.6 Einleitung

In der Automobiltechnik müssen Mikroprozessoren oftmals auf externe Speicherbausteine Zugriff haben, wie in Bild 2.3-4 schematisch dargestellt ist. Dafür ist eine Busstruktur nötig, die Aspekte der elektromagnetischen Verträglichkeit wie minimale Abstrahlung berücksichtigt und eine verbesserte Signalqualität bewirkt.

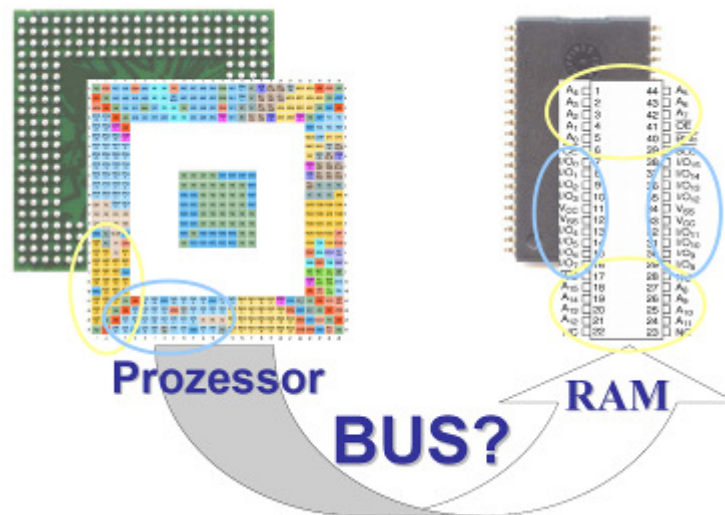


Bild 2.3-4: Anbindung eines Prozessors an einen externen Speicherbaustein

Ziel der F+E Arbeiten

Ziel der Untersuchungen war es, eine Busstruktur von ihrer Geometrie her so auszulegen, dass sie einen optimalen Abschluss für die Ausgangswiderstände des Prozessors bildet.

Als Folge würden elektromagnetische Wellen zwar auf der Seite des externen Speichers (RAM) teilweise reflektiert werden, die rücklaufende Welle würde aber an der Prozessorseite terminieren, was eine erhebliche Verbesserung der Signalqualität und des Abstrahlverhaltens darstellt.

2.3.7 Technische Ergebnisse

Um die Anpassung eines externen Speicherbausteins an einen Prozessor mithilfe einer Busstruktur realisieren zu können, wurden zuerst die Kopplungen zwischen den Leitungen berechnet.

Hierfür wurden Matlab-Programme entwickelt, mit deren Hilfe sowohl Mikrostreifen- als auch Triplateleitungen und deren Mischung, d.h. mit Masse teilüberdeckte Mikrostreifenleitungen, sowie koplanare Leitungen (individuelle Rückleiter) über und zwischen metallischen Flächen modelliert werden können.

In einem weiteren Schritt wurden diese Programme auf den Fall von N gekoppelten Busleitungen erweitert. Ein Beispiel hierfür ist in Bild 2.3-5 skizziert.

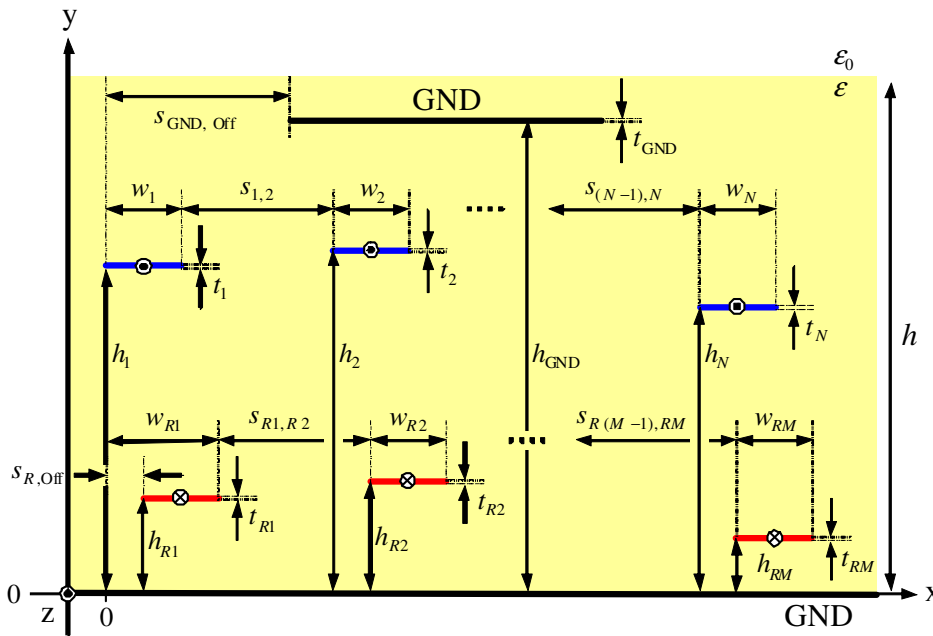


Bild 2.3-5: Busstruktur mit koplanaren Leitungen und einem zusätzlichen Massedeckel

Auslegung impedanzkontrollierter externer μ C-Busse im Hinblick auf sicheres Betriebsverhalten und geringere Störaussendung

Erweiterung der theoretischen Grundlagen

Basierend auf den berechneten Ladungs- und Stromverteilungen der Leitungen können die Kapazitäts- und Induktivitätsmatrizen berechnet werden. Die elektrischen und magnetischen Ersatzschaltbilder sind damit bekannt. Aus den beiden Matrizen kann mit Hilfe einer Orthogonaltransformation die Wellenwiderstandsmatrix der gesamten Busstruktur abgeleitet werden.

Für einen reflexions- bzw. brechungsfreien Abschluss müsste die Busstruktur mit ihrer Wellenwiderstandsmatrix abgeschlossen werden. Eine technische Realisierung ist hierzu nicht möglich. Daher wurde ein vereinfachtes Widerstandsnetzwerk (Bild 2.3-6 und Bild 2.3-7) gewählt, mit dessen Hilfe ein optimaler Abschluss typischer Busstrukturen möglich ist. Die Qualität des erreichbaren Abschlusses kann vorab berechnet werden. Es wurde zudem ein Algorithmus entwickelt, mit dessen Hilfe die Elemente eines vereinfachten Widerstandsnetzwerks zum nahezu reflexionsfreien Abschluss der Busstruktur berechnet werden können.

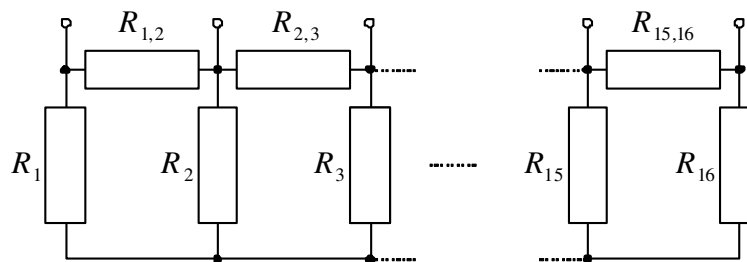


Bild 2.3-6: Vereinfachte Darstellung eines Abschlusswiderstandsnetzwerkes für Busstrukturen

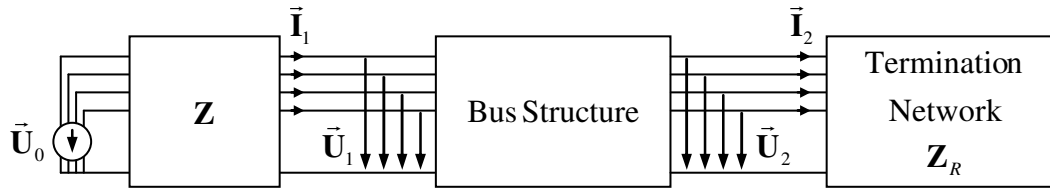


Bild 2.3-7: Abgeschlossene Busstruktur - versorgt von einem Prozessor

Verifikation der theoretischen Grundlagen

Die grundlegenden physikalischen Modelle zur Berechnung des elektrischen und magnetischen Verhaltens von gekoppelten Leitungen wurden mit Hilfe von FEM-Simulationen und durch Vergleiche mit Daten aus der Literatur verifiziert.

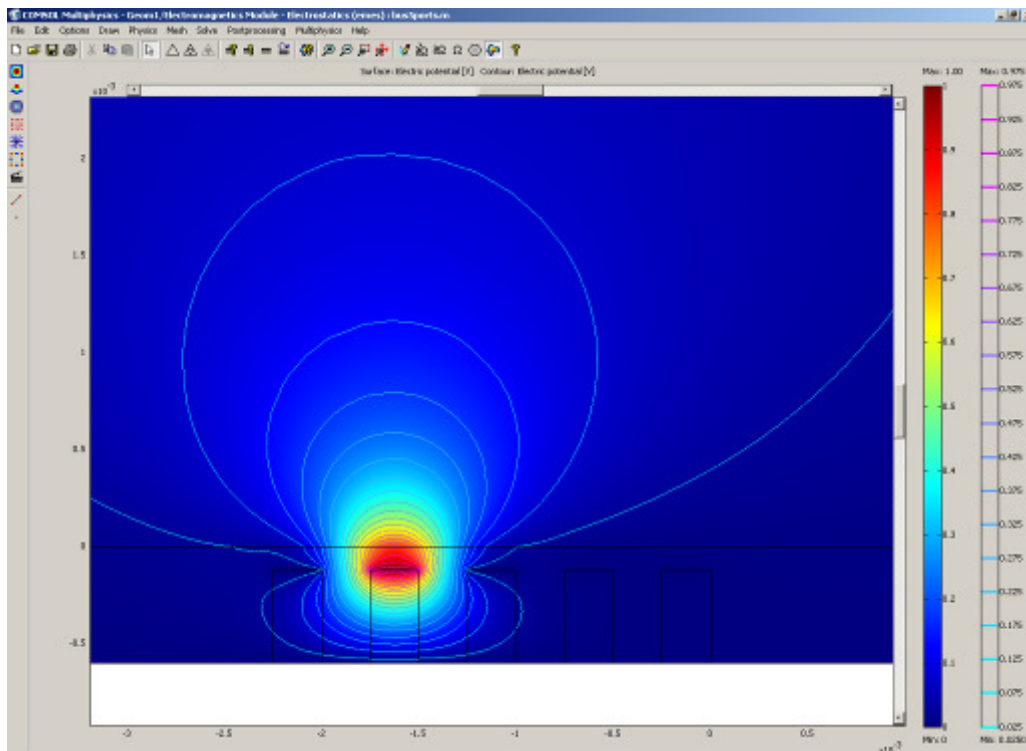


Bild 2.3-8: Screenshot ComSol V3.2 - Darstellung des berechneten elektrischen Skalarpotenzials

Messtechnische Überprüfung der grundlegenden Modelle

Um die Algorithmen, auf die auch bei der Berechnung der gesamten Busstruktur zurückgegriffen wird, an Hand von gemessenen Daten überprüfen zu können, wurde eine Testplatine mit einer Reihe von Grundstrukturen realisiert. Die Streumatrizen wurden mit Hilfe von Vier-tormessungen ermittelt und schließlich mit den berechneten Werten verglichen. Die Ergebnisse zeigen eine sehr gute Übereinstimmung. Aus diesem Grund kann angenommen werden, dass auch die Simulation der gesamten Busstruktur eine gute Beschreibung der realen Anordnung darstellt.

Die vergleichenden Messkurven in Bild 2.3-9 sind für unterschiedliche Koppelabstände mit einer Beispielstruktur aus zwei koppelnden Mikrostreifenleitungen gemessen worden.

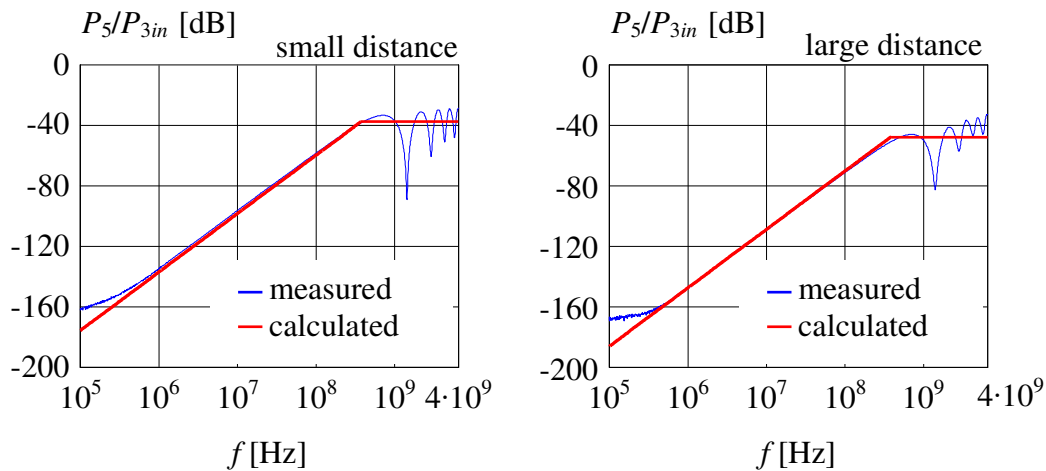


Bild 2.3-9: Vergleich zwischen Rechnung und Messung bei unterschiedlichen Abständen

Stand der Technik

In Fahrzeuganwendungen werden Busse von Mikroprozessoren über Verbindungsleitungen an externe Speicher (außerhalb des Chips) angeschlossen, die u.U. nicht auf ein optimales Übertragungsverhalten ausgelegt sind. Die Folge sind Reflexionen, die die abgestrahlte Energie erheblich erhöhen. Steigende Bus-Taktraten erzeugen zusätzlich hochfrequentere Anteile. Bald werden Datenraten, die einer Bitrate von 50 MHz pro Signalleitung entsprechen, überschritten werden. Die Funktionssicherheit kann dann nicht weiter garantiert werden.

Zusammenfassung (B 1.2.1)

Die entwickelten Matlab Programme zur Berechnung der Koeffizienten abhängig vom Leiterbahnabstand wurden messtechnisch verifiziert.

Darauf basierend konnten die Kapazitäts- und Induktivitätsmatrizen und die Wellenwiderstandsmatrix der gesamten Busstruktur abgeleitet werden.

Für einen reflexionsfreien Abschluss müsste die Busstruktur mit ihrer Wellenwiderstandsmatrix abgeschlossen werden. Dafür wurde ein vereinfachtes Widerstandsnetzwerk gewählt, mit dessen Hilfe ein optimaler Abschluss typischer Busstrukturen möglich ist.

2.3.8 Literatur - Neue Entwurfskonzepte für IC-Versorgung und Speicherbusse auf komplexen Schaltungsträgern

- [2.3-1] M. Kirschning and R. Jansen, *Accurate Wide-Range Design Equations for the Frequency-Dependent Characteristic of Parallel Coupled Microstrip Lines*, IEEE Transactions on Microwave Theory and Techniques, vol. 32, no. 1, pp. 83–90, January 1984
- [2.3-2] E. Hammerstad and O. Jensen, *Accurate models for microstrip computer-aided design*, IEEE MTT-S Int. Microwave Symp. Dig. (Washington, DC), pp. 407–409, 1980
- [2.3-3] B. Wadell, *Transmission Line Design Handbook*, Artech House, USA, 1981
- [2.3-4] C. Wei, R. Harrington, J. Mautz, and T. Sarkar, *Multiconductor transmission lines in multilayered dielectric media*, IEEE Transactions on Microwave Theory and Techniques, vol. 32, no. 4, pp. 439–449, April 1984
- [2.3-5] R. Hoffman, *Handbook of Microwave Integrated Circuits*, Artech House, USA, 1987
- [2.3-6] H. Meinke, F.W. Gundlach, *Taschenbuch der Hochfrequenztechnik*, 1992, S. C25-C29
- [2.3-7] Grotelüschen E., Grabinski H., Rochel S., Winkel T.M., *LOSSYWIRE - A Model Implementation for Transient and AC Analysis of Lossy Coupled Transmission Lines in the Circuit Simulator EldoTM*, Archiv für Elektronik und Übertragungstechnik (AE), 1995
- [2.3-8] Broyde F., Clavelier E., *A New Interconnection Architecture for the Reduction of Crosstalk and Reflections*, SAME 2004, 2004

2.4 B1.2.2: Neue Entwurfskonzepte für Versorgung und Speicherbustreiber in Microcontroller-Chips – Infineon Technologies AG

2.4.1 Einleitung

Störquellen für elektromagnetische Emission von Microcontrollern sind einerseits viele gleichzeitig schaltende Logiktransistoren und andererseits schnell schaltende Padtreiber, die externe Lasten auf der Leiterplatte umladen. Logiktransistoren schalten meist mit dem Systemtakt oder davon abgeleiteten Takten im Bereich bis ca. 300 MHz. Padtreiber schalten meist langsamer (ungefähr 100 kHz bis 10 MHz; Bustreiber bis 100 MHz). Es sind meist nur wenige, bei breiten externen Bussen einige Dutzend Padtreiber aktiv, sie laden jedoch weit größere Lasten um als die gleiche Anzahl Logikgatter. Da jedoch den wenigen Padtreibern einige Hunderttausend Logikgatter gegenüber stehen, muss beiden Störern großes Augenmerk bei der Reduzierung elektromagnetischer Emission geschenkt werden; daher wurden in PARACHUTE beide Klassen von Störern behandelt.

2.4.2 Ziele der F+E Arbeiten

Hauptziel war es, gemeinsam mit einem Steuergerätehersteller, in diesem Fall Continental Automotive, Möglichkeiten der gemeinsamen Schaltungsoptimierung auf IC-Seite und Leiterplattenseite zu erarbeiten und bezüglich ihrer EMV-Verbesserung zu bewerten. Infineon arbeitete an folgenden Ansätzen und Realisierungen zur Emissionsreduktion:

- Ersetzen des konventionellen Spannungsregler-Versorgungskonzepts durch ein neuartiges Stromreglerkonzept,
- Ersetzen der konventionellen Taktbaumzellen durch solche mit niedriger Emission,
- Optimierung der Taktbaum-Generierungsmethodik im Designtool MAGMA BlastFusion,
- Bereitstellung skalierbarer Padtreiber für impedanzkontrollierte externe Speicherbusse.

2.4.3 Technische Ergebnisse

Stromregler

Anhand des Infineon 16-Bit-Microcontrollers C164 konnte eine signifikant reduzierte Störemission bei Anwendung des Stromreglerkonzepts nachgewiesen werden. Das Konzept funktioniert so gut aufgrund des hohen Innenwiderstandes einer Stromquelle. Durch induktive Entkopplung werden hochfrequente Störanteile im unmittelbar lokalen Bereich um den Microcontroller gehalten, während nur niederfrequente und damit weit weniger aggressive Störungen bis zum Stromregler gelangen. Die Störemission oberhalb 20 MHz konnte mit diesem Konzept nachweislich um ca. 40dB reduziert werden. Eine Herausforderung für die künftige produktive Anwendung des Stromreglerkonzepts ist die Vorhersage von Lastwechseln des Microcontrollers, um dem Stromregler die Möglichkeit der rechtzeitigen Anpassung auf niedrigen oder hohen Strombedarf zu geben, sodass die Versorgungsspannung im Microcontroller keine massiven Über- und Unterschwinger sieht, welche seine Funktion beeinträchtigen würden. Zum Stromreglerkonzept wurden mehrere Patente eingereicht: ein gemeinsames von Continental, Infineon und der Fraunhofer Gesellschaft und ein weiteres von Continental.

Taktbaum

Für die Taktbaumoptimierung verfolgte Infineon zwei Ansätze: (1) Entwicklung neuartiger emissions-reduzierter Taktbaumzellen und (2) Verkleinerung des Taktbaums bei gleicher Performance. Zu (1) wurden die existierenden Taktbaumtreiber mit lokalen Abblockkondensatoren ausgestattet, die verhindern, dass die hochfrequenten Störanteile sich über das Versorgungssystem ausbreiten. Mehrere Varianten dieser EMV-optimierten Clockbuffer (EOB) haben wir auf dem Testchip TACO integriert (Bild 2.4-2), der mit entsprechenden On-Chip-Stromsensoren ausgestattet war und somit direkte Störpulsmessungen auf dem Silizium gestattete, deren resultierende Störemission mit Messungen gemäß IEC 61967-2 (TEM-Zelle, abgestrahlt) und 61967-4 (150 Ohm, leitungsgebunden) korreliert wurden.

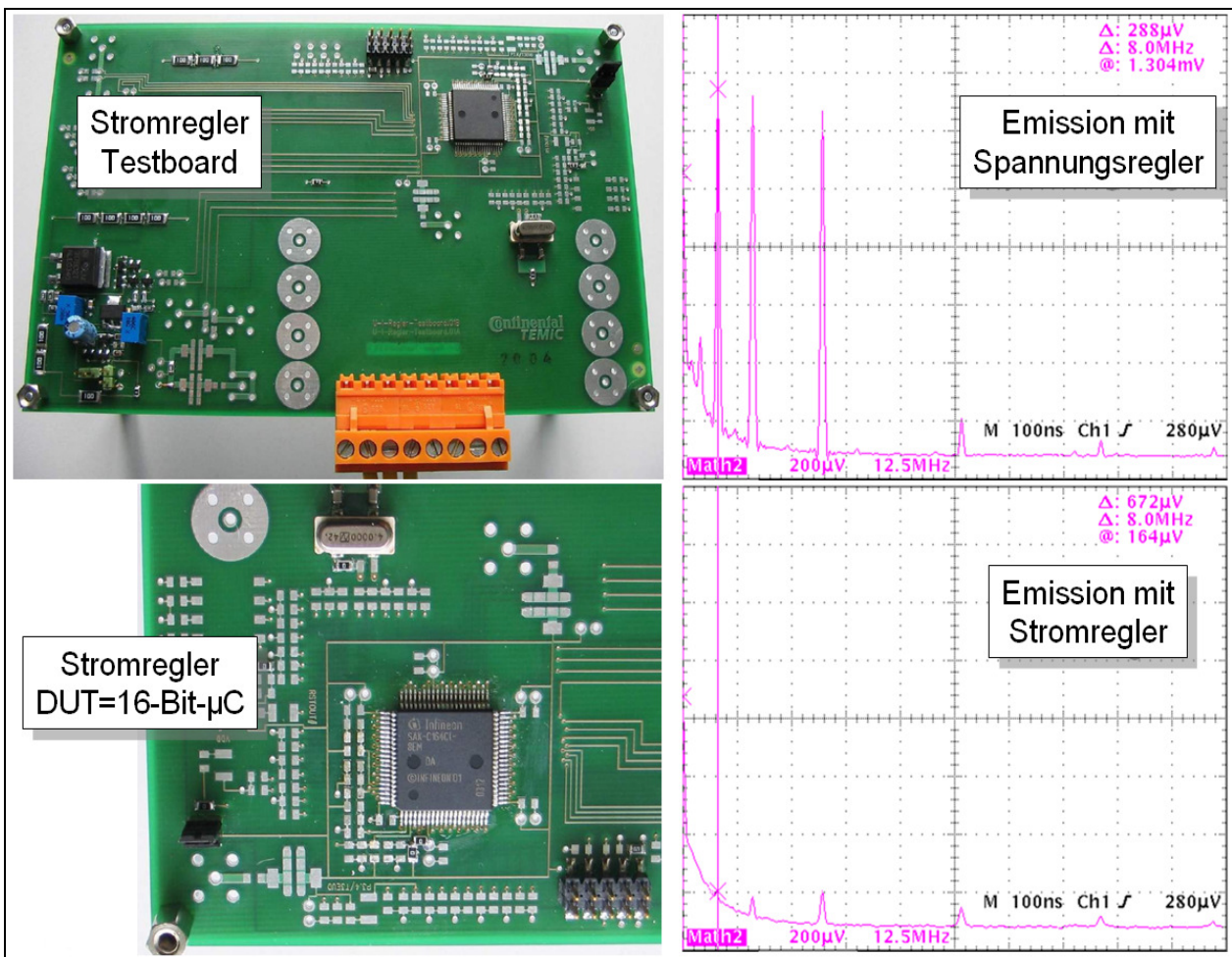


Bild 2.4-1: Test-Leiterplatte von Continental mit Infineon-Microcontroller C164CI (links); Nachweis der Emissionsverringerung durch Messung der leitungsgebundenen Abstrahlung für konventionelles Spannungsreglerkonzept und innovatives Stromreglerkonzept (rechts)

Die dabei unvermeidliche Erhöhung des Flächenbedarfs wurde durch (2) die Verkleinerung typischer Taktbäume um bis zu 70% teilweise kompensiert. Um kleinere Taktbäume bei gleicher Performance zu realisieren, mussten wir in grundlegende Einstellungen der Taktbaum-Generierungs-Software Magma BlastFusion eingreifen. Die Lösung wurde letztendlich in dem Steuerparameter *Overdrive* gefunden, der den Treibervorhalt der Taktbaumzellen reduziert und so den Einsatz kleinerer Zellen bzw. den Verzicht auf Zellen ermöglicht. Beides führt zu geringerer Störemission. Effizient ist diese Maßnahme jedoch nur, wenn gleichzeitig mit dem Taktbaum auch die an ihn angeschlossenen Flipflops betrachtet werden, da diese wie der Taktbaum selbst synchron schalten. Ziel war es, alle Flipflops zu deaktivieren, deren Funktion gerade nicht benötigt wird (*Clock-Gating*). Wir haben dazu standardmäßig eingesetzte Design-Tools wie Synopsys PowerCompiler evaluiert, welche das Clock-Gating noch weitgehender optimieren. Alle Tools reduzieren die Flipflop-Aktivität signifikant, es bleiben jedoch durchschnittlich immer noch doppelt so viele Flipflops wie Taktbaumzellen aktiv, sodass in weiteren Studien nach PARACHUTE noch die Alternative von schaltungstechnisch optimierten Flipflops untersucht werden soll, die jedoch ohne flächenintensive lokale Abblockkondensatoren auskommen müssen.

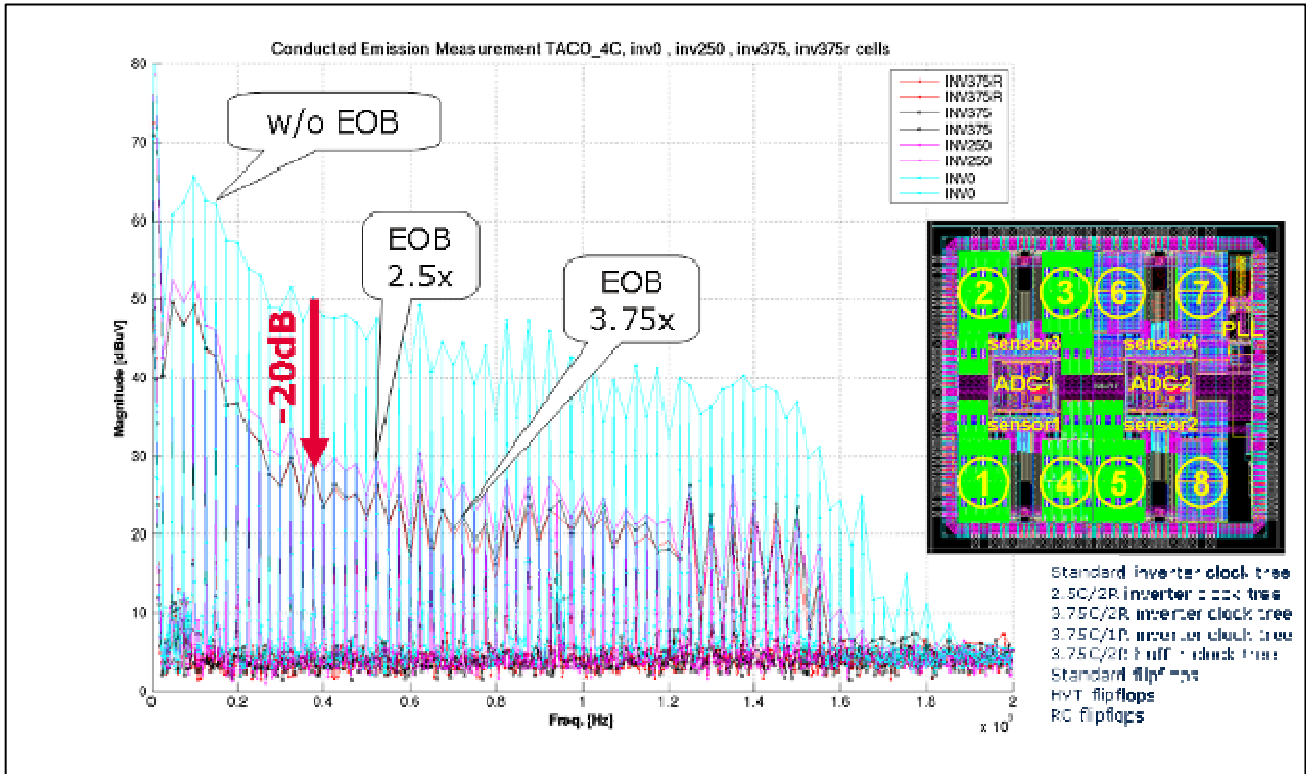


Bild 2.4-2: Vergleichsmessungen der Abstrahlung eines Testmoduls ohne (w/o EOB) und mit (EOB 2.5x und EOB 3.75x) EMV-optimiertem Taktbaum (links); Testchip TACO zur Validierung verschiedener Taktbaumkonzepte (rechts)

Skalierbare Padtreiber

Die Treiber-Skalierung von Padtreibern (Bild 2.4-3) ist keine technische Neuerung, sondern wird bereits auf breiter Basis in Microcontrollern eingesetzt. Neu in PARACHUTE war jedoch die Berücksichtigung der Padtreiber-Impedanz für das Design externer Speicherbusleitungen auf Leiterplatten. Motivation ist die Einsparung externer Serienterminierungswiderstände und Ersatz dieser Widerstände durch höhere Padtreiberimpedanzen. Infineon stellte dem Projektpartner Continental Microcontroller für die Evaluierung der Padtreiberimpedanzen zur Verfügung. Schwächere Padtreiber reduzieren die durch I/O-Schaltvorgänge verursachte elektromagnetische Emission signifikant. Sie können passend zu den applikationsspezifischen Datenraten und Signallasten ausgewählt werden.

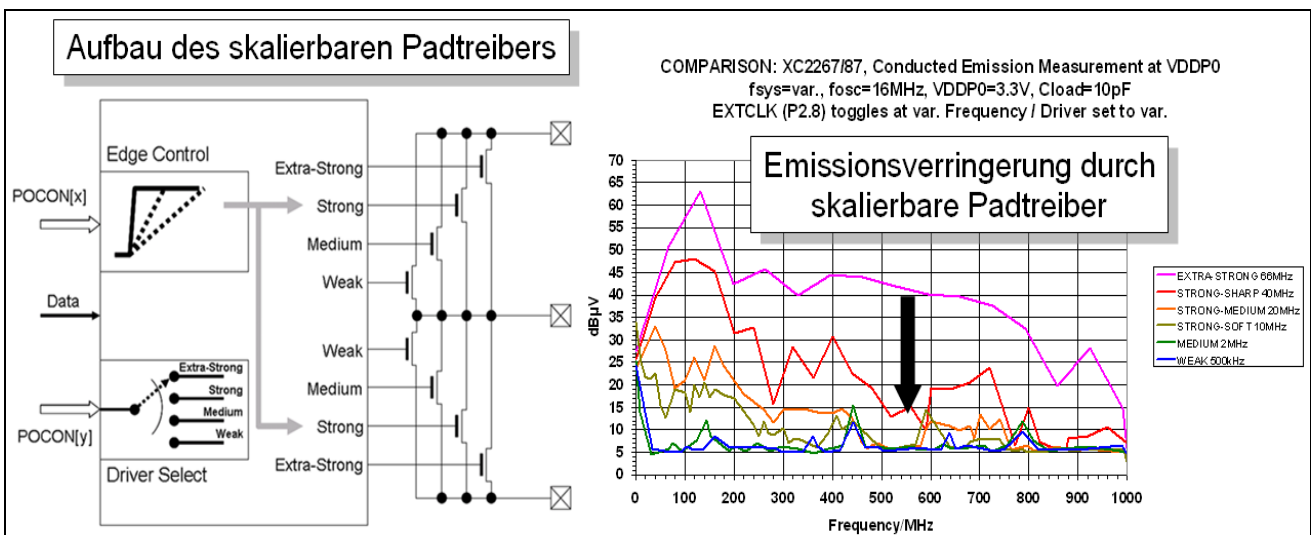


Bild 2.4-3: Aufbau eines skalierbaren Padtreibers und resultierende Emissionsreduktion

2.4.4 Stand der Technik

Stromregler

Die Eignung des Stromreglerkonzepts für eine signifikante Reduzierung der Störemission wurde nachgewiesen. Er wird allerdings heute noch nicht produktiv eingesetzt. Lediglich Spannungsregler mit Induktivität als „HF-Bremse“ (großer Widerstand für hohe Frequenzen) sind verbreitet und erfüllen ihre Funktion für heutige typische Microcontrollersysteme. Die PARACHUTE-Ergebnisse liefern jedoch die Grundlage, um ein durchgängiges Stromreglerkonzept in künftigen High-Performance-Microcontrollern zu implementieren.

Taktbaum

Für Infineon sind die in PARACHUTE erarbeiteten Methoden zur Taktbaumoptimierung zum Stand der Technik geworden. Neue Microcontroller nutzen die vorgeschlagenen Taktbaum-Generierungsmethoden.

Skalierbare Padtreiber

Skalierbare Padtreiber sind in vielen Microcontroller-Produkten Stand der Technik. Neu ist die Anpassung der Leiterplattenverdrahtung auf die Treiber-Impedanzen, zur der in PARACHUTE die Methodik erarbeitet wurde.

2.4.5 Anwendungsbeispiele und Verwertung

Stromregler

Die erreichten Ergebnisse bieten erhebliches Nutzungspotenzial für künftige Microcontrollerfamilien in Performanceklassen oberhalb 500 MHz. Da speziell die Möglichkeiten zur Reduzierung der Störemission auf dem Chip mit signifikantem Flächenzuwachs verknüpft sind, bietet sich hier die Möglichkeit, mit wenig externem Schaltungsaufwand und einem zusätzlichen On-Chip-Steuermodul die Emission überdurchschnittlich zu reduzieren. Die On-Chip-Schaltungsentwicklung zur Unterstützung externer Stromregler bleibt Arbeiten nach PARACHUTE vorbehalten.

Taktbaum

Die vorgeschlagenen Taktbaum-Generierungsmethoden wurden in den Infineon IC Design Guidelines für EMV ausführlich beschrieben und Infineon-weit für das IC-Design eingesetzt. Speziell für Automotive-Microcontroller ist die Anwendung dieser Methoden seitens Infineon verpflichtend.

Skalierbare Padtreiber

Skalierbare Padtreiber werden standardmäßig in Infineon-Microcontrollern implementiert und bei Bedarf an neue Hochgeschwindigkeits-Schnittstellen wie z.B. FlexRay angepasst.

2.4.6 Literatur - Neue Entwurfskonzepte für Versorgung und Speicherbustreiber in Microcontroller-Chips

- [2.4-1] T. Steinecke, Chip-Level EMC, 18th International Zurich Symposium on EMC, 24. - 28. 09. 2007, Munich, Germany.
- [2.4-2] D. Hesidenz, J. Kruppa, Distributed RC On-Chip Decoupling; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, 19th Intern. Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008.
- [2.4-3] T. Steinecke, EMC Design Optimization, PARACHUTE Workshop – Modeling and Simulation of Automotive Components, 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland

2.5 B 1.2.3: Neue Konzepte für störungsfreie Systeme auf der Ebene IC+Gehäuse-Versorgungsnetze und kontrollierte gestrahlte Emission (Optimierung und Modellierung hochkomplexer Packaging-Strukturen) – ZUKEN (Kooperation mit LUH/TET und UPB)

IC-Emissionsmodelle für die EMZ-Simulation (Kooperation mit LUH/TET und UPB)
Modellordnungsreduktion für HDI/HDP-Anwendungen (Kooperation mit LUH/TET und UPB)
Modellierung ausgewählter Leitungsstrukturen

2.5.1 Einleitung

Im Bereich der Simulation von ICs und deren Gehäusen lag der Schwerpunkt bisheriger Arbeiten im Wesentlichen auf der Berücksichtigung des parasitären Einflusses von Gehäuseanbindungen (Pads, Bonds, Bumps) auf das Signalübertragungsverhalten. Während für die Simulation von Leiterbahnen auf AVT-Strukturen bereits vereinfachende Ansätze wie z.B. die Leitungstheorie erfolgreich verwendet werden, wurde der Einfluss von ICs im Hinblick auf die elektromagnetischen Emissionen weitestgehend vernachlässigt. Bisher wurden ICs lediglich mit Hilfe von elektrischen Ersatzmodellen (SPICE, Makromodelle) repräsentiert und haben somit keinen direkten Anteil an der Abstrahlung.

Parasitäre Effekte, welche bisher als vernachlässigbar galten, rücken damit weitaus stärker in den Vordergrund. Hierzu gehören u.a. auch die elektromagnetischen Emissionen von integrierten Schaltungen. Durch die Verwendung moderner mehrlagiger Leiterplatten mit quasi-geschirmten Innenlagen beginnen – speziell im höheren Frequenzbereich – die Emissionen von ICs das EMV-Verhalten von Systemen zu dominieren. Neben einer erhöhten Gesamtabstrahlung können diese Emissionen aber auch das Verhalten des Komplett-Systems selbst signifikant beeinflussen. Aus diesem Grund ist es erforderlich, elektromagnetische Emissionen von ICs und deren Gehäusestrukturen zukünftig beim Systementwurf mit zu berücksichtigen. Eine Analyse (Simulation) des Gesamtsystems, bestehend aus ICs, Verbindungsstrukturen und IC-Gehäusen, ist dabei aufgrund der enormen Komplexität, speziell der ICs, und den auftretenden Größenunterschieden in der Regel nicht oder nur für einzelne Teilstrukturen mit vertretbarem Aufwand möglich. Im Hinblick auf eine umfassende Qualifizierung des Gesamtentwurfs und Vorhersage des Systemverhaltens ist deshalb zukünftig eine Analyse und Modellierung elektromagnetischer Emissionen von ICs bzw. komplexen Gehäusen (High-Density-Packages, HDP; High-Density-Interconnects, HDI) unumgänglich. Heutige Analysen der Abstrahlung konzentrieren sich im Wesentlichen auf den On-Chip-Bereich, speziell den Einfluss unterschiedlicher Prozess- und Fabrikationsparameter auf das Emissionsspektrum. Hierbei kommen in der Regel Messverfahren, basierend auf TEM Zellen bzw. Messsonden, oder Nahfeldmessungen zum Einsatz.

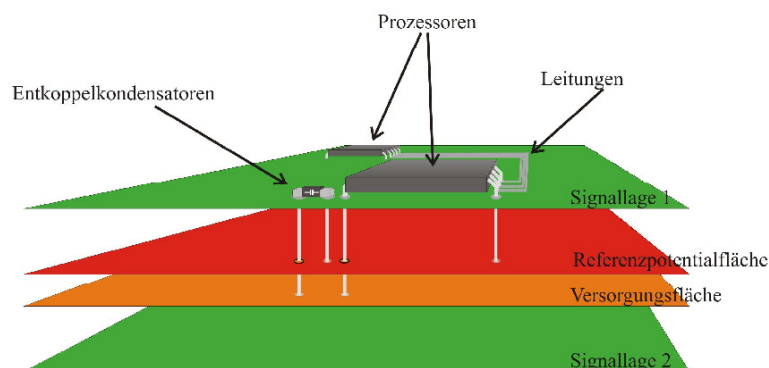


Bild 2.5-1: HDI/HDP-Struktur mit Abblockkondensatoren

2.5.2 Ziele der F+E Arbeiten

Zielsetzung in diesem Beitrag war es, neue Konzepte zur Analyse des EMV-Verhaltens (Signalintegrität und Ein-/Abstrahlung) von IC-Gehäusesystemen (HDP-Strukturen) inklusive der Einflüsse des Versorgungssystems zu erarbeiten. Die jeweils aktuellen Modellierungs-Standards waren zu berücksichtigen.

Nachfolgend werden die Ergebnisse zu den Themenkomplexen:

- (1) IC Emissionsmodelle in der EMZ-Simulation
 - Standardisierte Emissionsmodelle von SiP mit Anwendungen in der Systemsimulation
 - IC Emission Modell und Modellordnungsreduktion
- (2) Modellordnungsreduktion für HDI/HDP-Anwendungen
 - Kabelbaummodell
 - Transmission-Line Modell mit Substrukturen
- (3) Modellierung ausgewählter Leitungsstrukturen
 - Koplanare Leitungsstrukturen auf HDI Systemen
 - EMZ-Modellierung von HDI-Fertigungseinflüssen

erläutert.

2.5.3 Technische Ergebnisse

IC-Emissionsmodelle für die EMZ-Simulation (Kooperation mit LUH/TET und UPB)

Im Projektzeitraum wurde prototypisch die EDA-Implementierung von sogenannten IC-Emissions-Modellen (ICEM) in enger Zusammenarbeit mit dem UA-Nehmer FhG IZM ASE (UPB + LUH/TET) sowie mit Infineon als Halbleiterhersteller konzipiert. Infineon stellte dafür erste ICEM-Modelle für ausgewählte Microcontroller bereit. Ein ICEM-Modell geht im Modellierungsgrad über klassische Modellierungsansätze bei der Modellierung von Bauelementen für eine Signal-Integritätssimulation hinaus, indem es das Stromverhalten und die Emissionen des IC abbildet. Anhand erster vom Projektpartner Infineon bereitgestellter ICEM-Modelle wurde ein erweiterter Analyseablauf konzipiert, bei dem diese IC-Störinformationen in die EMZ-Simulation einbezogen werden.

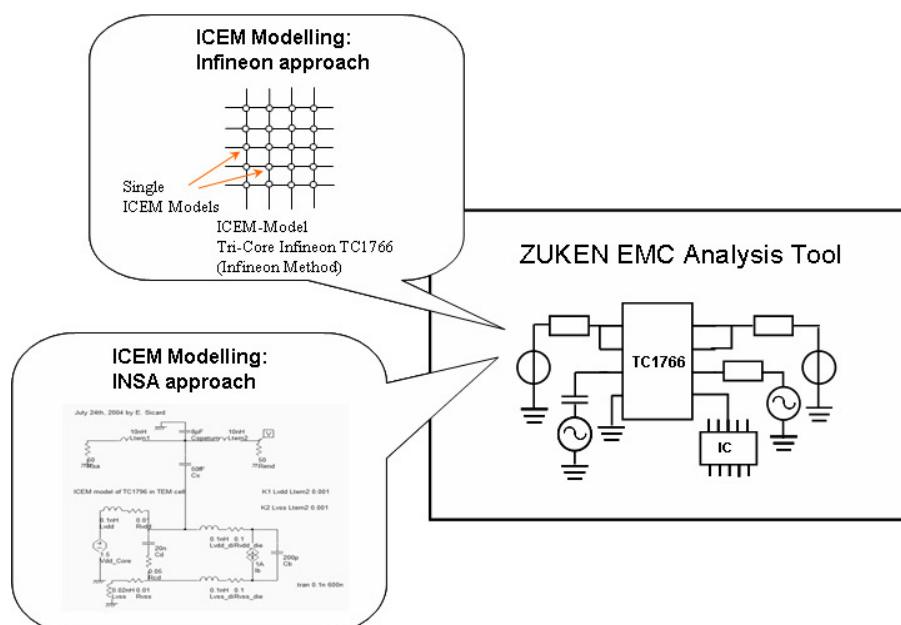


Bild 2.5-2: Konzept der Nutzung von ICEM-Modellen für die EMZ-Analyse

Als Demonstrator wurde ein ICEM-Modell für den TriCore-Microcontroller TC1766 von Infineon verwendet. Die Berücksichtigung der ICEM-relevanten Informationen wurde im Detail erarbeitet (zum Beispiel hinsichtlich der Ablage entsprechender IC-Schaltströme in der Simulationsbibliothek für eine EMZ Simulation – Bild 2.5-3).

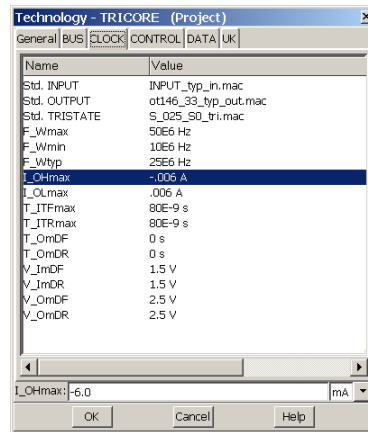


Bild 2.5-3: Bibliothekskonzept zur Ablage von IC-Schaltströmen

Standardisierte Emissionsmodelle für SiP mit Anwendungen in der Systemsimulation

ICEM-Modelle zur PI-Analyse von IC

Eine Möglichkeit, Aussagen über das PI-Verhalten von ICs zu erhalten, bieten sogenannte *Integrated Circuit Emission Models (ICEM)* [2.5-1]. Genauer gesagt, lassen sich anhand von ICEM-Modellen Aussagen über die leitungsgeführte Emission des Versorgungssystems von ICs treffen. Die Grundstruktur eines ICEM-Modells [2.5-2], fortan mit *Supply Line Model (SLM)* bezeichnet, ist in Bild 2.5-4 dargestellt.

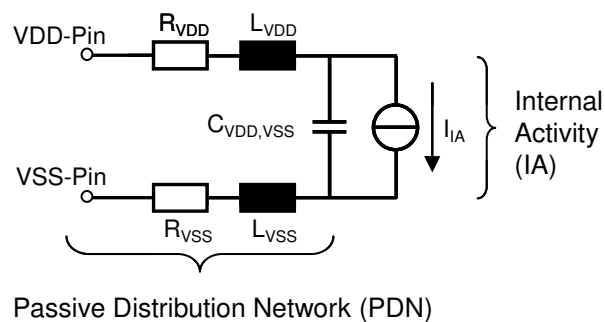


Bild 2.5-4: Supply Line Model (SLM) eines ICEM-Modells

Wie aus der Abbildung hervorgeht, besteht das SLM aus zwei Teilen. Das Passive Distribution Network (PDN), bestehend aus R, L, C Elementen, beschreibt das parasitäre elektromagnetische Verhalten des Versorgungssystems. Die Internal Activity (IA), symbolisiert durch eine Stromquelle, beschreibt das Stromprofil der dynamischen Schaltströme gleichzeitig schaltender Transistoren in einem oder mehreren Funktionsmodulen des ICs.

Mittels eines SLM lässt sich das Emissionsverhalten eines Funktionsmoduls (z.B. Analog-, Digital-, I/O-Modul) oder einer Gruppe von Funktionsmodulen gleicher Versorgungsspannung abschätzen (Bild 2.5-5).

Verfügt ein solches Modul des ICs über eine Vielzahl von Versorgungspins, lässt sich mit einem SLM nur eine Aussage über die Gesamtemission des Moduls treffen, da das SLM über nur einen V_{DD} -Pin und einen V_{SS} -Pin verfügt. In diesem Fall stellt das SLM ein modul-bezogenes Modell dar.

Um mittels SLMs pin-bezogene Aussagen über das Emissionsverhalten des IC-Versorgungssystems treffen zu können, müssen die SLM Parameter in Bezug auf einen bestimmten Versorgungspin, ein Pin-Paar oder eine Pin-Gruppe ermittelt werden. Es ergibt sich somit, entsprechend Bild 2.5-6, ein SLM für jeden modellierten Versorgungspin (bzw. Pin-Paar oder Pin-Gruppe).

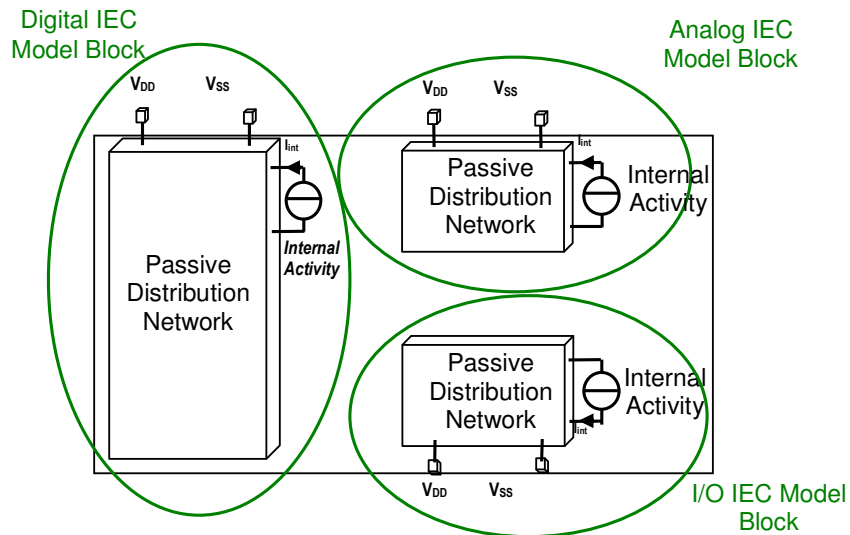


Bild 2.5-5: Modul-bezogenes IEC-Modell mit einem SLM (grün eingekreist) je Funktionsmodul

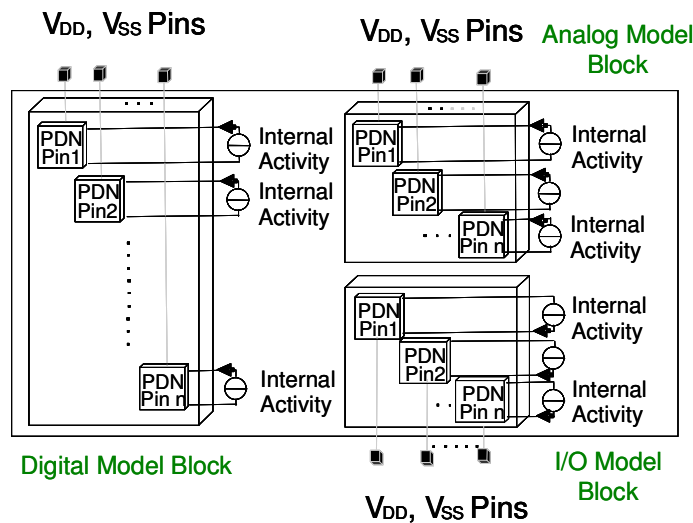


Bild 2.5-6: Pin-bezogenes IEC-Modell mit einem SLM je Versorgungspin

Für Aussagen, die über die Beschreibung des leitungsgeführten Emissionsverhaltens eines Moduls bzw. eines Versorgungs-Pin-Paares hinausgehen, sind die bisher beschriebenen IEC-Modelle nur begrenzt geeignet. Durch die Modellierung eines Funktionsmoduls mittels eines SLM-Gitternetzes lassen sich genauere Aussagen über das lokale Auftreten von Störgrößen im IC treffen, was dann Rückschlüsse auf eine optimale Platzierung der Module im Entwurfsprozess erlaubt [2.5-3]. Bild 2.5-6 zeigt einen Ausschnitt eines mittels SLM-Gitternetz modellierten Funktionsblocks.

Erstellung eines ICEM-Modells des Versorgungssystems eines 32-Bit Controllers

Ziel ist die Erstellung eines ICEM für den TC1766 TriCore™ Microcontroller des Projektpartners Infineon zur Abschätzung des Power Integrity (PI) Verhaltens des ICs. Hierbei soll eine Aussage über die leitungsgeführte Emission des ICs getroffen werden.

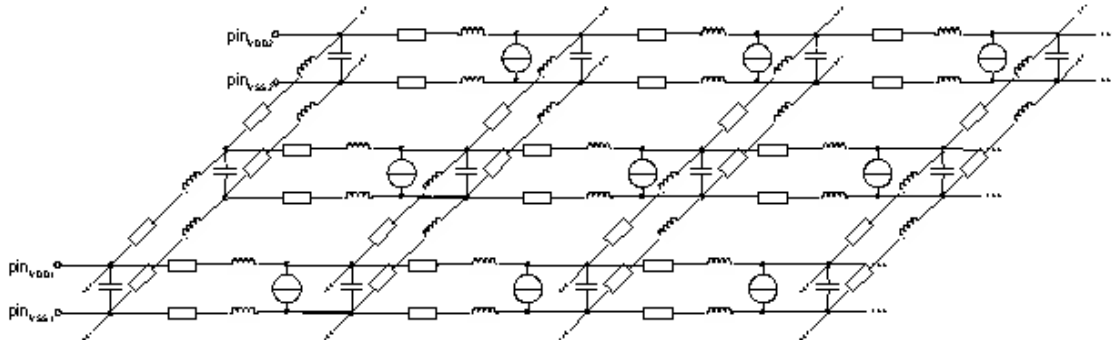


Bild 2.5-7: Ausschnitt eines mittels SLM-Gitternetz modellierten Funktionsmoduls

Ein weiteres Ziel ist die Gewährleistung der Implementierbarkeit des ICEM-Modells in das EDA-Tool CR-5000 Lightning des Projektpartners Zuken. Die Randbedingungen an das Modell werden zum einen durch das EDA-Tool vorgegeben, zum anderen richten sie sich nach den Bedürfnissen der CR-5000 Lightning Anwender. Hier gilt die Vorgabe einer möglichst niedrigen Komplexität des Modells, um den Rechenaufwand so gering wie möglich zu halten. Des Weiteren muss das Gesamtmodell auf Eintoren basieren. Für die Modellierung des ICEM-Modells wurde auf ein bereits vorhandenes Basismodell [2.5-3] zurückgegriffen. Aufgrund der hohen Komplexität ist das Modell jedoch nur eingeschränkt für die Implementierung und Anwendung in PI-Simulationswerkzeugen geeignet. Die Grundstruktur des Modells entspricht der in Bild 2.5-7 gezeigten, bestehend aus einem Gitternetz von SLMs. Um den Anforderungen hinsichtlich einer minimalen Komplexität gerecht zu werden, wurden zwei Modelle erstellt. Zum einen ein modul-bezogenes Modell, das Bild 2.5-5 und der entsprechenden Beschreibung im vorangegangenen Abschnitt entspricht und zum anderen ein Bild 2.5-6 entsprechendes pin-bezogenes Modell.

Modul-bezogenes ICEM-Modell

Ziel ist die Erstellung eines modul-bezogenen ICEM-Modells durch Reduktion der Komplexität des komplexen Infineon TC1766 TriCore™ Modells. Die Parameter des modul-bezogenen Modells sollen hierbei simulativ bestimmt werden. Für die Modell-Simulationen wurde der Schaltungssimulator HSpice verwendet.

Für das modul-bezogene Modell des TC1766 TriCore™ wurde für jede Versorgungsdomäne ein SLM entsprechend Bild 2.5-5 erstellt. Der TC1766 verfügt mit $V_{DDC} = 1.5\text{ V}$ und $V_{DDP} = 3.3\text{ V}$ über zwei Versorgungsdomänen. Das SLM der Core-Versorgungsdomäne $V_{DDC} = 1.5\text{ V}$ fasst die Versorgung des Digital Core und der PLL zusammen. Dieses SLM wird fortan mit Funktionsmodul 1 bezeichnet. Das SLM der Versorgungsdomäne $V_{DDP}=3.3\text{V}$ fasst die Versorgung der Port-Pins und des Flash-Speichers zusammen und wird fortan mit Funktionsmodul 3 bezeichnet.

Das modul-bezogene ICEM-Modell stellt die Modellvariante mit der niedrigsten möglichen Komplexität dar. Anhand des Modells soll untersucht werden, inwieweit es bei minimalem Rechenaufwand im EDA-Tool den Genauigkeitsanforderungen der Simulationstool-Anwender gerecht wird.

Parametrisierung des modul-bezogenen ICEM-Modells und Ergebnisse

Bestimmung des PDN durch Fitting-Ansatz

Für die Modellierung der PDN-Parameter, also dem passiven Teil des modul-bezogenen Modells, wird zunächst das Impedanzverhalten des komplexen Basis-Modells untersucht. Ziel ist hierbei, das Verhalten des PDN des komplexen Modells mit hinreichender Genauigkeit und unter Einhaltung der Komplexitätsanforderungen für das neue reduzierte Modell abzubilden. Aus den Impedanzkennlinien der Z_{11} -Parameter der Funktionsmodule 1 und 3, dargestellt in Bild 2.5-8, werden mittels eines Fitting-Ansatzes die Parameter der PDN der beiden Funktionsmodule extrahiert. In der Abbildung sind die Koeffizienten a , b , und c , mit denen sich mittels des Fitting-Ansatzes

$$Z(s) = a + s \cdot b + \frac{c}{s} \tag{2.5-1}$$

die Impedanzverläufe des Basis-Modells approximieren lassen, dargestellt.

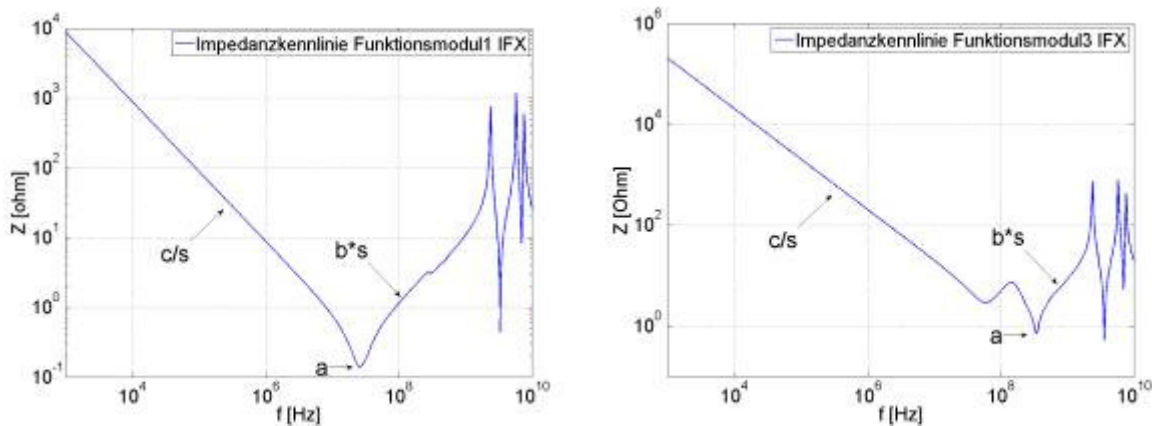


Bild 2.5-8: Impedanzkennlinie Z_{11} Funktionsmodul 1 (links) und Funktionsmodul 3 (rechts) des komplexen Basis-Modells

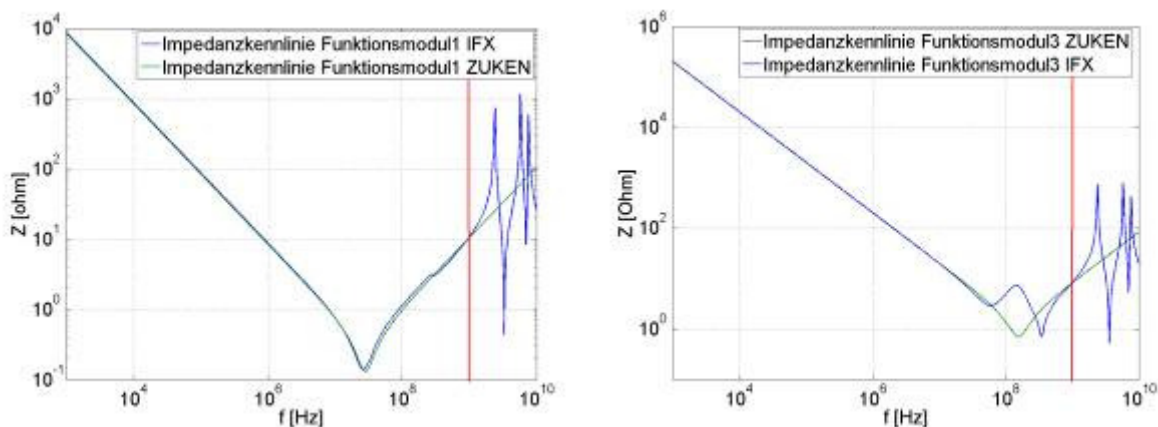


Bild 2.5-9: Vergleich Impedanzkennlinie Z_{11} des Basis-Modells (blau) und des ZUKEN-Modells (grün) für Modellblock 1 (links) und Modellblock 3 (rechts)

Bild 2.5-9 zeigt die aus dem verwendeten Fitting-Ansatz resultierenden Simulationsergebnisse im Vergleich zu den Kennlinien des komplexen Basis-Modells. Die Kennlinienverläufe des Basis-Modells (blau) werden innerhalb des gültigen Frequenzbereichs des Modells unterhalb von $f_{\max}=1\text{GHz}$ (vertikale rote Linie) durch den Fitting-Ansatz (grüne Kennlinie) gut angenähert. Größere Abweichungen unterhalb $f_{\max}=1\text{ GHz}$ sind lediglich im Bereich des lokalen Minimums für Funktionsmodul 3 erkennbar.

Physikalische Interpretation

Je nach gewünschter Komplexität und Anforderung an die Genauigkeit kann das PDN auf zwei mögliche Arten modelliert werden (Bild 2.5-9). Die linke Abbildung des PDN stellt die Form mit der niedrigsten möglichen Komplexität eines Funktionsmoduls dar. Man erhält ein Funktionsmodul mit 3 passiven Elementen.

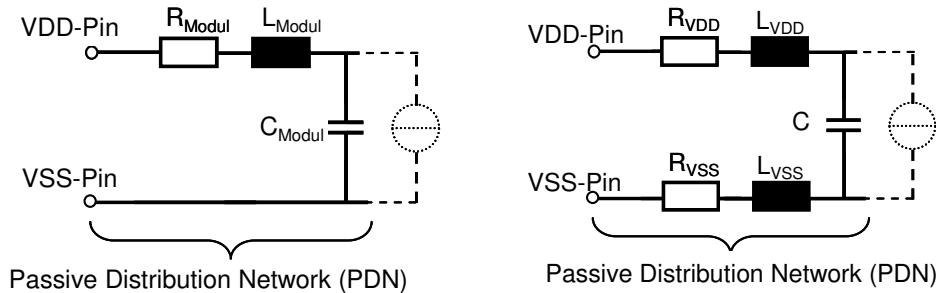


Bild 2.5-10: Grundstrukturen des PDN des modul-bezogenen ICEM Modells

Halbiert man die Werte der ermittelten Parameter, lässt sich eine Aufteilung der resistiven und induktiven parasitären Größen auf V_{DD} und V_{SS} vornehmen. Damit erhöht sich die Modellkomplexität des PDN des Funktionsmoduls auf 5 passive Elemente (rechte Darstellung in Bild 2.5-10).

Bestimmung des IA-Stromprofils und Validierung des modulbezogenen Modells

Zur Bestimmung des IA-Stromprofils I_{IA_n} des Funktionsmoduls n wird zunächst der externe Pinstrom $I_{EXT_n}(t)$ des Basis-Modells simulativ ermittelt. Anschließend folgt eine Transformation des externen Pinstroms in den Frequenzbereich mittels FFT. Die Berechnung des Stromprofils I_{IA_n} im Frequenzbereich erfolgt dann unter Zuhilfenahme der zuvor ermittelten Parameter des PDN von Funktionsmodul n durch Multiplikation des externen Pinstroms mit der Übertragungsfunktion entsprechend der Gleichung

$$I_{IA_n}(j\omega) = I_{EXT_n}(j\omega) \cdot (1 - \omega^2 L_{MODUL_n} C_{MODUL_n} + j\omega R_{MODUL_n} C_{MODUL_n}) \tag{2.5-2}$$

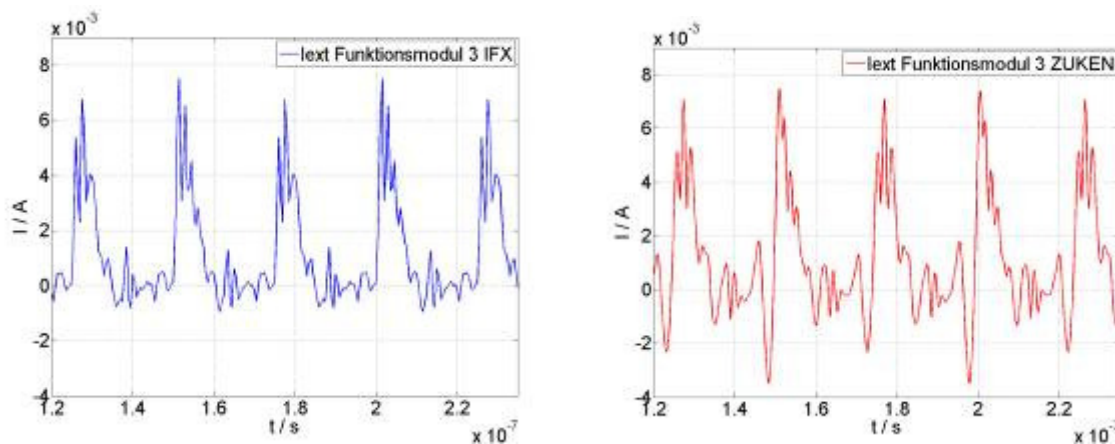


Bild 2.5-11: Vergleich $I_{EXT3,BASIS}$ (blau) des komplexen Modells und $I_{EXT3,MODUL}$ (rot) des modul-bezogenen reduzierten Modells im Zeitbereich zur Verifikation des modul-bezogenen Modells

Zur Verifikation der IA wurde diese mittels IFFT vom Frequenzbereich in den Zeitbereich transformiert und zur Simulation im Schaltkreis-Simulator HSpice als PWL-Quelle (*Piece Wise Linear*) beschrieben. Die Verifikation der IA-Quelle dient auch als Verifikation des gesamten modul-bezogenen ICEM Modells, da in HSpice eine Netzliste bestehend aus der die IA beschreibenden PWL-Quelle und dem PDN, also aus beiden Teilen des Modells, simuliert wird.

Der Vergleich des externen Pinstroms $I_{EXT3,BASIS}(t)$ des komplexen Basis-Modells mit dem externen Pinstroms $I_{EXT3,MODUL}(t)$, der sich aus der Simulation der Netzliste des modul-bezogenen Modells ergibt, ist in Bild 2.5-11 exemplarisch für das Funktionsmodul 3 dargestellt.

Unter Berücksichtigung der Tatsache, dass es sich bei dem modul-bezogenen um ein im Vergleich zum Basis-Modell drastisch in der Komplexität reduzierten Modell handelt und im Kontext der Genauigkeitsanforderungen der Simulationstool-Anwender, sind die Ergebnisse in Bild 2.5-11 als sehr gut zu bewerten. Lediglich unmittelbar vor den stark ansteigenden Flanken sind größere Abweichungen in Form von Unterschwingungen im Verlauf des modul-bezogenen Modells im Vergleich zum Basis-Modell zu erkennen.

Tabelle 2.5-1 fasst die Eigenschaften beider Modelle hinsichtlich ihrer Komplexität und der HSpice-Simulationsdauer zusammen. In HSpice wurde ein Zeitintervall von 550ns des externen Pinstroms $I_{EXT}(t)$ mit einer Schrittweite von 0.5 ns für beide Modelle simuliert. Die Simulationsdauer betrug für das komplexe Basis-Modell $t_{Sim,BASIS} \sim 12937$ s und für das modul-bezogene Modell $t_{Sim,MODUL} \sim 1$ s, was eine Beschleunigung um einen Faktor $F > 10000$ bedeutet.

	Basis-Modell (komplex)	Modul- bezogen
Modellkomplexität		
Elektrische Komponenten Knotenanzahl	26541 14059	8 6
H-Spice Simulationszeit		
Transiente Analyse	100 %	< 0.01 %

Tabelle 2.5-1: Vergleich zwischen modul-bezogenem Modell und Basis-Modell hinsichtlich Komplexität und Simulationsdauer

Pin-bezogenes ICEM-Modell

Um pin-bezogene Aussagen über die leitungsgeführte IC-Emission bezüglich des Versorgungssystems treffen zu können, soll ein ICEM-Modell für den TC1766 TriCore™ erstellt werden, mit dem sich das Emissionsverhalten von einzelnen Pins, Pinpaaren oder Pingruppen (entsprechend Bild 2.5-6), statt dem eines Funktionsmoduls, beschreiben lässt.

Voruntersuchungen pin-bezogenes ICEM-Modell

Nach wie vor gilt die durch das Simulationstool bedingte Vorgabe, dass die Grundstruktur des Gesamtmodells auf Eintoren basieren muss. Dies legt nahe, mit jeweils einem SLM das Verhalten eines V_{DD} - V_{SS} -Pinpaares zu beschreiben. Da der TC1766 TriCore™ Mikrocontroller mit 21 V_{DD} und 13 V_{SS} Pins über eine ungleiche Anzahl V_{DD} und V_{SS} Pins verfügt, ist dies jedoch nicht ohne weiteres möglich. Des Weiteren ist aus dem Basis-Modell nicht ersichtlich, welche V_{DD} Pins mit welchen V_{SS} Pins gekoppelt sind. Auch sind keine technischen Daten des Microcontrollers verfügbar, die hierüber Auskunft geben.

Um Aufschluss hierüber zu erhalten, wurden die Kopplungsverhältnisse der Versorgungspins untersucht. In den Bildern 2.5-12 und 2.5-13 werden exemplarisch die Kopplungsverhältnisse für zwei der 21 untersuchten V_{DD} -Pins aufgezeigt, jeweils einem Pin der Versorgungsdomain $V_{DD1} = 1.5$ V und $V_{DD3} = 3.3$ V.

Bild 2.5-12 (links) zeigt den Impedanzgang des 1,5V Oszillator V_{DD} Pins im Verhältnis zu allen V_{SS} Pins. Man erkennt, dass der 1.5 V Oszillator V_{DD} Pin über das gesamte Frequenzband wie vermutet eine starke Kopplung zum 1.5 V Oszillator V_{SS} Pin aufweist. Im rechten Teil der Abbildung sind die Ströme des untersuchten 1.5 V Oszillator V_{DD} Pins und der V_{SS} Pins für eine sinusförmige Anregung $f_{sin} = 1$ MHz dargestellt. Auch hier zeigt sich, dass annähernd der gesamte V_{DD} Strom über den 1.5 V Oszillator V_{SS} Pin abfließt.

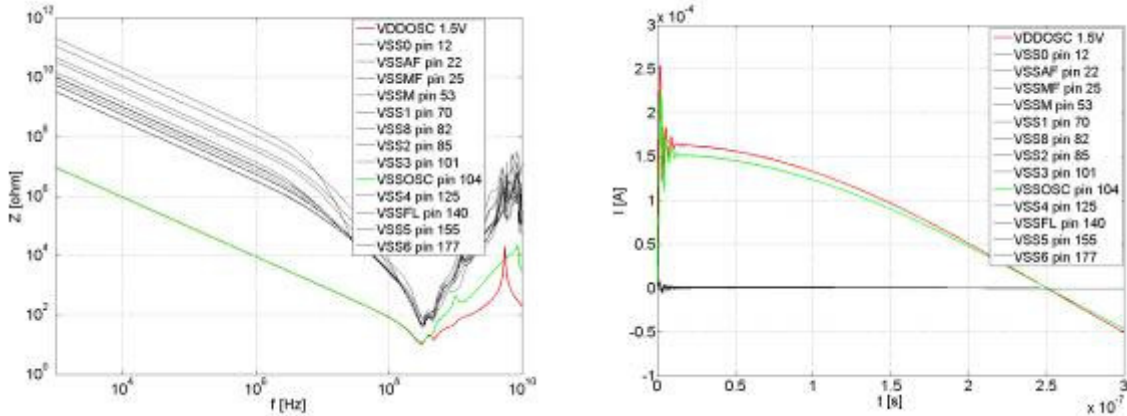


Bild 2.5-12: Kopplungsverhältnis zwischen 1.5 V Oszillator V_{DD} Versorgungspin und V_{SS} Pins des TC1766 (starke Kopplung zwischen 1.5 V Oszillator V_{DD} und Oszillator V_{SS} Pin im Frequenzbereich (links) und Zeitbereich bei $f = 1$ MHz (rechts))

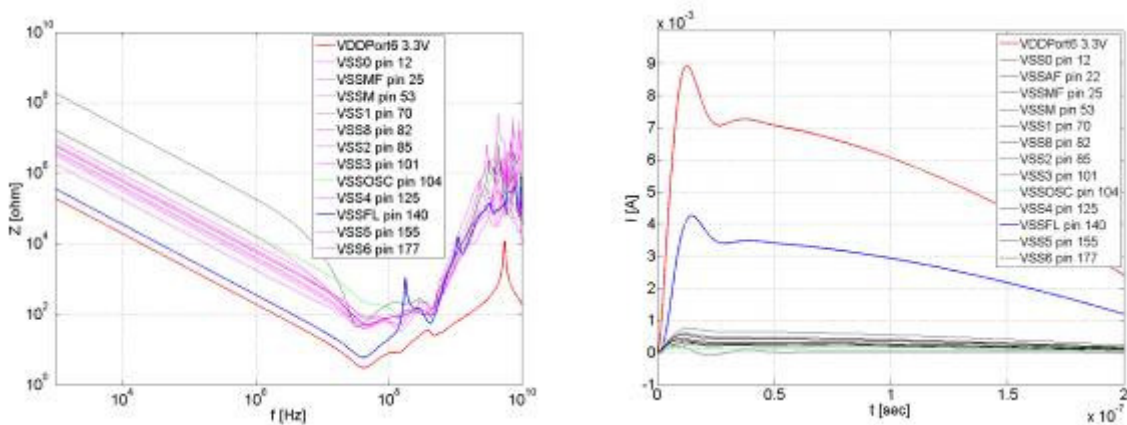


Bild 2.5-13: Kopplungsverhältnis zwischen 3.3 V Port VDD Versorgungspin und VSS Pins des TC1766 (starke Kopplung zwischen 3.3 V Port VDD und VSSFL Pin im Frequenzbereich (links) und Zeitbereich bei $f = 1$ MHz (rechts); Kopplung zwischen 3.3 V Port VDD Pin und restlichen VSS Pins nicht vernachlässigbar)

In rechten Teil von Bild 2.5-13 hingegen erkennt man, dass nur etwa die Hälfte des V_{DD} Eingangsstroms über einen V_{SS} Pin abfließt. Der restliche Strom des betrachteten 3.3 V Port V_{DD} Versorgungspins fließt über die restlichen V_{SS} Pins ab. Dies ist auch im Frequenzgang der Abbildung, insbesondere ab einer Frequenz oberhalb von $f = 100$ MHz zu erkennen. Hier ist eine Zuordnung des V_{DD} Pins zu nur einem V_{SS} Pin nicht möglich.

Für die Genauigkeitsansprüche der Tool-Anwender ist die Annahme einer idealen PCB GND-Plane in erster Näherung hinreichend. Des Weiteren wird in dem hier verfolgten Modellierungsansatz jeder V_{DD} Pin auf alle V_{SS} Pins bezogen, da nur für wenige V_{DD} Pins eine Zuordnung zu nur einem V_{SS} Pin hinsichtlich der Kopplung möglich ist. Es handelt sich somit um ein pin-bezogenes Modell für die V_{DD} Pins. Eine Zuordnung einiger V_{DD} Pins zu nur einem V_{SS} Pin oder zu einer Gruppe von V_{SS} Pins ist jedoch prinzipiell auch möglich.

Modellierung und Ergebnisse pin-bezogenes ICEM-Modell

Die Modellierung der PDN und der IA des pin-bezogenen Modells entspricht im Wesentlichen den beschriebenen Modellierungsschritten für das modul-bezogene Modell. Hier spezifiziert ein SLM nun das Emissionsverhalten eines V_{DD} Pins, jeweils bezogen auf alle V_{SS} Pins. Das Gesamtmodell setzt sich somit aus 21 SLMs zusammen, entsprechend der Anzahl V_{DD} Pins des TC1766 TriCore™.

Bestimmung der PDN für das pin-bezogene Modell

Bild 2.5-14 zeigt exemplarisch für zwei V_{DD} Pins unterschiedlicher Versorgungsdomänen die aus dem verwendeten Fitting-Ansatz resultierenden Simulationsergebnisse für die Bestimmung der PDN. Zum Vergleich sind die Z_{11} Impedanzkennlinien des komplexen Basis-Modells (blau) dargestellt. Auch hier ergeben sich sehr gute Übereinstimmungen für die Kennlinien des 1.5 V V_{DD} Core Pins und des 3.3 V V_{DD} Port Pins des pin-bezogenen Modells mit den entsprechenden Kennlinien des ursprünglichen komplexen Modells.

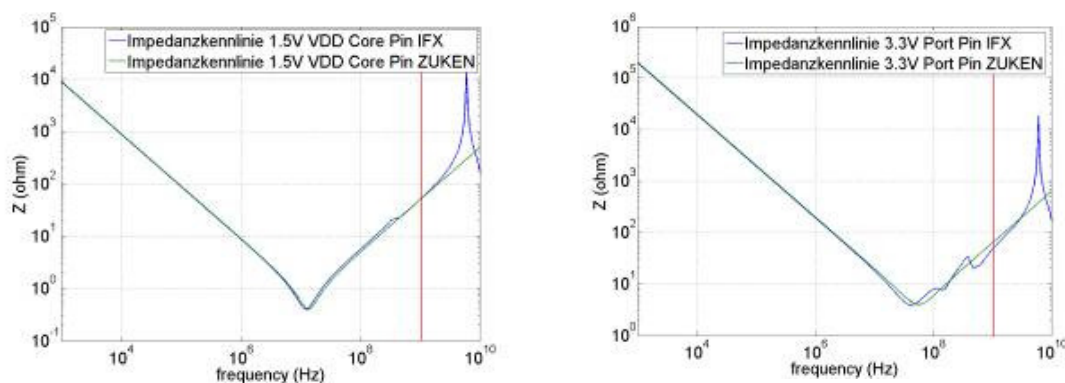


Bild 2.5-14: Vergleich Impedanzkennlinien Z_{11} des Basis-Modells (blau) und des neuen Modells (grün) für 1.5 V V_{DD} Core0 Pin (links) und 3.3 V V_{DD} Port0 Pin (rechts)

Etwas größere Abweichungen innerhalb des für das Modell gültigen Frequenzbereichs von $f = 1$ GHz sind lediglich im Verlauf für den 3.3 V Port Pin für $f > 10$ MHz zu erkennen. Die Abweichungen des Z_{11} Impedanzverhaltens zwischen pin-bezogenem und Basis-Modell der restlichen V_{DD} Pins liegen im selben Bereich der hier gezeigten Abweichungen. Es wurde eine schaltungstechnische Beschreibung in Form von Netzlisten für die PDNs der V_{DD} Pins gefunden.

Bestimmung des IA-Stromprofils und Verifikation des pin-bezogenen Modells

Die Modellierung der IA-Stromprofile des pin-bezogenen Modells wurde entsprechend des beschriebenen Verfahrens für das modul-bezogene Modell durchgeführt. Wie beim modul-bezogenen Modell dient auch beim pin-bezogenen Modell die Verifikation der IA-Quelle als Verifikation des gesamten Modells, da in HSpice-Netzlisten – bestehend aus den die IA der jeweiligen Pins beschreibenden PWL-Quellen und den PDNs – also aus jeweils beiden Teilen des Modells, simuliert werden. Der Vergleich des externen Pinstroms $I_{EXT_VDDMF_BASIS}(t)$ des komplexen Basis-Modells mit dem externen Pinstrom $I_{EXT_VDDMF_PIN}(t)$, der sich aus der Simulation der Netzliste des modul-bezogenen Modells ergibt, ist in Bild 2.5-15 exemplarisch für den VDDMF-Pin des ICs dargestellt.

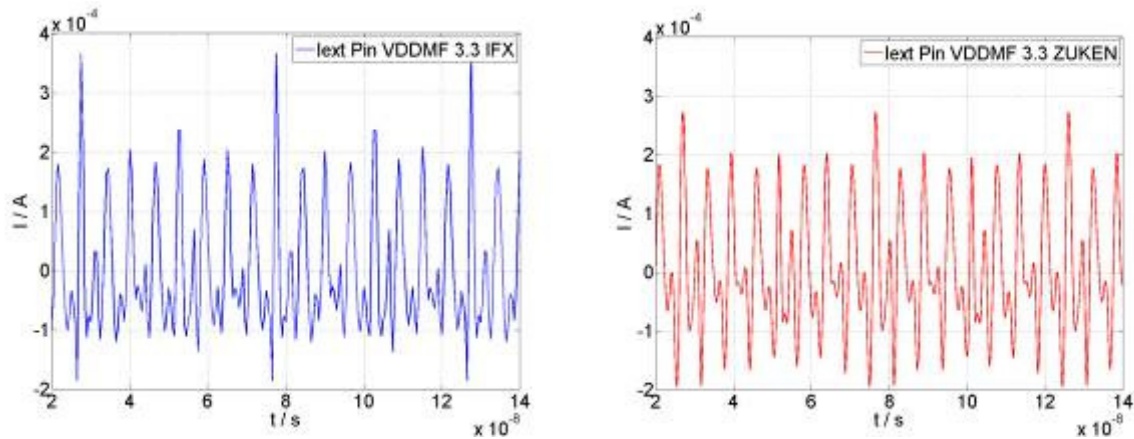


Bild 2.5-15: Vergleich $I_{EXT_VDDMF,Basis}$ (blau) des Basis-Modells und $I_{EXT_VDDMF,MODUL}$ (rot) des modul-bezogenen Modells im Zeitbereich zur Verifikation des pin-bezogenen Modells

Auch hier sind die Ergebnisse in Anbetracht des starken Reduktionslevels der Modellkomplexität des Basis-Modells als gut zu betrachten. Zu größeren Abweichungen kommt es lediglich im Bereich der Peaks der dargestellten externen Pinströme der Modelle.

Tabelle 2.5-2 vergleicht die Eigenschaften des pin-bezogenen Modells und des Basis-Modells hinsichtlich ihrer Komplexität und der HSpice Simulationsdauer. In HSpice wurde wie beim modul-bezogenen Modell ein Zeitintervall von 550 ns des externen Pinstroms $I_{EXT}(t)$ mit einer Schrittweite von 0.5ns für beide Modelle simuliert. Die Simulationsdauer betrug für das komplexe Basis-Modell $t_{Sim,BASIS} \sim 12937$ s und für das modul-bezogene Modell $t_{Sim,PIN} \sim 25$ s, was eine Beschleunigung um einen Faktor $F > 500$ bedeutet.

	Basis-Modell	Pin-bezogen
Modellkomplexität		
Elektrische Komponenten	26541	84
Knotenanzahl	14059	63
HSpice Simulationzeit		
Transiente Analyse	100 %	< 0.2 %

Tabelle 2.5-2: Vergleich pin-bezogenes Modell und Basis-Modell hinsichtlich Komplexität und Simulationsdauer

Modellordnungsreduktion für HDI/HDP-Anwendungen (Kooperation mit LUH/TET und UPB)

Übersicht

Nachfolgend werden Methoden der Modellordnungsreduktion für zeitkontinuierliche und diskrete Systeme behandelt. Zunächst betrachten wir im Zusammenhang mit der Untersuchung der elektromagnetischen Zuverlässigkeit (EMZ) passive lineare elektrische Netzwerke als zeitkontinuierliche Systeme. Dabei ist jeweils genauer festzulegen, was unter Ordnung eines Systems zu verstehen ist.

Die Ordnung eines zeitdiskreten Systems kann mit der Anzahl der Koeffizienten des Zählers der Übertragungsfunktion, die das Input-Output-Verhalten eines Systems beschreibt, spezifiziert werden. Die Ordnung eines zeitkontinuierlichen passiven elektrischen Netzwerkes, das sich mit der modifizierten Knotenspannungsanalyse (MNA) beschreiben lässt, kann mit Hilfe der Anzahl der Knotenpotenziale oder mit der Anzahl der Ströme durch Induktivitäten und Spannungen an Kapazitäten spezifiziert werden.

Da solche elektrischen Netzwerke eine sehr hohe Ordnung haben können, wird eine Ordnungsreduktion vorgeschlagen, um den Simulationsaufwand für Frequenz- und Zeitanalysen zu reduzieren. Die aus der Literatur bekannten Ordnungsreduktionsalgorithmen für elektrische Netzwerke basieren in der Regel auf der Projektion der Systemmatrizen auf den zugehörigen Krylov Unterraum. In diesem Bericht wird ein Zwei-Schritt-Algorithmus vorgestellt. Der erste Schritt basiert auf der Krylov Unterraum Methode, die im zweiten Schritt durch eine Methode erweitert wird, welche die sogenannten Lyapunov-Gleichungen nutzt. Die in diesem Bericht vorgestellte Zwei-Schritt-Ordnungsreduktion basiert ausschließlich auf der Reduzierung der Zustandsraummatrizen, wodurch keine Inverse berechnet werden muss, sondern nur Polstellen und Residuen. Die Polstellen und Residuen vereinfachen die Berechnung der Lyapunov-Gleichungen, welche für den zweiten Schritt der Ordnungsreduktion notwendig sind. Des Weiteren ermöglicht der vorgeschlagene Algorithmus eine deutlich bessere Ordnungsreduktion des Systems im Vergleich zur ausschließlichen Nutzung der Krylov Unterraum Methode.

Die vorgeschlagene Ordnungsreduktion wird anhand eines Modells einer Verbindungsleitung, eines Kabelbaums und eines IC Emission Modells (ICEM) validiert, welche das EMZ-Verhalten dieses Systems beschreiben.

EMZ-Verhaltensmodelle mittels MOR Verfahren

Da Verbindungsleitungen zwischen Bauelementen den Signalfuss beeinflussen, erfordert deren Entwurf den Gebrauch von genauen und leistungsfähigen Makromodellen [2.5-7], [2.5-8]. Abhängig von der Struktur der Verbindungsleitungen kann die Ordnung der Makromodelle sehr hoch sein, so dass Algorithmen zur Modellierung, die die Passivität der Makromodelle berücksichtigen, einen sehr hohen Simulationsaufwand erfordern [2.5-9], [2.5-10], [2.5-11]. Elektrische Modelle der Verbindungsleitungen zwischen Bauelementen können durch Zustandsraummatrizen beschrieben werden, welche die Diskontinuitäten, Skineffekte sowie deren dielektrische Eigenschaften beinhalten [2.5-11], [2.5-13], [2.5-14]. Der Simulationsaufwand erhöht sich weiter, falls auch der Eingang und Ausgang von integrierten Schaltungen modelliert wird. Algorithmen zur Ordnungsreduktion [2.5-15], [2.5-16] und [2.5-17] können verwendet werden, um stabile und passive Übertragungsfunktionen mit niedriger Ordnung zu generieren. Im Anschluss ist ein weiterer Modellierungsschritt nötig [2.5-18], um die reduzierte Übertragungsfunktion im Zeitbereich zu simulieren.

Mit einem ICEM-Modell können Halbleiterhersteller die elektromagnetische Verträglichkeit bereits im Entwurfs-Prozess berücksichtigen, da ein ICEM-Modell die Störaspekte eines IC annähernd richtig wieder gibt (leitungsgebundene Störungen). Das zur Verfügung stehende Modell ist von Infineon als elektrische Schaltung zur Simulation des Signalverhaltens auf IC-Ebene erstellt worden, wobei ein IC in digitale und analoge Anteile untergeteilt wird. Die Module können leicht mit der Knotenspannungsanalyse (MNA) beschrieben werden, wobei die resultierenden MNA Matrizen sehr hohe Ordnung haben können, der Rechenaufwand sehr hoch sein kann und durch lange Simulationszeiten auftreten. Um diese zwei Nachteile des Modells zu vermindern, wurde die Ordnungsreduktion der ICEM-Modelle vorgeschlagen [2.5-26], [2.5-27].

Ordnungsreduktionsalgorithmen

Algorithmen zur Modellordnungsreduktion (MOR) können in drei Kategorien eingeteilt werden. Eine Kategorie basiert auf Methoden der Eigenwertzerlegung (SVD). Die zweite Kategorie basiert auf der Systemprojektion auf den Krylov Unterraum und die letzte ist eine Kombination von beiden Methoden. Die Projektion auf den Krylov Unterraum ist eine Näherung basiert auf dem ‚Moment matching‘ der Impulsantwort des Systems. Allerdings ermöglicht das Verfahren nicht die Bestimmung des Fehlers, der bei der MOR gemacht wird. Außerdem kann das reduzierte Modell instabil sein. Später wurde der PRIMA-Algorithmus [2.5-15] entwickelt, um Stabilität und Passivität des reduzierten Modells zu garantieren.

Wenn der Ansatz auf zeitdiskret gemessenen Daten basiert, erhalten wir eine diskrete Übertragungsfunktion der Verbindungsleitungen von Bauelemente. Zur Reduktion können SVD-Methoden benutzt werden. Die diskrete Übertragungsfunktion wird durch Differenzgleichungen im Zustandsraum bestimmt

$$\begin{aligned} x_{n+1} &= Ax_n + Bu_n \\ y_n &= Cx_n + Du_n \end{aligned} \tag{2.5-3}$$

mit $A \in R^{k \times k}$, $B \in R^{k \times l}$, $C \in R^{l \times k}$, $D \in R^{l \times l}$ und den Eingangssignalen u_n und den Ausgangssignalen y_n . Das resultierende ARX-Modell ist zeitinvariant, beobachtbar und steuerbar, so dass die dominierenden Zustände x_n auf der Basis seiner ausbalancierten Form extrahiert werden können. In [2.5-25] wird für kontinuierliche und diskrete Systeme gezeigt, dass die ordnungsreduzierten ausbalancierten Systeme passiv und stabil sind, wenn bereits das ursprüngliche System passiv und stabil ist.

Die Zustandsraummatrizen \tilde{A} , \tilde{B} , \tilde{C} , \tilde{D} , des balancierten Systems können durch den Algorithmus des SPA verringert werden, der in *Theorem 1* von [2.5-27] erklärt ist. Das ordnungsreduzierte Zustandsraummodell ergibt sich aus den folgenden Gleichungen

$$\begin{aligned} A_{red} &= \tilde{A}_{11} - \tilde{A}_{12}(\tilde{A}_{22} - I)^{-1}\tilde{A}_{21} \\ B_{red} &= \tilde{B}_1 - \tilde{A}_{12}(\tilde{A}_{22} - I)^{-1}\tilde{B}_2 \\ C_{red} &= \tilde{C}_1 - \tilde{C}_2(\tilde{A}_{22} - I)^{-1}\tilde{A}_{21} \\ D_{red} &= \tilde{D} - \tilde{C}_2(\tilde{A}_{22} - I)^{-1}\tilde{B}_2 \end{aligned} \tag{2.5-4}$$

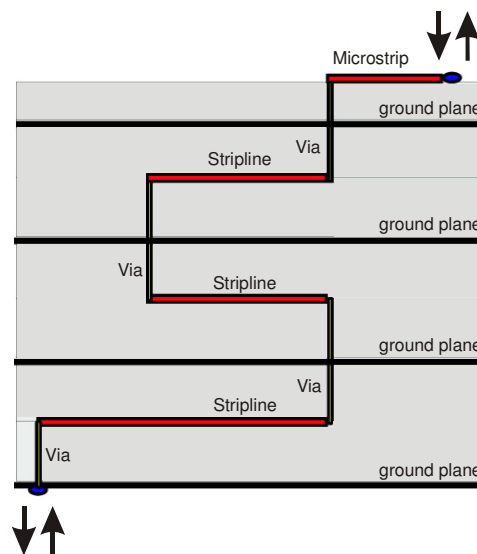
wobei $I \in R^{N_r \times N_r}$ eine Einheitsmatrix ist und $N_r \ll N$ ist die Ordnung des reduzierten Systems. Die ordnungsreduzierte Übertragungsfunktion kann mit Hilfe der reduzierten Zustandsraummatrizen $H_{red}(z) = C_{red}(zI - A_{red})^{-1}B_{red} + D_{red}$ bestimmt werden.

2.5.4 Anwendungsbeispiele und Verwertung

Simulationsergebnisse – MOR für HDI/HDP-Anwendungen

HDI elektrisches Modell

Zur Untersuchung eines High-Density-Interconnect- (HDI-)Makromodells wird eine Beispielschaltung untersucht. Das Makromodell, welches aus einer Stripline, mehreren Vias und Microstrips besteht, wird anhand einer klassischen HDI-Modellierung erzeugt (siehe 2.5-16). Das Modell des Interconnection-Teils wird erzeugt und dann mit anderen Modellen, wie Buffer oder Logikgatter, verknüpft. Das Modell in diesem Beispiel besitzt eine Ordnung von 208.



2.5-16: Blockdiagramm des HDI Modells

Die Differentialgleichungen, welche die Makromodelle beschreiben, besitzen im Frequenzbereich die folgende Form

$$(sC + G)x = Bi \quad u = B^T x \tag{2.5-5}$$

$C, G, B \in R^N$ und beschreiben damit das Modell. Dabei ist N die Ordnung der Übertragungsfunktion, während C und G , die Kapazitäts-, Induktivitäts- und Widerstandsmatrizen repräsentieren. B ist die Beschreibung der Input und Output Ports. x , i und u sind die Zustände sowie die Ein- und Ausgänge des Modells. Mit Hilfe des mehrdimensionalen MOR-Algorithmus wird ein reduziertes System erstellt. Das ordnungsreduzierte Modell hat die gleiche Form der Zustandsbeschreibung

$$(sC_{red} + G_{red})x = B_{red}i \quad \text{und} \quad u = B_{red}^T x \tag{2.5-6}$$

des originalen Modells. Jedoch ist die Ordnung des reduzierten Systems um 90% geringer als die Ordnung des ursprünglichen Systems.

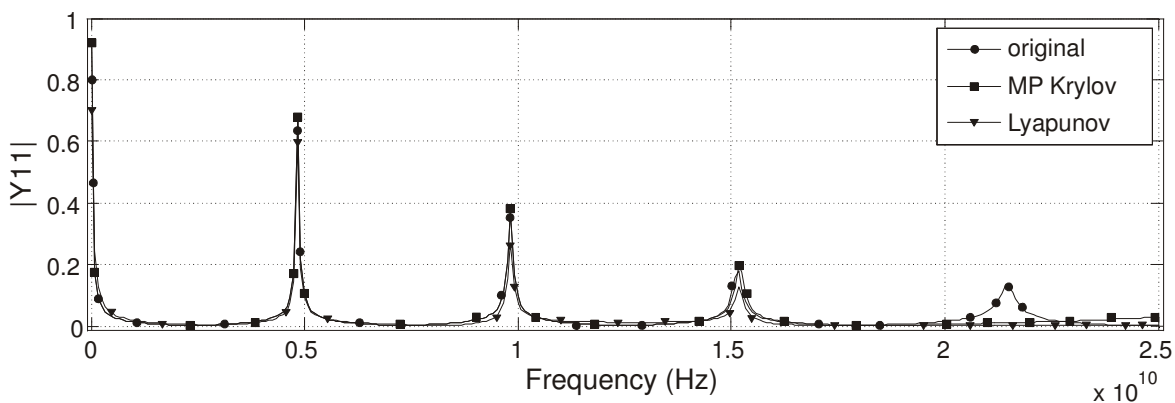


Bild 2.5-17: Amplitude des originalen, mit Multipoint Krylov (MP Krylov) Projektion und Lyapunov basierten reduzierten Modells

Der erste Schritt der Ordnungsreduktion ist die Projektion des Systems auf den Krylov Unterraum. Das projizierte System ist das reduzierte System, das innerhalb des relevanten Frequenzbereichs ähnliche Amplituden- und Phasenverläufe hat wie das Original. Dies wird durch Bild 2.5-17 verdeutlicht, welche die Amplitude der Übertragungsfunktion für den Port 1 des Original-Modells und für das mit einer Multipoint-Projektion auf den Krylov Unterraum reduzierte System zeigt. Der zweite Schritt der Ordnungsreduktion wird mit Hilfe der Lyapunov-Gleichungen durchgeführt

$$\begin{aligned} A^T P + PA &= KK^T \\ QA + A^T Q &= L^T L \end{aligned} \tag{2.5-7}$$

Die Matrizenkoeffizienten der Lyapunov-Gleichungen A, K und L werden mit den ordnungsreduzierten Zustandsmatrizen C, G und B bestimmt. Die Lösungen P und Q benutzt man, um das Modell auszubalancieren, wodurch die starken und schwachen Zustände erkennbar werden. Die schwachen Zustände können abgeschnitten werden. Stabilität und Passivität des Modells müssen beim zweiten Schritt der Modellordnungsreduktion weiterhin erhalten bleiben. Das bereits mit der Multipoint-Projektion auf den Krylov Unterraum reduzierte Modell wird im zweiten Schritt um weitere 40 % reduziert. Die Amplitude des endgültigen Modells ist nach Durchführung der zwei Reduktionsschritte in Bild 2.5-17 zu sehen. Die Abweichungen zum Originalmodell sind im relevanten Frequenzbereich nur sehr gering.

IC Emission Modell – MOR-Anwendung

Mit IC Emission (ICEM) Modellen können Halbleiterhersteller die elektromagnetische Verträglichkeit bereits im Entwurfs-Prozess berücksichtigen [2.5-28]. Die ICEM bestehen aus sehr großen Schaltungsnetzlisten, die nicht oder nur mit sehr hohem Rechenaufwand simuliert werden können. Ein Lösungsansatz für dieses Problem ist die Modellordnungsreduktion (MOR) [2.5-31], [2.5-32], [2.5-33].

Da eine Modellordnungsreduktion im Frequenzbereich durchgeführt wird, müssen die ICEM-Netzlisten zunächst in die Zustandsbeschreibung im Frequenzbereich transformiert werden. Eine Beispielnetzliste eines ICEM wird durch die modifizierte Knotenspannungsanalyse in eine Systembeschreibung der Form

$$(sC + G)x = Bi; \quad u = B^T x; \quad C, G \in R^N \quad (2.5-8)$$

im Frequenzbereich transformiert. Es wird eine MOR benutzt - für erste Versuche wurde der Multipoint Krylov Algorithmus verwendet - welche die Systembeschreibung des ICEM-Modells von $N = 75$ auf $n = 6$ reduziert, mit $C_{red}, G_{red} \in R^{n \times n}$, $n \ll N$. Das Verhalten des reduzierten Modells ist im Frequenzbereich dem des Originalmodells ähnlich. Bild 2.5-18 zeigt den Betrag und die Phase der Übertragungsfunktion Y_{11} . Die restlichen Übertragungsfunktionen zeigen ebenfalls nur geringe Abweichungen gegenüber dem Originalmodell.

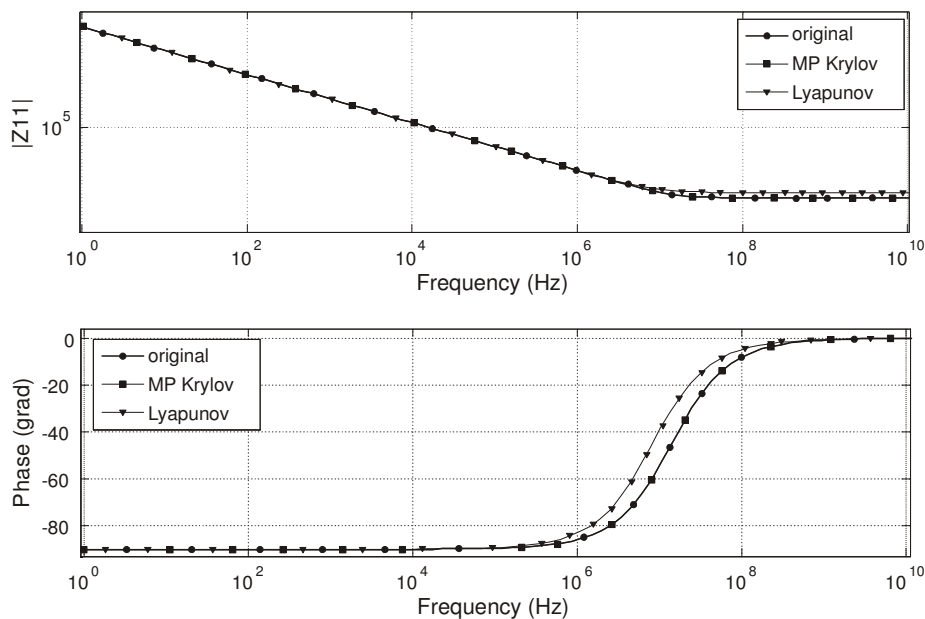


Bild 2.5-18: Betrag und Phase von Port 1-1 Impedanz

Die reduzierten Modelle müssen wiederum als Netzliste eines äquivalenten elektrischen Netzwerkes synthetisiert werden. Durch Synthese der reduzierten Systembeschreibung der Form in Gleichung (2.5-3) wird durch Direkt Stamping ein äquivalentes Netzwerk aus passiven Bauelementen und gesteuerten Quellen erhalten [2.5-29], [2.5-30]. Die Synthese wurde automatisiert, und das Verhalten des reduzierten Modells in transienten SPICE-Simulationen ist dem des Originalmodells ähnlich.

Kabelbaummodell

Um die Anwendungen von Ordnungsreduktionsverfahren zu untersuchen, haben wir das Modell eines Kabelbaums dargestellt. Das Modell ist vielfach geeignet für die Untersuchung von Ordnungsreduktionsalgorithmen. Ein Kabelbaummodell hat sowohl beliebig viele Pins und auch die Anzahl von Segmenten pro Meter ist beliebig. Daher werden wir als erstes ein Kabelbaummodell beschreiben.

Das folgende Kabelbaummodell wurde entwickelt, um den *common-mode* Effekt zu beschreiben. Der Kabelbaum liegt zwischen Treiber und Empfänger. Er besteht aus drei Kabeln und ist 1m lang, wie in Bild 2.5-19 dargestellt wurde.

Die Bild 2.5-20 zeigt ein Modell eines Kabelbaumsegments von 0.001 m Länge. Das Modell berücksichtigt die Kopplung zwischen den Kabeln, die denselben radialen Abstand voneinander aufweisen. Für die Länge von 1m sind daher logischerweise 1000 Segmente aus Bild 2.5-22 nötig. Die Segmente sind in Serie verbunden und bilden zusammen ein einziges großes elektrisches Netzwerk. Zur Berechnung der elektrischen Größen (Ströme und Spannungen) des elektrischen Netzwerkes wird die MNA angewendet.

Da jedes Segment drei Spulen und drei Knoten hat und da es drei Pins gibt, haben die MNA-Matrizen die Dimension $n = (3 + 3) \times 1000 + 3 = 6003$. Ein so großes Gleichungssystem wie kann nur mit Hilfe einer Multipoint-Projektion auf den Krylov-Unterraum reduziert werden. Eine Multipoint-Projektion ermöglicht kleinere Betrags- und Phasenfehler in einem großen Frequenzbereich.

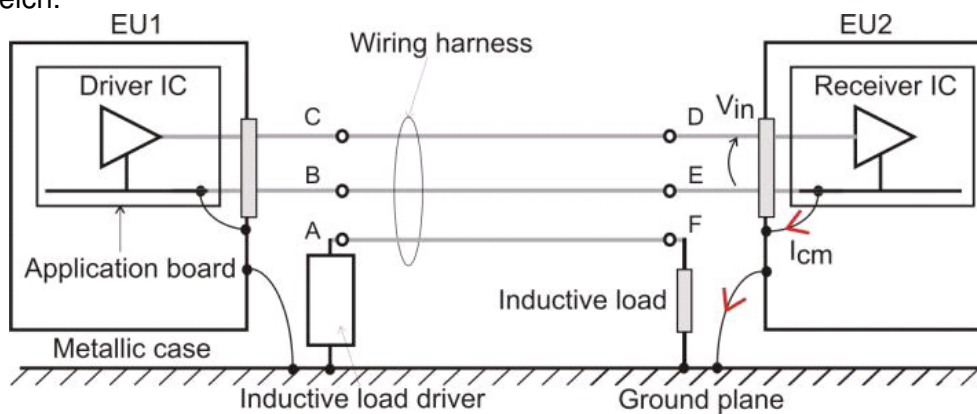


Bild 2.5-19: Kabelbaum mit Sender (Driver) und Empfänger (Receiver)

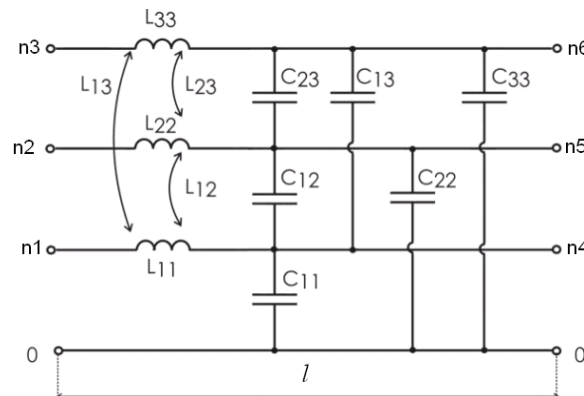


Bild 2.5-20: Kabelbaumsegment mit der Länge 0.001 m

Das Bild 2.5-21 zeigt die originale und ordnungsreduzierte Übertragungsfunktion zwischen den externen Ports AB aus Bild 2.5-19. Die Matrizen des originalen Modells haben die Ordnung 6003, während die ordnungsreduzierten Matrizen eine Ordnung von 36 haben, da drei Entwicklungspunkte und zwei Momente für sechs externe Ports benutzt werden. Weil die Entwicklungspunkte optimal gewählt wurden, stimmen der Betrag und die Phase der ordnungsreduzierten Übertragungsfunktion mit denen des ursprünglichen Modells im ganzen Frequenzbereich überein [2.5-34].

Aus mathematischer Sicht betrachtet, ist die Simulationszeit abhängig von der Anzahl von Nullen in den Matrizen. Die ursprünglichen Matrizen haben eine große Ordnung und sind vor allem schwach besetzt. Ordnungsreduzierte Matrizen haben weniger Spalten und Zahlen, sind dafür aber voll besetzt. Da die Zeitsimulation des ordnungsreduzierten Modells kürzer ist als bei dem ursprünglichem Modell, sollte das ordnungsreduzierte Modell an den verwendeten Schaltungssimulator angepasst werden.

Falls ein Simulator benutzt wird, sollten die ordnungsreduzierten Matrizen durch eine Schaltung, die so wenig Knoten und elektrische Elemente wie möglich hat, repräsentiert werden.

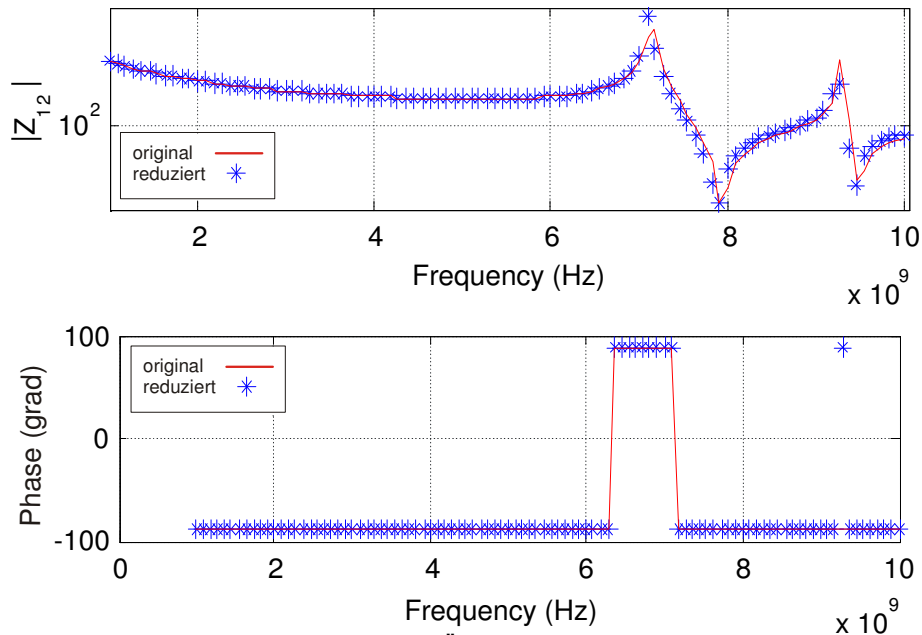


Bild 2.5-21: Ursprüngliche und ordnungsreduzierte Übertragungsfunktion zwischen den externen Ports A und B aus Bild 2.5-19

Transmission-Line Modell mit Substrukturen

Die Struktur des aktuell verwendeten Transmission-Line (TL-) Modells hat Vias und Microstriplines in Kaskaden geordnet. Die Microstripline sind W-Elemente, während die Via als Schaltung dargestellt werden. Das Ziel ist es, die Simulationszeit und den Rechenaufwand des TL-Modells zu reduzieren. Da die Ordnungsreduktionsalgorithmen für Modelle gedacht sind, die durch Matrizen beschrieben werden, kann eine Microstripline in diesem Fall nicht mit der Hilfe eines Ordnungsreduktionsalgorithmus als reduziertes W-Modell dargestellt werden. Im Gegenteil, das Via hat als ein Schaltungsmodell eine Matrixbeschreibung und kann mit Hilfe von Ordnungsreduktionsalgorithmen mit Hilfe kleinerer Matrizen beschrieben werden und ist damit reduzierbar.

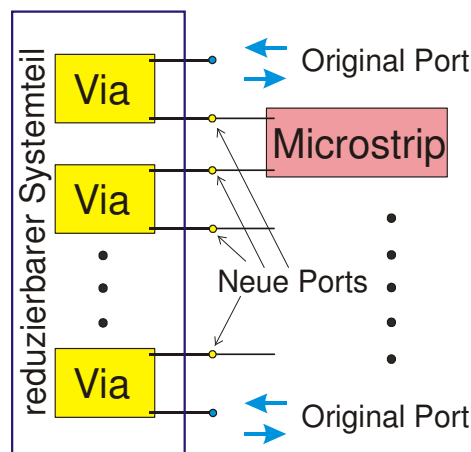


Bild 2.5-22: Blockdiagramm des Transmission-Line-Modells

Um die Ordnung einer Transmission-Line zu reduzieren, muss das TL-Modell in Substrukturen (Schaltungsmodell und W-Element-Modell) geteilt werden. Da die Vias und Microstriplines in Kaskaden verbunden sind, müssen die Knoten zwischen jeden Via und Microstripline als neue Ports definiert werden, um die Eingang-Ausgangsbeziehungen zu erhalten.

Das ursprüngliche Modell hat nur zwei Ports, während das Modell mit den Substrukturen so viele Ports hat, wie es Knoten gibt, die die Substrukturen verbinden; Bild 2.5-22 zeigt das Modell und die Substrukturen. Im Blockdiagramm des TL-Modells gehören nur die Via-Substrukturen zu dem reduzierbaren Systemteil. Der reduzierbare Systemteil hat deutlich mehr Ports als das originale Modell und damit ist seine Ordnungsreduktion stark beeinflusst, da sie von der Portanzahl abhängt.

Das TL-Modell wird als HSPICE Netzliste übergeben. Die Substrukturen wurden durch MNA mit Matrizen beschrieben.

Der reduzierbare Systemteil, d.h. die Kettenstrukturen der Via-Elemente, können mit der Projektion auf den Krylov-Unterraum reduziert werden. Die Ordnung des reduzierten Systems hängt von der Portanzahl (#p), Anzahl des Entwicklungspunkte (#EP) und Moments (#m) ab. Der Zusammenhang dieser Parameter ist in der folgenden Gleichung gegeben.

$$\text{Ordnungsreduziertes System} = (\#p) * (\#EP) * (\#m) \quad (2.5-9)$$

Die originale Übertragungsfunktion ist bis fast 10 GHz und #p = 210 dargestellt. Um die ganzen Frequenzbereiche mit der ordnungsreduzierten Übertragungsfunktion abzudecken, sind mindestens zwei Entwicklungspunkte nötig. Der eine Entwicklungspunkt sollte bei einer niedrigen und der zweite bei einer höheren Frequenz gewählt werden. Die Entwicklungspunkte der in den folgenden Abbildungen verwendeten Projektionen sind $EP1=2*\pi*1e6$ und $EP2=2*\pi*1e1$.

Ordnungsreduzierte Übertragungsfunktionen sollten die originale Übertragungsfunktion mit zwei Momenten approximieren, damit das ordnungsreduzierte System mit den Matrizen von der Ordnung $2*2*210=840$ beschrieben werden kann. Der reduzierte Systemteil ist nur um 1% reduziert, weil die Ordnung des originalen Systems 852 ist. Die ordnungsreduzierten Matrizen sind voll besetzt und damit ist der Rechenaufwand höher als für das originale System.

Wenn ein Moment und zwei Entwicklungspunkte für die Ordnungsreduktion benutzt werden, hat das reduzierte System die Ordnung $1*2*210 = 420$. Eine grafische Singulärwertedarstellung zeigt auch, dass die Singulärwerte gruppiert sind und das System einen ersten dominanten Teil von 210 und die zweiten mit 420 Singulärwerten hat. Dieses Ergebnis zeigt, dass das reduzierte System mit Matrizen der Ordnung 210 oder 420 beschrieben werden kann. Die Ordnung 210 kann mit nur einem Entwicklungspunkt und einem Moment erreicht werden. Die Ähnlichkeit zwischen originaler und reduzierter Admittanz ist für beide reduzierte Systemen sehr gering.

Die andere Möglichkeit ist, statt einer reinen Projektion auf Krylov Unterraum den Poor Man's TBR Algorithmus zu benutzen, um das System zu reduzieren, unabhängig von der Portanzahl. Dennoch sind auch die resultierenden reduzierten Admittanzen hinsichtlich ihrer Ähnlichkeit sehr gering. Nur für bestimmte Admittanzen stimmen die reduzierten Systeme von der Ordnung 420 im besten Fall nur bis 1 GHz mit dem originalen System überein/gleich.

Ein System, das viele voneinander getrennte Substrukturen mit Pins hat, lässt sich effizient reduzieren, wenn die gesamte Systemordnung, definiert mit Hilfe der Dimension der MNA Matrizen, deutlich kleiner als die Portanzahl ist. Damit ermöglichen die gewählten Momente und Entwicklungspunkte eine bessere Schätzung der originalen Übertragungsfunktion. Im beschriebenen Beispiel haben die Substrukturen eine niedrige Ordnung, so dass der gesamte reduzierbare Systemteil nur die Ordnung der dreifach größeren Pinanzahl hat. Auch die Ordnungsreduktionsalgorithmen, die die Portanzahl nicht beeinflussen, sind für dieses System entweder numerisch instabil, oder approximieren das originale System nicht gut genug.

Modellierung ausgewählter Leitungsstrukturen

Koplanare Leitungsstrukturen auf HDI Systemem

Im Rahmen der weiteren Arbeiten zu diesem Arbeitspaket wurden hinsichtlich der Modellierung von Nanometer-Systemem spezielle Extraktionsverfahren für koplanare und geschirmte Leitungsstrukturen von HDI/HDP entwickelt, um eine exakte aber schnelle EMZ-Simulation derartiger Strukturen zu ermöglichen.

Für den Aufbau von Schaltungen zur schnellen Signalverarbeitung wird oft eine koplanare Leitungsführung gewählt. Ihr wesentlicher Vorteil gegenüber der Mikrostrip-Leitung ist, dass sich die gesamte Schaltung nur in einer Ebene befindet und dadurch sehr einfach aktive oder passive konzentrierte Bauelemente ohne technologisch aufwendige und damit kostspielige Durchbohrungen hinzugefügt werden können. Weiter zeichnen sich koplanare Leitungen durch eine geringe Abhängigkeit der Leitungswelle von der Frequenz aus. Da parallel zueinander geführte koplanare Leitungen deutlich schwächer miteinander verkoppelt sind als entsprechende Mikrostrip-Leitungen, kann die Schaltung sehr kompakt konzipiert werden. Nachteilig bei der koplanaren Technik ist, daß es zu unerwünschten Anregungen kommen kann.

Schirmleitungen auf HDI Strukturen sollen kapazitives Übersprechen zwischen benachbarten Leitungen einer Ebene bzw. angrenzenden reduzieren, außerdem wird durch diese Schirmung auch eine Verringerung der Induktivitäten bewirkt, besonders der Gegeninduktivitäten



Bild 2.5-23: Modellierung von Co-Planar Strukturen auf HDI Systemen

Die Ergebnisse dieser erweiterten Extraktion und der Feldlösung wurden mithilfe eines 3D Maxwell Solvers verifiziert, sowohl im Zeitbereichs- wie auch in Frequenzbereichssimulationen.

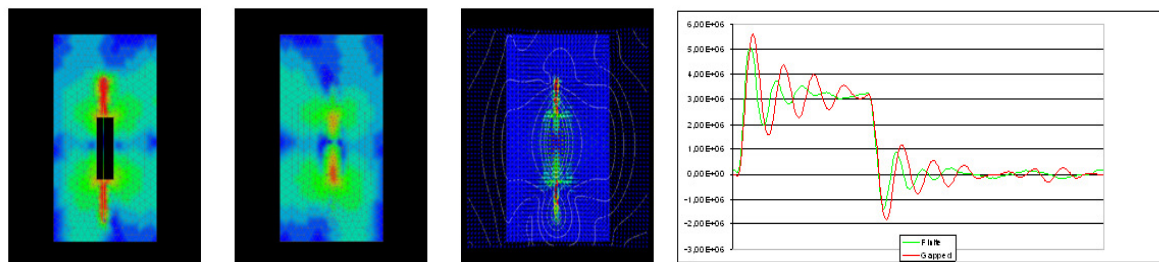


Bild 2.5-24: Verhalten einer Leitung über Schlitz (links) vs. durchgehende Referenzlage (Frequenz- und Zeitbereichssimulation)

EMZ-Modellierung von HDI-Fertigungseinflüssen

Es wurde weiterhin ein besonderer Arbeitsschwerpunkt darauf gelegt, entsprechende Aspekte, die sich durch den Fertigungsprozess von HDI/HDP Systemen ergeben wie z.B. die *Unterätzung* von Leiterbahnzügen auf dem Trägermaterial oder das Ausbohren (*backdrilling*) von Via-Stubs zur Vermeidung von parasitären HF-Antennen, zu berücksichtigen.

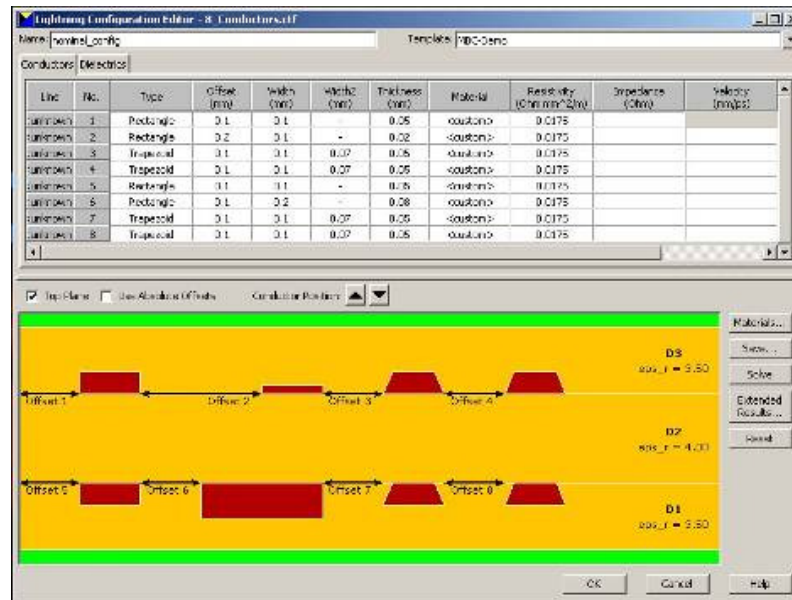


Bild 2.5-25: Modellierung gekoppelter Strukturen auf HDI Systemen inkl. Unterätzung

2.5.5 Zusammenfassung (B 1.2.3)

Zusammenfassung - IC Emissionsmodelle für die EMZ-Simulation

In der vorliegenden Arbeit wurden zwei das Emissionsverhalten des Versorgungssystems eines 32-Bit Mikrocontrollers beschreibende ICEM Modelle erstellt. Um einen möglichst niedrigen Rechenaufwand zu gewährleisten, sollte das Modell über eine sehr niedrige Komplexität verfügen. Dabei galt es, die Genauigkeitsanforderungen der ZUKEN Simulationstool Anwender einzuhalten.

Die Modelle beschreiben neben dem Einfluss der IC-Funktionsmodule auf das Versorgungssystem auch den Einfluss von IC-Package und IC-Pads. Für die Modellierung wurde auf ein vorhandenes ICEM Modell eines 32-Bit Mikrocontrollers zurückgegriffen (Basismodell – ReUse via MESDIE-Projekt). Dieses 26541 Elemente und 14059 Knoten umfassende Modell wurde mit der Erstellung eines modul-bezogenen Modells und eines pin-bezogenen Modells drastisch in seiner Komplexität reduziert. Die Grundstruktur dieser Modelle ist das sogenannte Supply Line Model (SLM), das sich aus einem das elektromagnetische Verhalten des Versorgungssystems beschreibenden Passive Distribution Network (PDN) und die Schaltströme der synchron schaltenden Transistoren charakterisierende Internal Activity (IA) Stromprofil zusammensetzt.

Bei dem modul-bezogenen Modell beschreibt jeweils ein SLM das Emissionsverhalten der Funktionsmodule einer Versorgungsdomain des IC. Bei dem pin-bezogenen Modell beschreibt ein SLM das Emissionsverhalten eines V_{DD} Pins des IC. Es wurde somit das Emissionsverhalten mehrerer Versorgungsdomains des IC modelliert.

Die Modellierung der PDN der Modelle wurde mittels eines Fitting-Ansatzes realisiert. Das IA Stromprofil der Modelle wurde aus den Simulationsergebnissen des Emissionsverhaltens des Modells und den zuvor ermittelten Parametern der PDN der PARACHUTE Modelle errechnet.

Für das modul-bezogene Modell kann das PDN Verhalten des komplexen Basis-Modells sehr gut abgebildet werden. Die Verifikation des Gesamtmodells, die gleichzeitig die Verifikation des IA Stromprofils darstellt, liefert in Anbetracht der starken Reduktion des Basis-Modells ebenfalls sehr gute Ergebnisse. Die Reduktion auf 8 Elemente und 6 Knoten für das modul-bezogene Modell bedeutet auf dem verwendeten Rechnersystem eine Beschleunigung der Simulationszeit um einen Faktor $F > 10000$ für die transiente H-Spice Simulation der Netzliste des Modells. Für das beschriebene pin-bezogene Modell, dessen Modellierung der des modul-bezogenen Modells grundlegend entspricht, stehen die Ergebnisse der Verifikation der IA und des Gesamtmodells noch aus. Für die PDN wurden auch hier Ergebnisse erzielt, die den Genauigkeitsanforderungen der EDA-Tool Anwender genügen.

Bei den hier erstellten ICEM Modellen handelt es sich um low-complexity Modelle, für die ein sehr niedriger Rechenaufwand den gleichen Stellenwert wie eine zufriedenstellende Modellgenauigkeit einnimmt. Die Modellierungsmethodik der Modelle richtet sich nach den hier gestellten Anforderungen an die Modelle. Wünschenswert ist die Entwicklung weiterer ICEM Modellierungsmethoden für Modelle, deren Anforderungen hinsichtlich Genauigkeit, Komplexität und Rechenaufwand von den hier erstellten abweichen.

Weiterhin ist eine Automatisierung für die Erstellung von ICEM Modellen erstrebenswert, wie sie für die hier erstellten Modelle bereits prototypisch umgesetzt wurde. Nach Auswahl des zu modellierenden IC, Angabe von Genauigkeits- und Komplexitätsanforderungen und des Modellformats (Netzliste, Gleichungen, Dateiformat für Tabelle etc.) führt das Tool den Modellierungsablauf automatisiert aus und generiert das Modell in dem gewünschten Format.

Zusammenfassung - Modellordnungsreduktion für HDI/HDP-Anwendungen

Die dargestellten Algorithmen sind für die Ordnungsreduktion entwickelt worden. Das bedeutet, dass die Ordnung eines Systems erst in geeigneter Weise definiert werden muss. Die Ordnung eines Systems ist entweder proportional zu die Koeffizientenanzahl seiner Übertragungsfunktion oder sie ist proportional zur Dimension der Matrizen, die das System beschreiben.

Eine effiziente Ordnungsreduktion ist mit Hilfe verschiedenen Algorithmen möglich. Elektrische Modelle können mit der Projektion auf den Krylov-Unterraum gut reduziert werden. Diese Reduktion ist erfolgreich, wenn die Anzahl des externen Ports nicht zu groß ist. Daher ergeben die unterschiedlichen Modelle unterschiedliche Resultate der Ordnungsreduktion. Einige Verfahren können besser reduzieren und sind numerisch stabiler.

Nach der Ordnungsreduktion eines Modells können Frequenz- und Zeitsimulationen mit Hilfe unterschiedliche Programme und Simulatoren durchgeführt werden. Wenn ein Schaltungssimulator zur Verfügung steht, muss das reduzierte Modell als elektrisches Netzwerk dargestellt werden. Eine Simulation mit MATLAB kann auch mit Hilfe der Resultate der Ordnungsreduktion durchgeführt werden.

2.5.6 Literatur

Literatur - IC Emissionsmodelle für die EMZ-Simulation

- [2.5-1] S. B. Dhia, M. Ramdani, E. Sicard; *Electromagnetic Compatibility in Intergrated Circuits*; New York: Springer-Verlag, 2006
- [2.5-2] French Committee UTE 47A EMC Task Force; *Cookbook for Integrated Circuit model ICEM*; Project number 62014-3, Available: <https://www.ute-fr.com>, 2002
- [2.5-3] D. Hesidenz, T. Steinecke; *Chip-Package EMI Modeling and Simulation Tool EXPO*; EMC Compo, Munich, Germany, 2005
- [2.5-4] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Model Reduction of Passive Electrical Networks with a Large Number of Independent Sources*; International Symposium on Circuits and Systems (ISCAS), Seattle, Washington, USA, 2008.
- [2.5-5] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Two-step Order Reduction of IC Conducted Emission Models*; Asia-Pacific EMC Week, Singapore, 2008.
- [2.5-6] R. Kazemzadeh, S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis; *Efficient Modelling of IC Conducted Emission for Power Integrity Analysis*; Advanced Radio Science, Miltenberg, Germany, 2009

Literatur - Modellordnungsreduktion für HDI/HDP-Anwendungen

- [2.5-7] W. John; *Improved EMC System Design for Microelectronic Applications*; 17th International Wroclaw Symposium and Exhibition on EMC, Wroclaw, Poland, July 2004
- [2.5-8] W. John; *EMC Design Methodology for Microelectronic Systems (MEDEA+ EDA Roadmap: Parasitic Extraction, Modeling and Analysis)*; 17th International Wroclaw Symposium and Exhibition on EMC, Wroclaw, Poland, July 2004
- [2.5-9] B. Gustavsen, A. Semlyen; *Enforcing Passivity for Admittance Matrices Approximation by Rational Functions*; IEEE Transactions on Power Systems, Vol. 16, No. 1, pp. 97 - 104, February 2001
- [2.5-10] F. G. Canavero, S. Grivet-Talocia, I. A. Maio; *Analog and Mixed-Signal Simulation of EMC at System Level*; 16th International Symposium on Electromagnetic Compatibility, Zurich, Switzerland, pp. 279 - 284, February 13 - 18, 2005
- [2.5-11] S. Grivet-Talocia, A. Ubolli; *On the Generation of Large Passive Macromodels for Complex Interconnect Structures*; IEEE Transactions on Advanced Packaging, Vol. 29, No. 1, pp. 39 - 54, February, 2006
- [2.5-12] S. Stievano and I. A. Maio and F. G. Canavero; *On-the-fly Estimation of IC Macromodels*; IEE Electronic Letters, Vol. 42, No. 14, pp. 801 - 803, July 2006
- [2.5-13] Dounavis, R. Achar, M. Nakhla; *A General Class of Passive Macromodels for Lossy Multiconductor Transmission Lines*; IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 10, pp. 1686 - 1696, October 2001
- [2.5-14] E. Engin; *Modeling of Lossy Interconnects and Packages with Non-ideal Power/Ground Planes*; PhD thesis, Institute of Theoretical Electrical Engineering, University of Hannover, Germany, 2005
- [2.5-15] Odabasioglu, M. Celik, L. T. Pileggi; *PRIMA: Passive Reduced-order Interconnect Macromodeling Algorithm*; IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 10, pp. 58 - 65, October 2001
- [2.5-16] R. Achar, P. Gunupudi, M. Nakhla, E. Chiprout; *Passive Interconnect Reduction Algorithm for Distributed/Measured Networks*; IEEE Transactions on Circuit and Systems; Vol. 47, No. 4, pp. 287 - 301, April 2000
- [2.5-17] Gustavsen, A. Samlyen; *Rational Approximation of Frequency Domain Responses by Vector Fitting*, IEEE Transactions on Power Delivery; Vol. 14, No. 3, pp. 1052 - 1061, July 1999
- [2.5-18] T. Palenius; *Time-domain Simulation of Reduced-order Interconnect Models*; Diploma Thesis, Helsinki University of Technology, September 2002
- [2.5-19] Al-Smadi, D. M. Wilkes; *ARMA Model Order Estimation using Third Order Cumulants*; Proc. IEEE Southeastcon '95, March 26 - 29, pp. 206 - 209, 1995
- [2.5-20] G. Giannakis, J. Mendel; *Identification of Nonminimum Phase Systems Using Higher Order Statistics*; IEEE Trans. Acoust., Speech, Signal Processing, Vol. 37, No. 3, March 1989
- [2.5-21] Beliczynski, J. Kale, G. D. Cain; *An Algorithm Based on Balanced Model Reduction*; IEEE Transactions on Signal Processing, Vol. 40, pp. 532 - 542, 1992

- [2.5-22] Beliczynski, J. Gryka, G. D. Gain, I. Kale; *IIR Filter Design via Hankel-norm Optimal Approximation of FIR Prototype Filters: A Streamlined Approach*; Electronics Letters, Vol.30, pp. 292 - 293, 1994
- [2.5-23] P. V. Kokotović, R. E. O'Malley, P. Sannuti; *Singular Perturbation and Order Reduction in Control Theory - An Overview*; Automatica, Vol. 12, pp. 123 - 132, 1976
- [2.5-24] Lj. Radić-Weissenfeld, C. Wiegand, C. Hedayat, W. John; *Singular Value Based Model Order Reduction for Interconnect ARX Modelling*; Submitted for IEEE EMC Symposium 2007, Hawaii, Honolulu, USA
- [2.5-25] L. Prenobo, L. M. Silverman; *Model Reduction via Balanced State Space Representation*; IEEE Trans. Automat. Control, Vol. AC-27, No. 2, pp. 382 - 387, 1982
- [2.5-26] C. Moore; *Principal Component Analysis in Linear System: Controllability, Observability and Model Reduction*; IEEE Trans. Automat. Contr., Vol. AC-26, pp. 17 - 32, 1981
- [2.5-27] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Model Order Reduction of Linear Time Invariant Systems*; Advances in Radio Science, 2008
- [2.5-28] R. Kazemzadeh, S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis; *Efficient Modelling of IC Conducted Emission for Power Integrity Analysis*; Advances in Radio Sciences, 2009
- [2.5-29] S. Ludwig, W. Mathis; *Transformation of Passive Electrical Networks with Distributed PWL-Sources using a Model Order Reduction*; Advances in Radio Sciences, 2009
- [2.5-30] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Model Reduction of Passive Electrical Networks*; Proceedings of the IEEE International Symposium on Circuit and Systems - ISCAS, pp. 1280 - 1283, Seattle, USA, 2008
- [2.5-31] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Two-step Order Reduction of IC Conducted Emission Models*; Asia-Pacific EMC Symposium, Singapur, 2008
- [2.5-32] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Comparison of Order Reduction Algorithms for IC Emission Models*, EMC Symposium, Wrocław, 2008
- [2.5-33] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Model Order Reduction of Integrated Circuit Emission Models*; 6th International Workshop on Electromagnetic Compatibility of Integrated Circuits, pp.215 - 219, Torino, Italy, 2007
- [2.5-34] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Comparison of Order Reduction Algorithms for Application to Electrical Networks*; Advanced in Radio Science, 2009

2.6 B 1.2.4 Verbesserung der Signal- und Power-Integrität durch optimierte Gehäuse-Strukturen und deren ICEM-Modelle für IC - UPB

Unterstützung der Signalintegritäts-Analyse mit Hilfe von nichtlinearen Black-Box Modellen (Kooperation mit LUH/TET und ZUKEN)

2.6.1 Einleitung

Durch die fortschreitende Miniaturisierung elektrischer und elektronischer Bauelemente und die steigende Dichte von Leiterbahnen auf Leiterplatten treten zunehmend physikalische Effekte auf, welche zu transiente Wechselwirkungen zwischen Signalpfaden führen und damit die Integrität der Signale beeinträchtigen können. Für die Entwicklung hochintegrierter Schaltungen ist es daher unabdingbar, derartige Effekte bereits während des Entwurfs erkennen, analysieren und verhindern zu können. Für die Analyse der Signal- und Powerintegrität auf Leiterplatten spielen insbesondere Ein- und Ausgangstreiberstufen (Input/Output Buffer) eine entscheidende Rolle. Sie stellen das Bindeglied zwischen den integrierten Schaltungen innerhalb eines Chips und den Verbindungsstrukturen auf der Leiterplatte dar und sind daher für die Simulation des Signalverhaltens auf den Verbindungsleitungen (Transmission Lines) von großer Bedeutung. Zudem belasten Buffer-Schaltungen während der Umschaltvorgängen das Versorgungsnetzwerk, da große Leitungskapazitäten umgeladen werden müssen. Es kommt daher zu deutlichen Verzerrungen in der Versorgungsspannung (*Simultaneous Switching Noise (SSN)*), welche ebenfalls in der Frühphase der Schaltungsentwicklung entdeckt und kontrolliert werden müssen.

Der 1993 entwickelte IBIS-Standard (Input/Output Buffer Information Specification) beschreibt hierzu zwar das prinzipielle Verhalten der Ein- und Ausgänge auf Basis vereinfachter Schaltungen, der funktionale Zusammenhang zwischen den einzelnen Ports wird jedoch nicht betrachtet. Zudem sind die Genauigkeit dieser Modelle durch die verhältnismäßig einfache Struktur häufig stark eingeschränkt. Daher sollen im Rahmen dieses Projektes Modelle entwickelt bzw. optimiert werden, welche einerseits eine Aufwandsersparnis erzielen können, andererseits jedoch auch die Einschränkungen des IBIS-Standards vermindern. Zu diesem Zweck wurde das bereits am Politecnico di Torino [2.6-7], [2.6-8] verwendete Konzept der Radialen Basisfunktionen Netze aufgegriffen und weiter verbessert und angepasst. Die im Rahmen dieses Projektes an der Leibniz Universität Hannover, in Kooperation mit dem Fraunhofer ENAS und der Universität Paderborn entwickelten Verfahren sollen im Weiteren vorgestellt werden.

2.6.2 Ziele der F+E Arbeiten

Black-Box Modellierung

Für die Modellierung elektrischer bzw. elektronischer Bauelemente oder Schaltungen wird ein sog. *Black-Box* Ansatz gewählt. Im Unterschied zu *White-* oder *Gray-Box* Modellen bedarf es hierzu keiner Vorkenntnis über die innere Struktur oder gar des Schaltungsaufbaus des zu modellierenden Systems. Zur Erstellung eines Modells wird lediglich ein Datensatz gemessener oder simulierter Ein-/Ausgangsdaten benötigt, mit dessen Hilfe die Parameter einer vordefinierten Modellstruktur angepasst werden können. Das Ergebnis der Modellierung ist dann eine rein mathematische Beschreibung des Verhaltens an den relevanten Ausgängen des Systems. Obwohl die Modellstruktur prinzipiell nahezu beliebig gewählt werden kann, wird hier – wie im ersten Abschnitt bereits erwähnt – eine Sonderform der neuronalen Netze verwendet.

Im Falle von elektrischen/elektronischen Bauelementen bietet es sich an, die Modelle derart zu erstellen, dass sie den Zusammenhang zwischen Strom und Spannung an den relevanten Ports repräsentieren. Auf diese Weise erhält man Modellen die im Rahmen des trainierten Bereichs nahezu unabhängig von der äußeren Beschaltung gute Ergebnisse liefern. Gesucht wird daher ein Modell welches einen systematischen Zusammenhang zwischen Strom und Spannung herstellt:

$$i(k) = M(u(k)) \tag{2.6-1}$$

Hierbei stellt $i(k)$ den Vektor aller relevanten Ströme dar, während $u(k)$ der Spannungvektor ist. Der Systemoperator M kann durch ein im Allgemeinen nichtlineares Zustandsmodell ersetzt werden:

$$x(k) = f(x(k-1), u(k)) \quad (2.6-2)$$

$$i(k) = h(x(k)) \quad (2.6-3)$$

Die Einführung eines Vektors $x(k)$ ist insbesondere für die Modellierung *dynamischer* Systeme notwendig, da hier aufgrund von Abhängigkeiten von rückgekoppelten Ausgangswerten und/oder verzögerten Eingangswerten kein funktionaler Zusammenhang zwischen $i(k)$ und $u(k)$ gefunden werden kann.

2.6.3 Technische Ergebnisse

Radiale Basisfunktionen Netze

Radiale Basisfunktionen-Netze stellen eine Sonderform der sog. *Neuronalen Netze* dar, welche sich in den vergangenen Jahren als ein leistungsstarkes Konzept zur Modellierung nichtlinearer Sachverhalte herausgestellt haben. Radiale Basisfunktionen-Netze bestehen i.d.R. nur aus einer informationsverarbeitende Schicht und verwenden statt der sonst üblichen sigmoidalen Aktivierungsfunktionen radiale Funktionen, von denen an dieser Stelle die *Gauss'sche* Glockenkurve gewählt wird. Die prinzipielle Struktur dieser Netze ist in Bild 2.6-1 zu sehen. In der ersten Schicht (*input layer*) erfolgt die Definition des Eingangsvektors. In der sog. verborgenen Schicht (*hidden layer*) erfolgt die eigentliche Informationsverarbeitung. Die Ausgangsdaten dieser zweiten Schicht werden in der Ausgabeschicht (*output layer*) gewichtet aufsummiert und so der Ausgangsvektor gebildet. Es hat sich gezeigt, dass durch die Verwendung von *normalisierten* Basisfunktionen eine erhöhte Generalisierungsfähigkeit erreicht werden kann [2.6-9]. Dazu wird jede einzelne Basisfunktion durch die gewichtete Summe aller Basisfunktionen dividiert. Die Gleichung für das Ausgangssignal kann damit dann mit

$$y(k) = \frac{\sum_{i=1}^p \theta_i \phi_i(x(k))}{1 + \sum_{v=1}^p \phi_v} \quad (2.6-4)$$

angegeben werden. Die Basisfunktionen ϕ_i selber werden als multivariate *Gauss*-Funktionen angenommen. Die Gleichungen lauten daher

$$\phi_i(x(k)) = e^{-\xi_i^2} \quad (2.6-6)$$

wobei

$$\xi_i = \sqrt{(x(k) - c_i)^T \sum_i (x(k) - c_i)} \quad (2.6-7)$$

den sog. *Mahalanobis*-Abstand darstellt. Die Matrizen \sum werden auch als *Weiten* bezeichnet und für die Modellierung als Diagonalmatrizen angenommen, um so eine *Überparametrisierung* durch eine zu große Anzahl an freien Parametern zu verhindern:

$$\sum_i = \text{diag}(\sigma_{i,1}^2, \sigma_{i,2}^2, \dots, \sigma_{i,d}^2) \quad (2.6-8)$$

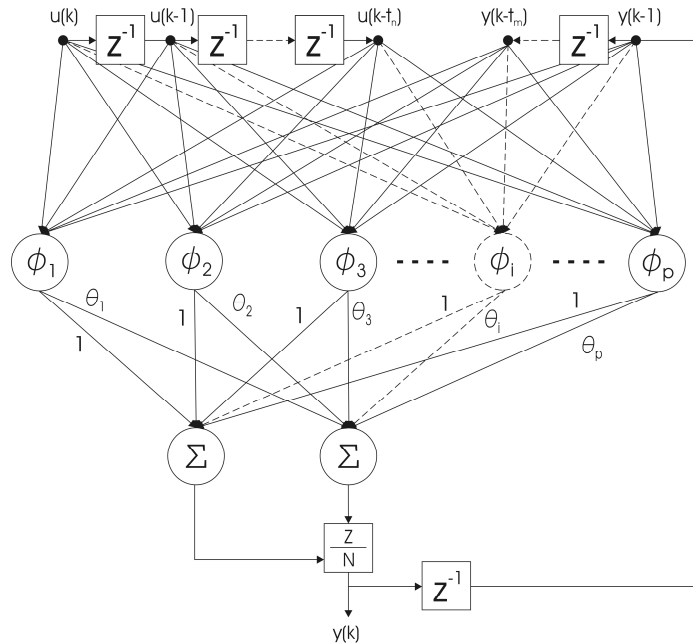


Bild 2.6.-1: Struktur radialer Basisfunktionen-Netze

Da es sich bei den RBF-Netzen um vorwärtsgerichtete und somit statische Netze handelt, muss zur Modellierung von dynamischen Systemen eine äußere Dynamik angelegt werden. Dies geschieht durch die sinnvolle Bestimmung des sog. *Regressorvektors* $x(k)$. Dieser setzt sich aus den verzögerten und unverzögerten Eingangssignalen, sowie den rückgekoppelten Ausgangssignalen zusammen. Es ergibt sich folglich die Gleichung

$$x(k) = [u(k), u(k - d_1), \dots, (k - d_n), (k - d_{n+1}), \dots, (k - d_m)]^T, \quad (2.6-9)$$

wobei an dieser Stelle zur Vereinfachung der Notation von einem SISO-System (*Single Input – Single Output*) ausgegangen wird. Die Erweiterung auf mehrere Ein- und Ausgänge kann durch Hinzufügen der zusätzlichen Komponenten zum Regressorvektor erfolgen. Die Auswahl der Regressorkomponenten kann mit geeigneten Algorithmen erfolgen. Zu diesen Algorithmen gehören u.a. das *Lipschitz-Zahlen* Verfahren und der verwandte *False-Nearest-Neighbours* Algorithmus [2.6-10], welche die angenommene Stetigkeit des zugrunde liegenden Systems ausnutzen.

Ablauf der Modellierung

Um ein hinreichend genaues Modell einer Schaltung oder eines Bauteils zu erhalten sind einige Schritte notwendig, die u.U. mehrfach durchlaufen werden müssen. In Bild 2.6-3 ist der prinzipielle Ablauf schematisch dargestellt. Da es sich bei den verwendeten Modellen um sog. *Black-Box* Modelle handelt, d.h. keine spezielles Vorwissen über das System für die Modellierung notwendig ist, erfolgt die Erstellung eines Modells einzig anhand gemessener oder simulierter Ein- und Ausgangsdaten. Daher ist zunächst ein *Trainingsdatensatz* erforderlich, der durch Messung oder Simulation erstellt werden kann. Dabei ist bereist hier darauf zu achten, dass der gesamte später benötigte Dynamikumfang des Systems erfasst wird. Anhand dieses Trainingsdatensatzes kann versucht werden, die dynamische Ordnung des Modells festzulegen. Dazu können die oben erwähnten Verfahren verwendet werden (Lipschitz-Algorithmus, Gamma-Test, ANOVA, modellbasierte Regressorschätzung). Da eine zu große Anzahl an freien Parametern zu erheblichen Problemen führen kann (Overfitting, Überparametrisierung), sollte hier sehr sorgsam versucht werden, nur die relevanten Komponenten in die Modellierung mit einfließen zu lassen. Die weiter unten erläuterte Parameteradaption dient dazu, die freien Parameter des Modells an das System anzupassen. Im Falle eines RBF-Modells sind dies die Zentren, Weiten und Gewichtfaktoren.

Da mit Ausnahme der Letztgenannten alle Parameter nichtlinearen Einfluss auf den Ausgang haben, müssen hier ebenfalls nichtlineare Schätzverfahren verwendet werden (Extended Kalman Filter [2.6-11]). Im Anschluss an die Adaption kann ein schneller Test des Modells auf den Trainingsdaten durchgeführt werden, um eine erste Abschätzung der Qualität des geschätzten Modells zu erhalten. Ist das Ergebnis bereits an dieser Stelle unzureichend, muss einer oder mehrere der vorangegangenen Schritte angepasst werden (Wahl eines anderen Trainingssignals, Hinzufügen/Entfernen von Regressorkomponenten, Anpassung der Trainingsparameter) und die folgenden Schritte wiederholt werden. Ist die Rekonstruktion des Trainingssignals durch das Modell hinreichend genau, so kann aus diesem Modell eine HSPIICE-Netzliste extrahiert werden. Mit dieser Netzliste können dann innerhalb eines Schaltungssimulators umfangreiche Tests durchgeführt werden, um so die tatsächliche Güte des Modells bewerten zu können. Treten hier Fehler oder zu grobe Ungenauigkeiten auf, so muss erneut an einer der ersten drei Modellierungsschritten nachgebessert werden. Erfolgen alle Tests erfolgreich, so ist die Modellierung abgeschlossen und das Modell kann im Rahmen der noch zu definierenden Spezifikationen eingesetzt werden.

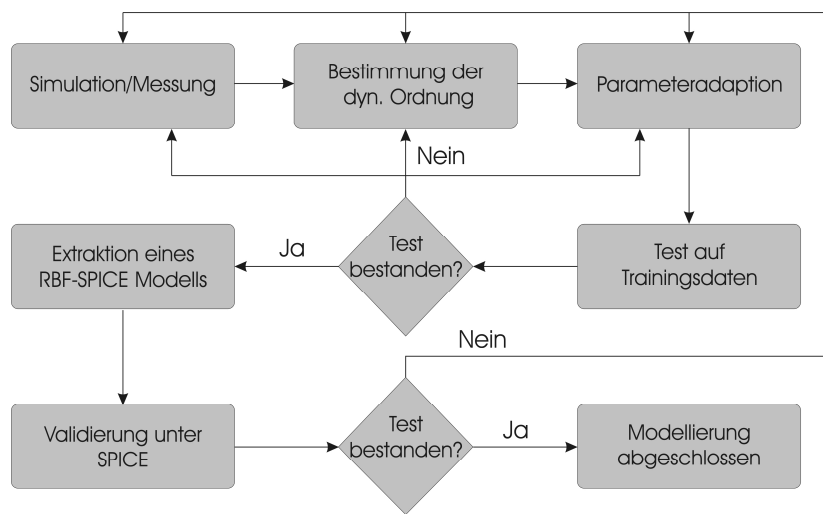


Bild 2.6-2: Ablauf der Modellierung

Einfluss von Temperatureffekten

Zusätzlich zu den Strömen und Spannungen an relevanten Port soll in den späteren Makromodellen der Temperatureinfluss modelliert werden. In [2.6-13] wird dargelegt, dass die Temperatur in erster Näherung lediglich linearen Einfluss auf die Gewichtungsfaktoren θ_i hat. Für die Bestimmung der Temperaturabhängigkeit wird daher ein zweiter Trainingsdatensatz benötigt, die mit einer unterschiedlichen Temperatur T_2 simuliert wurde. Der erste Datensatz, der mit der Temperatur T_1 erstellt wurde, wird verwendet, um auf die oben beschriebene Art und Weise die Parameter zu bestimmen. Mit dem zweiten Trainingssignal können dann mittels eines *Least Squares* Algorithmus die Gewichtungsfaktoren für die zweite Temperatur T_2 bestimmt werden. Dabei werden sämtliche anderen Parameter konstant gehalten. Um die Gewichtungsfaktoren für alle Zwischentemperaturen zu erhalten, wird linear zwischen T_1 und T_2 interpoliert.

$$\theta_i(T) = \frac{\theta_i^{(2)} - \theta_i^{(1)}}{T_2 - T_1} (T - T_1) + \theta_i^{(1)} \tag{2.6-10}$$

Es ist klar, dass dieser Verlauf nur für einen bestimmten Bereich um die simulierten Temperaturen gültig sein wird. Daher ist es notwendig bereits bei der Erstellung der Trainingssignale auf die späteren Verwendungszwecke des Modells zu achten. Unter Umständen kann es sinnvoll sein, statt einer rein linearen eine stückweise lineare Interpolation zu verwenden.

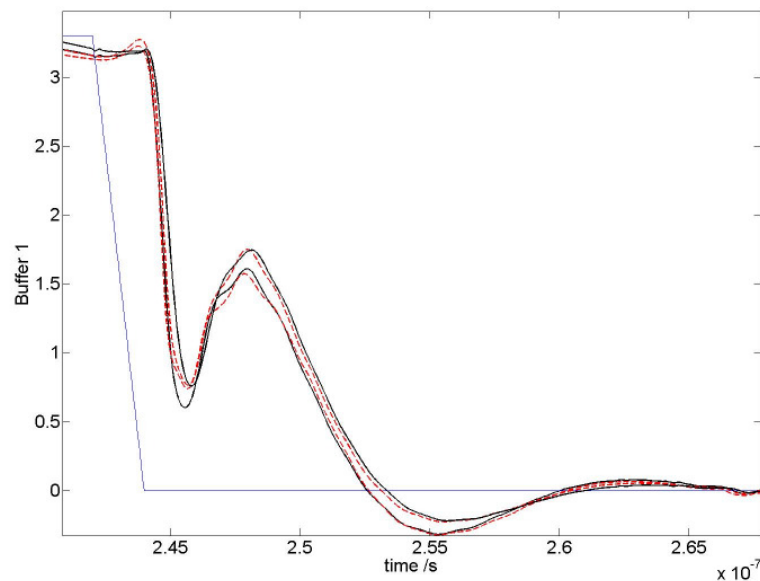


Bild 2.6-3: Einfluss der Temperatur (20°C und 80°C): Schwarz: Transistor-Schaltung, Rot: RBF-Modell

2.6.4 Anwendungsbeispiele und Verwertung

Signalintegritätsanalyse mit Hilfe von RBF-Modellen

Zur Demonstration der Einsatzmöglichkeiten der RBF-Modellierung wird ein Modell einer kommerziellen Buffer-Schaltung (Modelbezeichnung SN74AUP1G125 von Texas Instruments, HSPICE-Modell ist unter [2.6-14] frei erhältlich) erstellt und getestet. Dazu wird zunächst ein Trainingsdatensatz mittels Simulation des Transistor-Modells generiert. Dabei ist darauf zu achten, dass die gesamte benötigte Systemdynamik abgedeckt wird. Insbesondere ist es sinnvoll, zur Erstellung der Trainingsdaten die Schaltung nicht nur standardmäßig zu beschalten, sondern zusätzlich zeitveränderliche Quellen einzusetzen, um möglichst viele Systemzustände abzudecken. Der Ausgang des Buffers wird mit einer idealen Leitung ($Z_0 = 50\Omega, T_D = 3ns$) in Reihe mit einer 30 pF Kapazität beschaltet. Die Quelle am Ende erzeugt Pulse mit zufälliger Höhe im Bereich von -1 V bis 4 V, um einen variablen Ausgangsstrom i_{out} zu erhalten. Das Versorgungsnetz wird durch die Reihenschaltung einer idealen Spannungsquelle ($u_{vs} = 3.3V$), einem $1m\Omega$ Widerstand und einer $6nH$ Induktivität modelliert. Als Eingangsspannung wird eine pseudo-zufällige Bitsequenz verwendet. Die Spannung der Pulse beträgt ebenfalls 3.3V, die Anstiegs- bzw. Abfall-Zeiten sind zufällig zwischen $1m\Omega$ und $6ns$ verteilt. Die Anzahl der Zentren wird auf acht festgelegt, was einen angemessenen Kompromiss aus Modellkomplexität und Effizienz darstellt. Das Parametertraining erfolgt mit dem EKF-Algorithmus, vorab werden die Zentren mit Hilfe des *K-Means* Clusteralgorithmus initialisiert. Es wird 20-faches *Multistreaming* verwendet, d.h. es wird simultan auf 20 Ein-/Ausgangspaaren trainiert.

Aus dem so erstellten normalisierten RBF-Modell wird eine HSPICE-Netzliste extrahiert, welche im Simulator verwendet werden kann, um so Vergleiche mit dem Transistormodell anstellen zu können. Zu Validierungszwecken wurde eine praxisnahe Testumgebung erstellt. Eine gekoppelte Leitung mit drei Eingängen (modelliert durch ein *HSPICE W-Element*) wird am Eingang mit je einem Buffer verbunden, am anderen Ende werden sie mit unterschiedlich Widerständen und Kapazitäten abgeschlossen (Ausgang 1: $C = 20pF, R = 10k\Omega$, Ausgang 2: $C = 15pF, R = 50\Omega$, Ausgang 3: $C = 10pF$). Um die Generalisierungsfähigkeit des Modells zu untersuchen, wurde zudem das Versorgungsnetz modifiziert. Die Induktivität hat den Wert $L_{DD} = 10nH$, der Widerstand beträgt $R_{DD} = 0.1\Omega$. Die Eingangssignale entsprechen Bitsequenzen mit der Anstiegs- und Abfallszeit von 2 ns.

Der Simulationsaufbau ist in Bild 2.6-4 zu sehen. Verglichen werden sollen die Spannungen am Eingang der Leitung (*near-end*), sowie die Versorgungsspannung.

Das Ergebnis der Simulation ist in Bild 2.6-5 zu dargestellt. Wie zu sehen ist, besteht eine hohe Übereinstimmung zwischen den Simulationen mittels Transistor- bzw. RBF-Modells, dies gilt sowohl für die *near-end* Spannungen der gekoppelten Leitung als auch für die Versorgungsspannung. Die Genauigkeit der RBF-Simulation erlaubt daher die Bewertung und Analyse von Verzerrungen durch die Leitung, Übersprechen (*cross-talk*) und Einfluss einer nicht-idealen Versorgungsspannung.

Das erstellte Modell wird zusätzlich erweitert, um den Einfluss der Temperatur nachzubilden. Dazu wird, wie oben beschrieben ein zweiter Trainingsdatensatz verwendet, der mit einer Temperatur von 90°C simuliert wurde (erster Trainingsdatensatz: 10°C). Mit diesem Datensatz werden die Parameter angepasst und eine lineare Abhängigkeit der Gewichtungsfaktoren angenommen. Zur Validierung wurde die oben beschriebene Testsimulation sowohl mit 20°C als auch mit 80°C durchgeführt. Da das Verhalten der Schaltung bei einem derartigen Temperaturunterschied sehr ähnlich ausfällt, ist in Bild 2.6-3 eine Ausschnittvergrößerung der Gesamtsimulation zu erkennen. Wie zu erkennen ist, ist die Annahme einer linearen Abhängigkeit von der Temperatur in erster Näherung zulässig und hinreichend exakt.

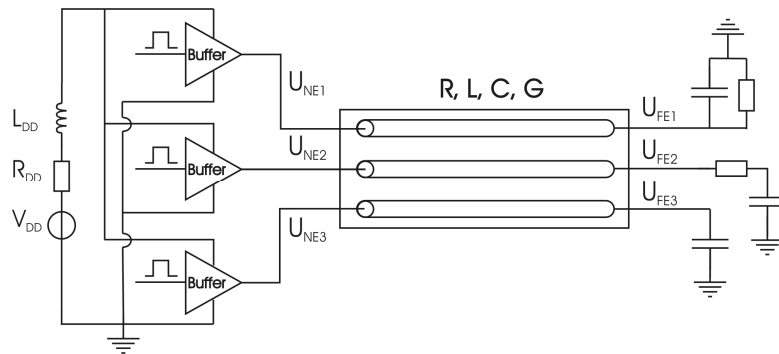


Bild 2.6-4: Simulationsaufbau zur Validierung des RBF-Modells

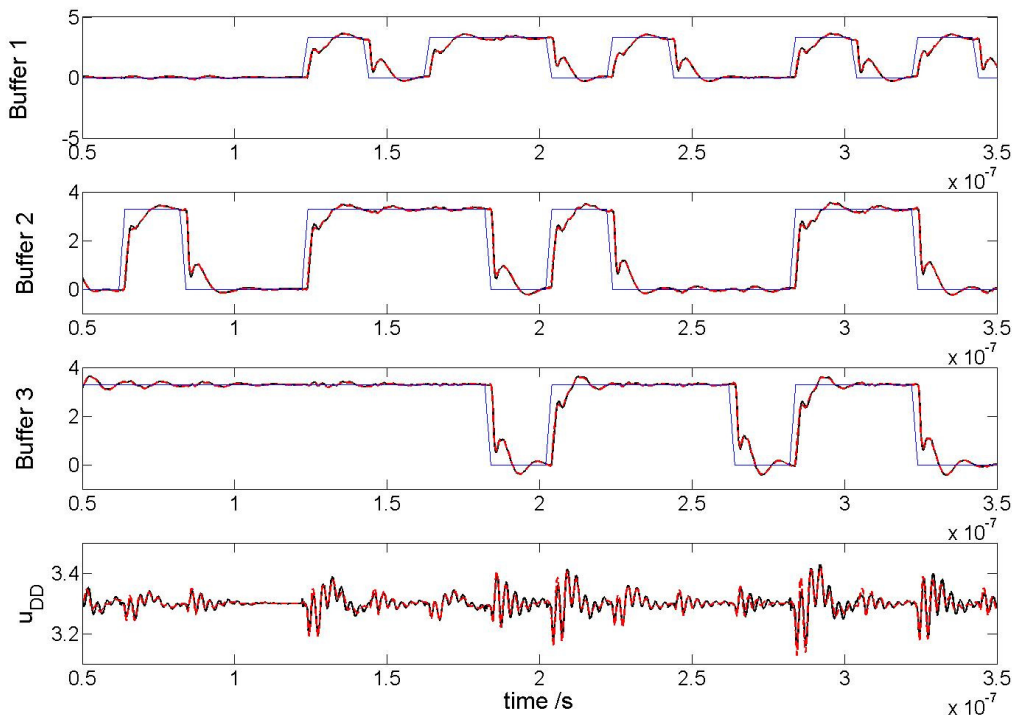


Bild 2.6-5: Ergebnisse der Test-Simulation: RBF-Modell (rot) stimmt sehr gut mit dem Transistor-Modell (schwarz) überein –die Eingangssignale sind Blau dargestellt

2.6.5 Zusammenfassung (B1.2.4)

Im Rahmen des *PARACHUTE*-Projektes wurde die Modellierung von elektrischen/elektronischen Schaltung mittels Radialer Basisfunktionen-Netze erforscht und weiterentwickelt. Dabei wurde neben der Modellstruktur auch das Parametertraining optimiert. Für diesen Zweck hat sich insbesondere der Extended Kalman Filter als hilfreiches Werkzeug herausgestellt. Bei der Modellierung wurde neben dem Verhalten am Ausgang der Schaltung auch der Einfluss der Versorgungsspannung in das Modell implementiert. Zusätzlich konnte eine Abhängigkeit von Temperatureffekten in das Modell eingebunden werden. Es hat sich gezeigt, dass die erzeugten RBF-Modelle imstande sind, dass nichtlineare Verhalten von Bufferschaltungen sehr akkurat nachzubilden und somit die Analyse der Signal- und Powerintegrität auf Leiterplatten in effizienter Weise unterstützen können. Die entworfene grafische Benutzeroberfläche hilft dem Anwender bei der Erstellung der RBF-Modelle.

Nachfolgen sollen noch einige Vorschläge für nachfolgende Arbeiten gegeben werden. Insbesondere bei der Modellerstellung sind Erfahrungen und Kenntnis der zu modellierenden Schaltung des Anwenders unabdingbar, um die Modell- und Trainingsparameter an die gegebene Schaltung anzupassen. Um die Automatisierung weiter zu vereinfachen, bedarf es daher Algorithmen, welche die Justierung der Parameter basierend auf den verfügbaren Daten vornehmen können. Hierbei sei in erster Linie die Schätzung der zur Dynamikrekonstruktion relevanten Regressorkomponenten erwähnt, von denen im Rahmen des Projektes bereits einige implementiert, jedoch für die Buffer- bzw. Schaltungsmodellierung noch nicht zufriedenstellend eingesetzt werden konnten. Weiterhin bietet die Untersuchung weiterer Basisfunktionen und der Vergleich mit der hier gewählten normalisierten *GAUSS*-Funktion Raum für weitere Forschungsarbeiten.

Weitere Details der entwickelten findet man in den Veröffentlichungen im angehängten Literaturverzeichnis, die im Rahmen des Projekts publiziert wurden.

2.6.6 Literatur

- [2.6-7] I. S. Stievano, I. A. Maio, F. G. Canavero; *Parametric Macromodels of Digital I/O Ports*; *IEEE Transactions on Advanced Packaging*, pp 1-39, 2002
- [2.6-8] I. S. Stievano, I. A. Maio, F. G. Canavero; *Macromodeling of IC Output Buffers from In-Place Measurements*; *IEEE Instrumentation and Measurement Technology Conference*, Sorrento (Italy), pp. 1726-1730, April 2006
- [2.6-9] G. Bugman; *Normalized Gaussian Radial Basis Function networks*; *Neurocomputing*, Issues 1-3, 1998, 20
- [2.6-10] J. D Bomberger, D. E. Seborg; *Determination of Model Order for NARX Models Directly from Input-Output Data*; *Journal of Process Control Issues* 5-6, ADCHEM '97 IFAC Symposium: Advanced Control of Chemical Processes, Vol. 8, 1998
- [2.6-11] Kalman, R.E.; *A New Approach to Linear Filtering and Prediction Problems*; *Journal of Basic Engineering*, Vol. 82, 1960
- [2.6-12] S. Haykin; *Kalman Filtering and Neural Networks*; John Wiley & Sons, Inc., 2001
- [2.6-13] I. S. Stievano, I. A. Maio, F. G. Canavero; *Temperature-dependent Macromodels of Digital Devices*; 15th International Symposium on Electromagnetic Compatibility, Zurich, Switzerland, 2003
- [2.6-14] Texas Instruments SN74AUP1G125, Online:
<http://focus.ti.com/docs/prod/folders/print/sn74aup1g125.html>
- [2.6-15] C. Fischer, C. Wiegand, W. John; Modellierung von Ein-/Ausgangsstufen mittels normalisierter RBF-Netze; Kleinheubacher Tagung, Miltenberg, Germany, September 2008
- [2.6-16] C. Fischer, C. Wiegand, C. Hedayat, W. John, U. Hilleringmann; *Modelling Switching Behaviour in Mixed-Signal Devices via RBF-NETS*; International Wroclaw Symposium and Exhibition on EMC, Wroclaw, Poland, June 2008

AP2: Modellierung und Simulation elektromagnetischer Störfestigkeit von Nanometer-Strukturen

2.7 B2.1.1 Modellierung von Störungskopplungen in Mixed-Signal ICs - BOSCH

2.7.1 Einleitung

Die EMV-Störfestigkeit von ICs in Smart-Power-Technologien wird typischerweise mittels der DPI (Direct Power Injection) Methode nachgewiesen. Hierbei wird eine hohe HF-Leistung (0 bis 30 dBm) bei Frequenzen bis zu 1 GHz kapazitiv auf einzelne Pins des ICs eingekoppelt. Diese HF treibt typische IC-Schaltungen bis weit in den nicht-linearen Betrieb hinein, da je nach Leistung und Impedanz HF-Spannungsamplituden im Bereich von bis zu 20V erzeugt werden. Bisher wurde die Störfestigkeit empirisch, d.h. auf Basis von EMV-Messungen an ICs ermittelt und ggf. verbessert. Diese Vorgehensweise sollte durch eine neue, simulationsgestützte Methode ergänzt bzw. wo möglich, ersetzt werden. Bei den oben genannten enormen Spannungsamplituden greifen konventionelle Kleinsignal-Analysen nicht. Daher mussten neue, geeignete Simulationsverfahren zur Analyse des Großsignalverhaltens entwickelt und validiert werden. Darüber hinaus ist die HF-Einstrahlung bei hohen Frequenzen um mehrere Größenordnungen schneller als die IC-internen Schaltzeiten. Dies führt zu hohen Rechenzeiten in der Simulation. Diese können schnell unpraktikable Dauern (im Bereich vieler Stunden bis Tage) erreichen.

2.7.2 Ziele der F+E Arbeiten

Ziel war es, eine neue Methode zur Schaltungssimulation der EMV-Störfestigkeit von kritischen Schaltungsblöcken in Smart-Power Automobil-Anwendungen zu entwickeln und zu validieren. Die Simulation sollte die Störfestigkeit nach der DPI Methode, eingekoppelt auf kritische Pins, mit hinreichender Genauigkeit und für die industrielle Entwicklung akzeptablen Rechenzeiten erlauben. Die typische Genauigkeit der simulierten Arbeitpunkte unter DPI sollte eine maximale Abweichung von 10 – 30 % betragen. Entsprechend der DPI-Methode war der Frequenzbereich bis 1 GHz abzudecken.

2.7.3 Technische Ergebnisse

Vorüberlegungen/Herangehensweise

Zunächst wurden denkbare Simulationsverfahren (z.B. transiente Großsignalanalyse, Harmonic Balance, Shooting Methode) konzeptionell und anhand von beispielhaften Simulationen auf ihre grundsätzliche Eignung überprüft (siehe Ergebnis 2, nächster Abschnitt unten).

Anschließend definierte Bosch zusammen mit seinem Unterauftragnehmer FhG IZM speziell auf HF-Messungen ausgelegte Test-Schaltungsblöcke. Parallel dazu wurde eine entsprechende Messtechnik zur Validierung, nämlich die DPI-Messung auf Wafer-Ebene, aufgebaut. Sie bietet den Vorteil, das DPI-Verhalten auch ohne die (oft massiv störenden) parasitäre Kapazitäten und Induktivitäten von IC-Gehäusen und Leiterplatten identifizieren zu können.

Weiterhin untersuchte Bosch Test-Schaltungsblöcke mit Fokus auf Bauelementverhalten (Ergebnis 1, nächster Abschnitt unten). Die Simulationen wurden mit Messungen verglichen und sensitive Parameter bestimmt, um daraus Aussagen über die Genauigkeit und Belastbarkeit von Simulationsergebnissen zu gewinnen.

Schließlich startet Bosch und insbesondere auch sein Unterauftragnehmer FhG die Initiative zu einer neuen Methode, zusätzlich auch DPI-empfindliche Punkte in der Schaltung aufspüren und darstellen zu können (Ergebnis 3 - siehe nächster Abschnitt unten).

Ergebnisse

Die wichtigsten von Bosch erzielten Ergebnisse sind:

EMV-Auswirkungen auf integrierte Bauelemente

DPI-Simulation und Messung eines PMOS-Transistors und erstmals Beobachtung und Aufklärung von zwei unterschiedlichen DPI-Strompfaden, je nach anliegender DPI-Leistung. Diese Untersuchung zeigt auf, wie sich der Arbeitspunkt eines Transistors (3.3V PMOS) unter DPI-Anregung an seinem Source-Kontakt verschiebt und erklärt das Verhalten. PMOS-Transistoren sind typischerweise mit ihrem Source-Kontakt an die IC-Versorgungsleitungen angeschlossen und daher hohen EMV-Störungen ausgesetzt. Die Untersuchung vergleicht Messungen und Simulationen. Dabei wurde der Arbeitspunkt als Funktion der Frequenz (1 MHz bis 1 GHz) aufgenommen und die HF-Leistung als Parameter variiert. Die Untersuchung erklärt (nach unserem Wissen erstmals) die auf Wafer-Ebene gemessene Umkehr der Arbeitspunkt-Verschiebung bei ansteigender HF-Leistung. Die maximale Leistung betrug 15dBm, d.h. ca. 1.7 V Amplitude an 50 Ohm. Die beiden gegenläufig wirkenden Mechanismen sind zunächst, bei geringer Leistung, das nicht-lineare Verhalten der MOS-Transistor-Verstärkung und später, bei hohen Leistungen, die exponentielle Charakteristik der Drain-Bulk-Diode. Bei kleinen Leistungen dominiert also der laterale Stromfluss des MOS-Kanals, wohingegen bei großen Leistungen der HF-Strom stärker vertikal durch die Drain-Bulk-Diode fließt.

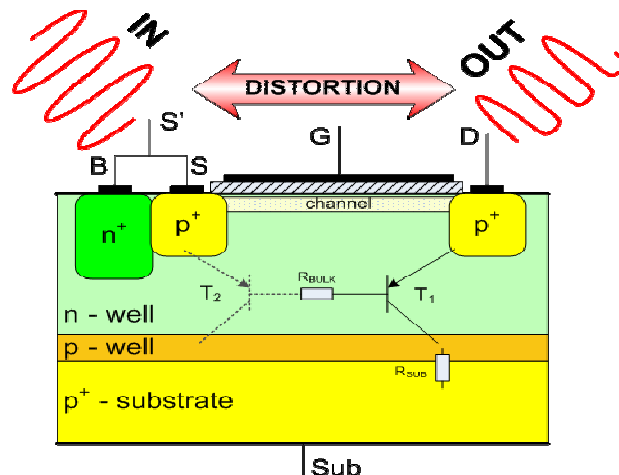


Bild 2.7-1: PMOS-Transistor im Querschnitt sowie einlaufende DPI-Störung an der Source (links) und das auslaufende, durch das Bauelement verzerrte Signal am Drain (rechts); die Drain-Bulk-Diode ist hier schematisch als Basis-Emitter-Diode von zwei vertikalen PNPs dargestellt

Dieses Ergebnis ist von besonders hoher Bedeutung für integrierte Schaltungen, da die größten Störungen (z.B. über den Kabelbaum) gerade an Versorgungsleitungen eingekoppelt werden. In ICs sind an den Versorgungsleitungen typischerweise gerade die oben genannten PMOS-Transistoren mit ihrer Source angeschlossen. Diese Studie gibt Aufschluss über das Verhalten dieser besonders gefährdeten Bauelemente und Designhinweise (genauer: neue Verfahren, die zu technologie-spezifischen Designhinweisen führen), die diese kritische Art von Störungen beherrschen lassen. Zu diesem Ergebnis ist weiterhin zu bemerken, dass es im Nachhinein überraschend ist, dass diese wichtigen Effekte nicht schon früher allgemein bekannt waren. Dass dies offenbar nicht der Fall war, lässt uns darauf schließen, dass der Erkenntnisstand – für Smart Power Anwendungen – vorher zumindest stellenweise unerwartet unvollständig, möglicherweise oberflächlich war. Dies führte zu dem Risiko, dass unreife Modelle und Simulation überschätzt werden und möglicherweise zu falschen Schlussfolgerungen verleiten. Auch in diesem Zusammenhang gesehen, liefert das oben genannte technische Resultat wichtige Hinweise für zukünftige Anwendungen von EDA.

Rechenzeitbeschleunigung um Faktor 10

DPI Simulationen benötigen bei höheren Frequenzen lange Simulationszeiten. Der Grund liegt in der hochfrequenten Anregung, auf die eine Schaltung mit wesentlich (oft um viele Größenordnungen) längeren Zeitkonstanten reagieren muss. Daher waren bisher die Rechenzeiten, die bei vielen Stunden oder Tagen liegen konnte, eine entscheidende Barriere für den Einsatz von Simulation. Das Parachute-Projekt entwickelte Methoden, um die Simulationszeiten im EMV-IC-Entwurf für DPI erheblich zu verkürzen. Im Ergebnis wird die Rechenzeit um einen Faktor 10 beschleunigt. Dieses sehr anwendungsrelevante Resultat basiert auf dem Vergleich dreier Simulationsmethoden, die gemeinsam mit Fraunhofer-IZM (als Unterauftragnehmer) evaluiert wurden. Diese Simulationsstudie verglich ‚Harmonic Balance‘ und ‚Shooting Method‘ gegenüber der bisher genutzten, langsameren ‚Transienten Analyse‘. Eine Reihe unterschiedlich komplexer Schaltungen (z.B. verschiedene Operationsverstärker) in zwei unterschiedlichen Technologien wurden unter DPI-Einprägung untersucht. In Bild 2.7-2 wird der Simulationsvergleich für einen Spannungsregler dargestellt. Ein Prinzipschaltbild dieses Reglers ist in Bild 2.7-2 oben rechts eingeblendet.

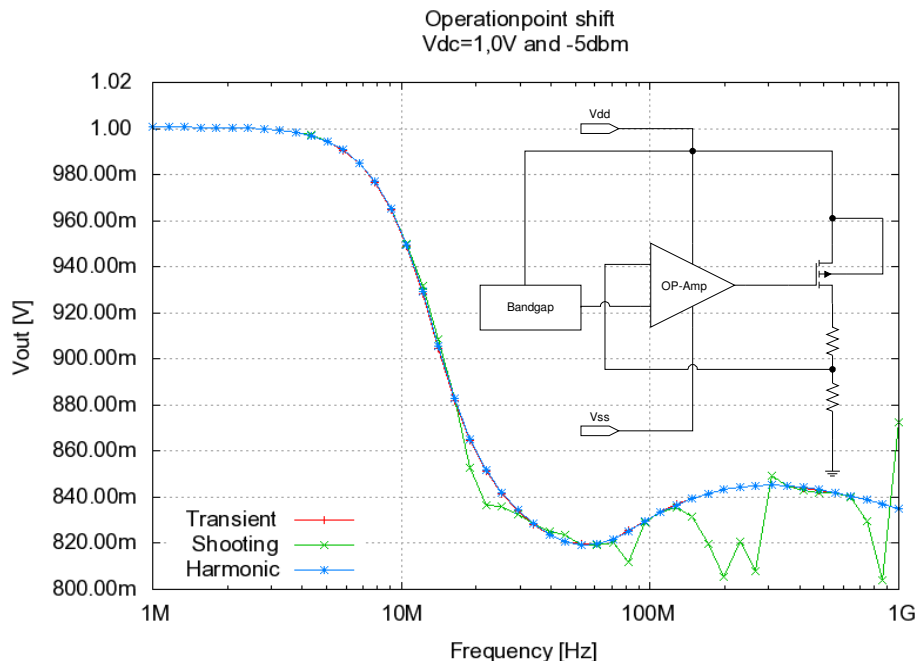


Bild 2.7-2: Simulierte Ausgangsspannung eines Reglers unter DPI-Beaufschlagung an der Versorgung (Leistung -5dBm) über der DPI-Frequenz; drei Methoden mit unterschiedlichen Rechenzeiten wurden verglichen - die konventionelle (langsame) transiente Analyse (rot) dient hier als Referenz; die wesentlich schneller Harmonic Balance (blau) liefert die gleichen Ergebnisse; die Shooting Methode (grün) wird bei hohen Frequenzen ungenau

Die Analyse von Rechenzeiten, Konvergenzverhalten und Genauigkeit führt auf ‚Harmonic Balance‘ als vernünftig sichere Methode, die die bisherigen Rechenzeiten von bis zu einigen Stunden um etwa eine Größenordnung verkürzt. Für diese Methode erstellten wir erste Anwendungshinweise, z.B. für die Anzahl der zu berücksichtigenden Harmonischen. Mit dieser erheblichen Beschleunigung der Rechenzeit hat das Projekt, wie oben bereits beschrieben, den Weg für die Anwendung von DPI-EMV-Simulationen vorbereitet.

Neues Werkzeug zum Auffinden kritische Bauelemente

Eine besonders kritische Frage beim Entwurf störtester ICs ist, welche Bauelemente für das (möglicherweise noch zu verbessernde) Klemmenverhalten vorrangig verantwortlich sind. Um diese ausfindig zu machen, wurde ein neuartiges Simulationswerkzeug entwickelt. Es analysiert das Verhalten von Knotenspannungen und Maschenströmen unter DPI. Die unter DPI ermittelten Kopplungen und Verschiebungen aller Arbeitspunkte werden ausgewertet, um die empfindlichsten Bauelemente zu identifizieren.

Diese werden im Schaltplan farblich markiert. Mit dieser *DPI-Hot-Spot-Analyse* erhält der Schaltungsentwickler effizient wertvolle Hinweise auf sensitiv reagierende Bauelemente und damit auf Optimierungspotenzial seiner Schaltung. Diese *DPI-Hot-Spot-Analyse* wurde als Erweiterung einer industriell genutzten Entwurfssoftware (Cadence Design Framework II) programmiert. Das Werkzeug nutzt übrigens auch die oben genannten Methoden zur Rechenzeitbeschleunigung. Es wurde anhand von Test-Schaltungen erfolgreich validiert. In Bild 2.7-3 ist dies für einen Stromspiegel dargestellt.

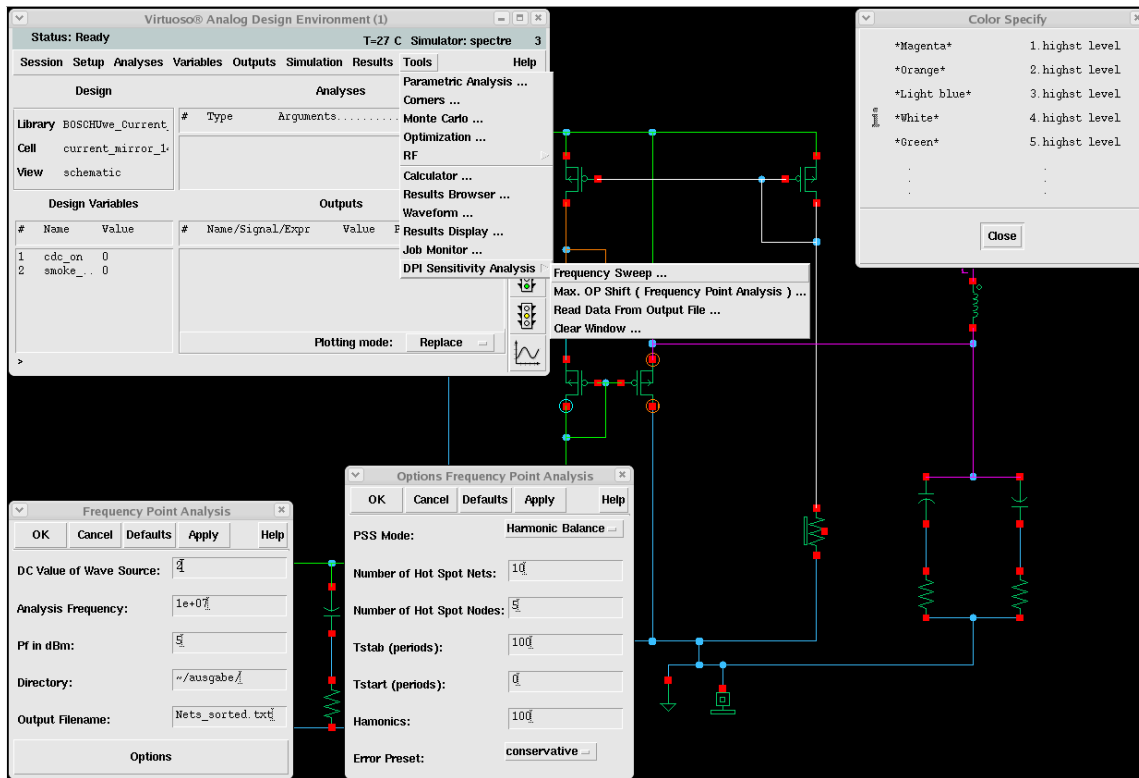


Bild 2.7-3: DPI-Hot-Spot-Analyse – im Vordergrund (hellgrau unterlegt) spezifische Steuerfenster (Pop-Down-Menüs). Im Hintergrund ein Stromspiegel als Beispielschaltung

Hier ist das unter DPI am kritischsten reagierende Netz in magenta, das nächst kritische in orange, hellblau, weiß usw. hervorgehoben. Der Schaltungsentwickler kann die resultierenden Arbeitspunktverschiebungen unmittelbar quantifizieren, bewerten und den Schaltungsentwurf dann ggf. optimieren oder als DPI-geprüft weitergeben.

2.7.4 Stand der Technik

Bosch hat sich im Parachute-Projekt erstmals grundlegend mit der Simulation der Störfestigkeit von IC-Schaltungsblöcken befasst. Beiträge zum Ausbau des Standes der Technik (weltweit) sind nach unserem Wissen die folgenden:

- Es wurden Methoden zur Rechenzeitverkürzung anhand von für das industrielle Design relevanten Schaltungen gegenübergestellt, bewertet, erhebliches Potenzial zur Rechenzeitbeschleunigung aufgedeckt, und unterstützende Hinweise gegeben, vgl. Ergebnis 1 oben.
- Bosch untersuchte das EMV-DPI-Verhalten eines einzelnen Bauelements mit höchster Anwendungsrelevanz (PMOS) und deckte erstmals auf, welche gegenläufigen Wirkmechanismen in unterschiedlichen HF-Leistungsbereichen relevant sind, vgl. Ergebnis 2 oben.
- Unterauftragnehmer FhG und Bosch entwickelten eine neue simulationsgestützte Methode, die empfindlich reagierende Bauelemente in einer Schaltung für den Entwickler sichtbar macht, vgl. Ergebnis 3 oben. Sie ist in einer industriellen Entwurfsumgebung lauffähig.

2.7.5 Anwendungsbeispiele und Verwertung

BOSCH und Unterauftragnehmer IZM/ENAS arbeiteten auf dem Gebiet der Störfestigkeit von IC-Schaltungsblöcken in Smart-Power-Technologien. Die Arbeiten schafften die Voraussetzungen für den simulationsgestützten Entwurf der elektromagnetischen Störfestigkeit unter Direct Power Injection (DPI). Die Untersuchungen validierten Simulationen gegenüber HF-Messungen von Teststrukturen. Die Untersuchungen umfassten Einzelbauelemente und Teststrukturen mittlerer Komplexität, z.B. Stromspiegel. Darüber hinaus lieferte das Projekt neue Methoden, die erstens die Rechenzeit um ca. einen Faktor 10 beschleunigen und zweitens auf elektromagnetische Einstrahlung empfindlich reagierende Bauelemente markieren.

Die unten genannten Anwendungen (1) und (2) sollen zur Entwicklung von EMV-robusten Schaltungsblöcken für Smart-Power-ICs bei BOSCH, Geschäftsbereich AE (Automotive Electronics) eingesetzt werden. Diese ICs werden in Steuergeräten z.B. für Motorsteuerungen oder Brems- und Rückhaltesysteme zum Einsatz kommen.

- (1) ICs für Automobilanwendungen sind an ihren Versorgungen typischerweise starken Störungen ausgesetzt. Daher benötigen sie interne EMV-feste Spannungsreferenzen. Sie sind für die EMV-Robustheit von höchster Bedeutung, da von ihnen die verschiedenen Spannungsversorgungen im IC abgeleitet werden. Diese und die nachfolgenden Schaltungen hängen entscheidend von robusten PMOS-Stromspiegelschaltungen ab (vgl. Punkt 1 im letzten Abschnitt)
- (2) Die Beschleunigung von DPI-Simulationszeiten und die *DPI-Hot-Spot-Analyse* – vgl. Punkt 2 und 3 oben – ermöglichen nach Abschluss des Projektes eine simulationsgestützte Evaluierung von Schaltungsblöcken. Sie soll innerhalb der bei Bosch genutzten Designumgebung eingesetzt werden.

Parachute hat EMV-DPI-Simulationen für Einzelbauelemente und Schaltungsblöcke mittlerer Komplexität ermöglicht. Damit ist die Grundlage für die Bearbeitung komplexerer Systeme gelegt. Der nächste Schritt wäre, Systeme von unterschiedlichen Funktionen, die auf einem einzigen Chip integriert wurden (System-on-Chip) zu bearbeiten. Hier ist insbesondere das (häufig komplex vernetzte) Versorgungs- und Massesystem mit den unvermeidlichen parasitären Kapazitäten und Induktivitäten eine Herausforderung. Mit dieser verknüpft ist das IC-Gehäuse. Eine weitere Fragestellung, die sich hier anschließt, ist, nach welchen Kriterien vereinfacht (also abstrahiert) werden darf, um diese Systeme handhabbar, transparent und überschaubar zu halten. Schließlich stellt sich die Herausforderung, ein solches geeignetes Modell mit der Steuergerätesimulation zu vereinen. Hier muss aus Sicht der IC-Modellierung insbesondere erarbeitet werden, welche relevanten Effekte die IC-Modelle berücksichtigen müssen, um Risiken in der Steuergeräteentwicklung abzudecken, wie z.B. Resonanzen mit anderen Komponenten.

2.7.6 Literatur – Modellierung von Störungskopplungen in Mixed-Signal IC

- [2.7-1] S. B. Dhia, M. Ramdani, E. Sicard; *Electromagnetic Compatibility of Integrated Circuits*; 2006 Springer Science+Buisness Media, Inc. <http://see.msfc.nasa.gov/ee/eeepub.htm>
- [2.7-2] Y. Hattori, H. Tadano, and H. Nagase; *A Study of a dc Operating Point Shifts in MOSFETs with Large RF Signals*; Electronics and Comuncations in Japan, Part 1, Vol. 84, No. 7, 2001.
- [2.7-3] F. Fiori, P. S. Provetti; *Investigation on EMI Effects in Bandgap Voltage References*; Microelectronics Journal – Elsevier 2004 Int. Workshop on EMC (EMC COMPO), Toulouse, Nov. 2002, pp. 35 – 39.

2.8 B2.1.2: Identifikation und Modellierung von Störpfaden für externe Pulseinkopplung in Mikrocontroller-ICs – Infineon Technologies AG

2.8.1 Einleitung

Während es für die Messung der elektromagnetischen Emission und Störfestigkeit von ICs international anerkannte Standards gibt, existieren keine Messnormen für IC-Pulsfestigkeit, sobald die IC-Pins nicht direkt mit dem Fahrzeugstecker auf dem Steuergerät verbunden sind. In PARACHUTE haben wir analysiert, welche typischen Pulsformen an Microcontroller-Pins zu erwarten sind und welche Auswirkungen sie haben.

Da Pulse durch ihren zeitlichen Verlauf bestimmt sind, können sie als Spezialfälle von Hochfrequenzstörungen betrachtet werden. Daher war es sinnvoll, uns zunächst dem etablierten DPI (Direct Power Injection) -Verfahren zuzuwenden und mit diesem reproduzierbaren Verfahren die Empfindlichkeit verschiedener Microcontroller zu bewerten.

Damit erlangten wir ein umfassendes Verständnis der DPI-Ausfallmechanismen und waren in der Lage, ein erstes Simulationsmodell für kritische Störfrequenzen zu entwickeln.

2.8.2 Ziele der F+E Arbeiten

Wir hatten drei Ziele in diesem Beitrag:

- (1) Kennen der lokalen Pulsformen (Amplitude, Anstiegszeiten, Verweilzeiten) an den Microcontroller-Pins, abgeleitet von spezifizierten ISO-Pulsen,
- (2) Verständnis der Störkoppelpfade in Microcontrollern und damit einhergehender Ausfallmechanismen,
- (3) Einfaches Simulationsmodell (Verhaltensmodell) für Microcontroller-Störfestigkeit.

Ein weiteres ursprünglich geplantes Ziel, nämlich eine Treiberrolle für die Standardisierung eines Microcontroller-Pulsfestigkeits-Messverfahrens zu übernehmen, musste frühzeitig wegen der Absage des geplanten Projektpartners Freescale Deutschland aufgegeben werden.

Diese drei Ziele wurden mit guten Ergebnissen erreicht. Alle Arbeiten in diesem Beitrag liefen im Rahmen einer Promotion bei Infineon ab.

2.8.3 Technische Ergebnisse

Lokale Pulsformen

Für Steckerpins z.B. von Spannungsreglern, Transceivern oder Switches werden Messungen mit direkter Pulseinkopplung gemäß ISO 7637 durchgeführt. Unsere Arbeiten in PARACHUTE konzentrierten sich zunächst auf die Identifikation typischer Koppelpfade für Pulse von Steckerpins zu Microcontroller-Pins. Sodann beaufschlagten wir die Eingänge dieser Koppelnetzwerke mit ISO-Pulsen und beurteilten die an den Microcontroller-Pins ankommenden gedämpften Pulse (Bild 2.8-1). Diese können Funktionsausfälle oder – bei hohem Energieinhalt der ISO-Pulse – Zerstörung bewirken. Eine derartige Klassifikation erfolgte für 4 Microcontroller in 3 verschiedenen CMOS-Technologien und einhergehenden unterschiedlichen Versorgungsspannungen.

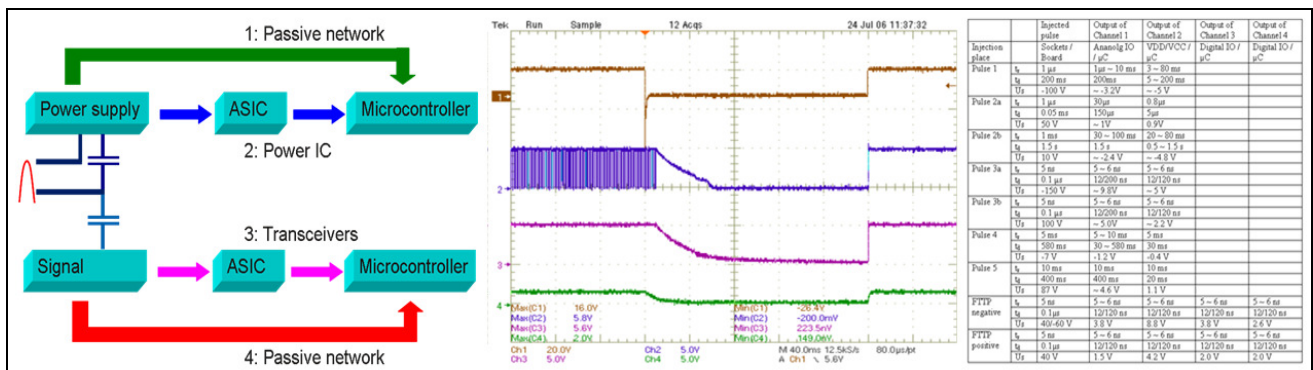


Bild 2.8-1: 4 generische Puls-Einkoppelpfade (links); gemessener Funktionsausfall des Microcontrollers (Mitte); an lokalen Microcontroller-Pins entstehende Pulse bei Beaufschlagung des Koppelnetzwerks mit Standard-Pulsen gemäß ISO 7637 (rechts)

Microcontroller-Ausfallmechanismen

Um die Ausfallmechanismen der 4 Microcontroller zu untersuchen, griffen wir auf das DPI-Messverfahren gemäß IEC 62132-4 zurück. Unsere Erwartung war, dass Analogmodule im Microcontroller und damit deren Pins am empfindlichsten sein würden; danach würden reine Eingangspads rangieren, gefolgt von schwachen Ausgangstreibern; die Versorgungspins würden am robustesten sein. Diese Erwartungen wurden nur zum Teil erfüllt. Interessantestes Ergebnis war, dass Analogmodule – insbesondere die Takterzeugung – von allen Störeinkopplungen betroffen war; Oszillator und PLL kommt daher bezüglich Störfestigkeit eine zentrale Bedeutung bei (Bild 2.8-2). Diese Erkenntnis stand Pate für die Entwicklung unseres Störfestigkeitsmodells.

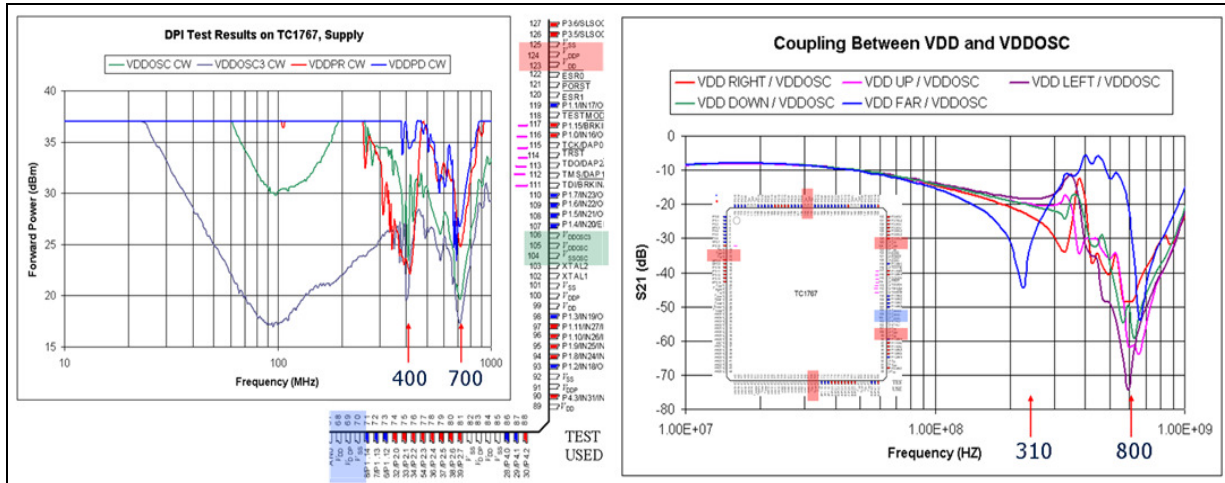


Bild 2.8-2: Systematische DPI-Messungen (IEC 62132-4) am 32-Bit-Microcontroller TC1767 für alle I/O- (links) und Versorgungspins (rechts)

Simulationsmodell für Störfestigkeit

Herausragendes Ergebnis unserer Arbeiten war die Herleitung des so genannten Fußpunkt-Modells zur Identifikation kritischer Ausfallfrequenzen eines Störsignals. Sein Name leitet sich von den beiden Fußpunkt-Kondensatoren ab, die typischerweise die Schwingquarz-Anschlüsse eines Oszillators mit Ground verbinden. Der Oszillator ist demnach zentraler Bestandteil des Modells. Das Modell umfasst auch relevante IC-Gehäusestrukturen und Leiterplattenstrukturen, wie z.B. die Anbindung der externen Fußpunkt-kondensatoren an die Oszillatortpins. AC-Simulationen mit diesem Modell zeigten tatsächlich die kritischen Frequenzen (d.h. Frequenzbereiche geringerer Störfestigkeit) für unsere 4 Microcontroller (Bild 2.8-3). Allerdings kann es noch keine absoluten Ausfallgrenzen bezüglich der eingekoppelten Leistung berechnen. Eine solche Erweiterung soll Gegenstand zukünftiger Forschungen sein.

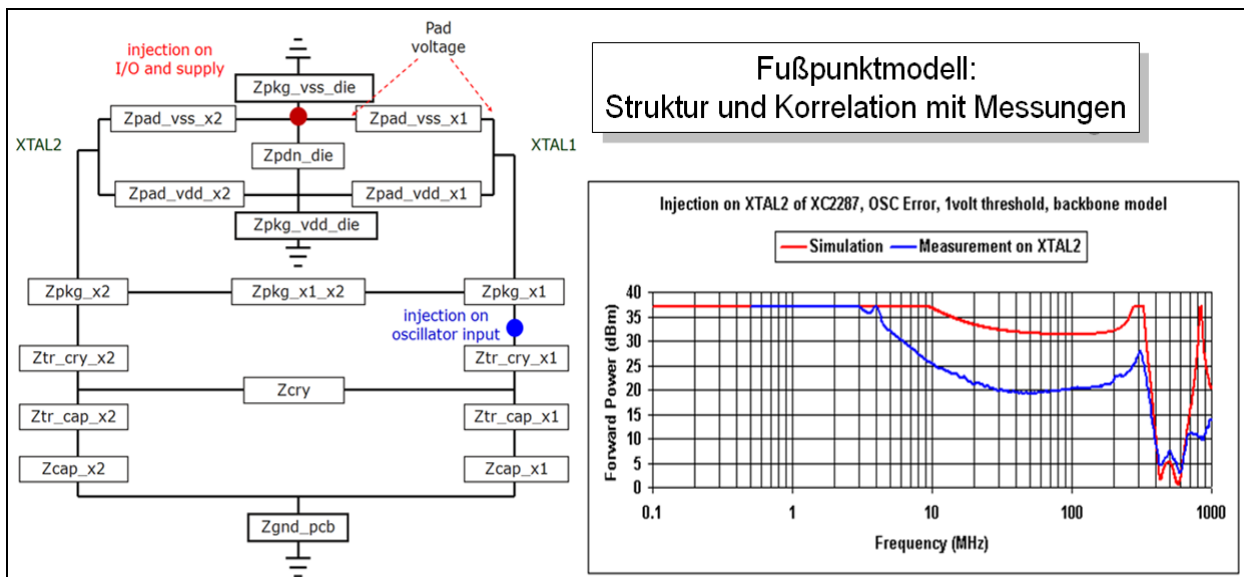


Bild 2.8-3: Struktur des Fußpunktmodells (links); Vorhersage der Ausfallfrequenzen mit dem Fußpunktmodell und Korrelation mit DPI-Messungen (IEC 62132-4) (rechts)

2.8.4 **Stand der Technik**

Direct Power Injection (DPI) wurde als am besten geeignetes Messverfahren für leitungsgebundene Störfestigkeitsanalysen bestätigt. Darin ist man sich in der IC-EMV-Community einig. Mit dem durch PARACHUTE erreichten Kenntnisstand bezüglich Microcontroller-Störfestigkeit scheint Infineon weltweit führend zu sein. Sämtliche Veröffentlichungen der letzten Jahre zeigen konventionelle Modellierungsansätze, welche die Dominanz des Oszillators ignorieren. Mit seinem Fußpunktmodell hat Infineon ein Werkzeug entwickelt, das auf einfache Art und Weise die Vorhersage kritischer Ausfallfrequenzen erlaubt und so bereits im Vorfeld der Systementwicklung eine Layoutoptimierung ermöglicht, um beispielsweise kritische Frequenzen außerhalb des sensitiven Messbereichs (gemäß Grenzwertkurven) zu verschieben.

2.8.5 **Anwendungsbeispiele und Verwertung**

Das Fußpunktmodell wird für die Vorhersage kritischer Störfrequenzen für Microcontroller eingesetzt. Es muss jedoch noch im Hinblick auf quantitative Aussagen über die kritische Störleistung erweitert werden. Dies ist nicht trivial und erfordert die weitere Zusammenarbeit zwischen Infineon und Forschungseinrichtungen, beispielsweise im Rahmen eines künftigen Förderprojekts.

2.8.6 **Literatur - Identifikation und Modellierung von Störpfaden für externe Pulseinkopplung in Mikrocontroller-IC**

- [2.8-1] T. Su, M. Unger, T. Steinecke; *New Test Method for the Pulse Immunity of Microcontrollers*; IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, 9. – 13. July 2007
- [2.8-2] T. Su, M. Unger, T. Steinecke, R. Weigel; *New Test Method for the Pulse Immunity of Microcontrollers*; 18th International Zurich Symposium on EMC, 24. - 28. 09. 2007, Munich, Germany
- [2.8-3] T. Su, M. Unger, T. Steinecke, R. Weigel; *New Test Method for the Pulse Immunity of Microcontrollers*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy
- [2.8-4] T. Su, M. Unger, T. Steinecke, R. Weigel; *Dynamic, Nonlinear and Passive Immunity Model of Microcontroller for Time Domain Simulation*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, 19th Intern. Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008.
- [2.8-5] T. Su, M. Unger, T. Steinecke, R. Weigel; *Electromagnetic Immunity of Microcontrollers*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland

2.9 **B 2.1.3: Modellierung der Störfestigkeit von Smart-Power-ICs gegenüber EMI und Pulsstress – Infineon Technologies AG**

2.9.1 **Einleitung**

Die Komplexität von Smart-Power-IC liegt bei bis zu einigen 10.000 Transistoren. Dieser Umfang lässt sich noch auf Transistorebene entwerfen und simulieren. Da insbesondere Smart-Power-ICs sehr exponiert gegenüber Pulseinkopplung sind – sie haben meist direkte Verbindungen zum Steuergerätestecker – gab es einen großen Bedarf für ESD-Simulationen. In PARACHUTE ist es uns gelungen, einen ESD-Simulator für Smart-Power-ICs zu entwickeln und in die Cadence-Designumgebung zu integrieren. Der Simulator markiert kritische On-Chip-Bauelemente direkt im Schaltplan. Die Qualität der Simulationsergebnisse wurde an mehreren Smart-Power-ICs unterschiedlicher Komplexität validiert.

Dieser Beitrag wurde mit fachlicher Unterstützung der Fraunhofer Gesellschaft (IZM Berlin) im Rahmen eines Unterauftrags durchgeführt.

2.9.2 **Ziele der F+E Arbeiten**

Empfindliche Pfade und Bauelemente gegenüber ESD-Stress in Smart-Power-ICs sollten automatisch detektiert werden, um bereits während der Entwurfsphase die Schaltung robuster zu machen und spätere kostspielige Designoptimierungen zu vermeiden. Die Simulation und Anzeige der kritischen Elemente sollte in der ohnehin genutzten Cadence-Designumgebung erfolgen.

2.9.3 Technische Ergebnisse

Die genannten Ziele sind voll erreicht worden. In der Simulation wurden die regulären Transistormodelle, wie sie für Analogsimulationen verwendet werden, ersetzt durch ESD-sensitive Beschreibungen, die für statische Untersuchungen auf Widerständen und Clamping-Elementen beruhen. Um auch dynamische Ausfälle zu simulieren, die aufgrund der schnellen Spannungs- und Stromflanken auftreten, wurden parasitäre Elemente wie z.B. Gate/Drain-Kapazitäten in das CLEX-Modell eingebunden. Typische ESD-Pulse, wie sie z.B. bei ESD-Pistolentests durch Entladung auf die IC-Pins entstehen, wurden ebenfalls modelliert und in die IC-Pins eingespeist. Die Ausfallbedingungen (z.B. Over-/Undershoot-Spannungen, Transistorspannungen) wurden durch Analogsimulationen ermittelt und als Pass-/Fail-Kriterien in den ESD-Simulator integriert. Der ESD-Simulator CLEX, der auf diese Weise entstanden ist, wurde in Skill-Code (Cadence Skript-Sprache) programmiert. Er zeigt kritische Pfade und gefährdete Bauelemente auf Transistorebene an (Bild. 2.8-1).

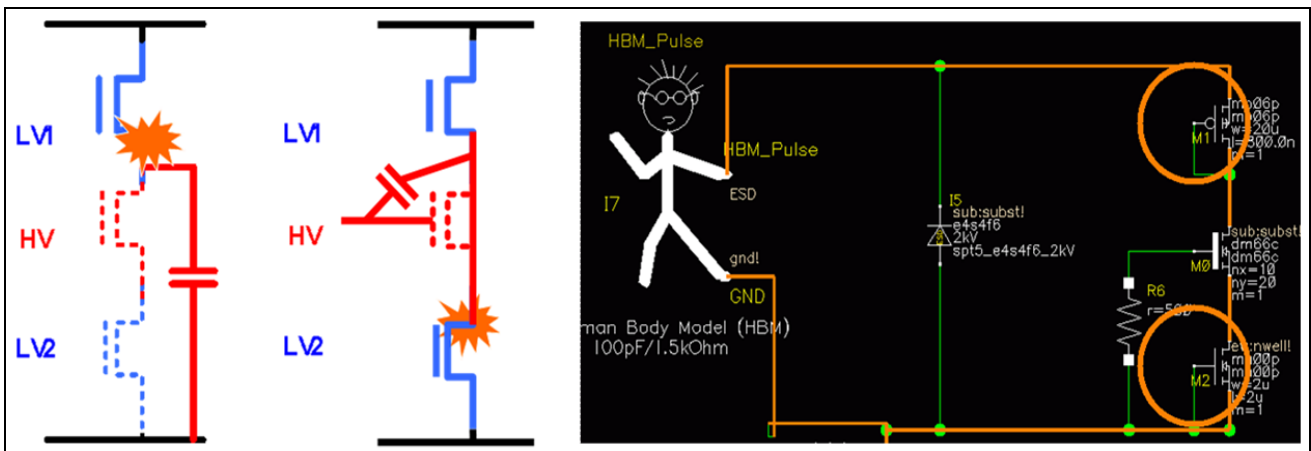


Bild 2.9-1: Typische ESD-Ausfälle (links); CLEX-Simulation in der CADENCE-Entwurfsumgebung (rechts)

2.9.4 Stand der Technik

Der CLEX ESD-Simulator ist nach unserer Kenntnis weltweit einzigartig. Es existieren einfache widerstandsbasierte statische Simulatoren, die kritische Entladepfade im Padbereich erkennen können, während CLEX die komplette aktive Schaltung und damit auch dynamische Effekte berücksichtigt.

2.9.5 Anwendungsbeispiele und Verwertung

CLEX wurde an mehreren Produktdemonstratoren unterschiedlicher Komplexität bis ca. 30.000 Transistoren erfolgreich validiert. In allen Fällen, in denen ESD-Ausfälle durch physikalischen Stress verursacht und durch Messung nachgewiesen wurden, identifizierte auch CLEX kritische Schaltungsteile. In einigen Fällen wurden Redesigns gefahren, bei denen diese kritischen Schaltungsteile optimiert wurden. CLEX zeigte daraufhin keine Ausfälle mehr an. Auch diese Korrekturmaßnahmen stellten sich durch spätere Messungen am Silizium als erfolgreich heraus.

CLEX steht somit als validiertes Tool allen Smart-Power-IC-Entwicklern in der Entwurfsphase zur Verfügung und wird produktiv für alle Infineon-Smart-Power-ICs eingesetzt. Ein kritischer und kostenintensiver Redesignfaktor ist somit eliminiert worden.

2.9.6 Literatur - Modellierung der Störfestigkeit von Smart-Power-ICs gegenüber EMI und Pulsstress

[2.9-1] H. Morgenstern, G.Groos, W.Simbürger: Verification Strategy of Mixed-Signal ICs regarding high Power Pulse Stress; MEDEA DAC, Leuven, Session 7, 26th – 28th May 2008.

2.10 B 2.1.4 Modellierung von digitalen und analogen IC-Modulen und Simulation der Störfestigkeit von Taktsignalen in HDI/HDP-Anwendungen – Black Box Modelling - UPB

Störfestigkeit von Taktsignalen (Modellierung von digitalen IC-Modulen zur Simulation der Störfestigkeit (Taktsignale in HDI/HDP-Anwendungen) ⇔ Black Box Modelling und EMZ-Modellierung von integrierten Schaltungen)) - (Kooperation mit ZUKEN GmbH)

Modellierung der Signalintegrität von Taktsignalen – Phasenregelkreis (Phase-Locked Loop)

Susceptibility von Smart Power IC ⇔ *Modellierung der Störfestigkeit von Smart-Power-IC gegenüber EMI und Plus-Stress* (Kooperation mit Infineon Technologies AG)

Black Box Modellierung (Rationale Übertragungsfunktionen) und EMZ-Modellierung von integrierten Schaltungen

2.10.1 Einleitung – Ziele der F+E Arbeiten

Grundlegende Modellierung

Die steigende Komplexität und Miniaturisierung der Bauelementabmessungen führt zu einer Erhöhung der Leiterbahndichte innerhalb elektrischer Schaltungen. Dies erzeugt größere lokale transiente Wechselwirkungen zwischen den physikalischen Bauelementen. Um die Analyse der Systeme speicher- und zeiteffizient zu gestalten, sind akkurate Makromodelle notwendig. Des Weiteren lassen sich mit den erstellten Modellen weitere Daten generieren, die nicht in den Messdaten enthalten sind (Interpolation). Eine Möglichkeit der Makromodellierung besteht darin, konzentrierte Bauelemente oder nichtlineare Schaltungen in Feldsimulatoren zu integrieren. Als Methoden sind die Finite-Difference Time Domain (FDTD) und die Partial Element Equivalent Circuit (PEEC) zu nennen. Bei diesen Verfahren ist jedoch eine Vielzahl von Unbekannten zu identifizieren, was zu einem großen Rechenaufwand führt. Eine zusätzliche Möglichkeit zur Erstellung von Makromodellen ist das Integrieren des elektromagnetischen Verhaltens passiver Elemente an den Input- und Output-Ports in Schaltungssimulatoren. Diese Methode wird als Black-Box-Modellierung (BBM) bezeichnet. Ein Verfahren der BBM ist das Vektor-Fitting (VF), welches ein lineares Modell, bestehend aus einer Linearkombination von gebrochenrationalen Funktionen, zu Grunde legt. Da passive Systeme mit linearen Modellen (LTI) nachgebildet werden sollen, ist darauf zu achten, dass die Eigenschaften des Modells denen des Systems nachempfunden werden. Demnach sollen die Koeffizienten der Übertragungsfunktion reellwertig sein. Zudem sollte das Modell die Eigenschaft der Passivität erfüllen. Da es bei Nichteinhaltung der Passivität zu nichtstabilen Systemen kommen kann, muss das Modell nach der Modellierung auf Passivität überprüft und gegebenenfalls die Passivität erzwungen werden. Liegt ein passives Modell vor, kann eine SPICE-Netzliste exportiert werden und in die Simulationssoftware eingebunden werden. Durch diese Modellierung lassen sich zeit- und speichereffiziente Simulationen im Zeit- und Frequenzbereich durchführen.

2.10.2 Technische Ergebnisse

Parameterschätzung – Frequenzbereich (Vektor-Fitting)

Das Vektor-Fitting-Verfahren stellt ein zweigeteiltes (Pol- und Residuen-Bestimmung) iteratives Verfahren zur Bestimmung der Parameter der Pol-Residuen-Darstellung

$$H(s) = \sum_{i=1}^N \frac{r_i}{s - p_i} + d_1 s + d_0 \quad (2.10-1)$$

dar, wobei die Residuen r_i , Pole p_i und Durchgriffe erster Ordnung d_1 und nullter Ordnung d_0 zu bestimmen sind [2.10-1; 2.10-2; 2.10-3]. Dieses Verfahren hat den Vorteil, dass bei der Parameterbestimmung ausschließlich lineare Optimierungsmethoden verwendet werden. Des Weiteren zeichnet sich dieses Verfahren durch eine hohe numerische Stabilität aus. Ein Nachteil jedoch ist in der starken Abhängigkeit der Startwerte zu sehen, wobei dies durch die Verwendung von orthonormalen Basen reduziert werden kann. Insbesondere bei einer Mehrfachheit von Polen liefert das so genannte orthonormale Vektor-Fitting eine wesentlich stabilere und akkuratere Identifikation der Parameter [2.10-4]. Weitere Verbesserungen können geeignet gewählte Normierungen der Frequenz und des Frequenzganges ergeben. Hinzukommend ist es sinnvoll den Frequenzgang hinsichtlich der Frequenzachse zu partitionieren, um kleinere gut konditionierte Problemstellungen zu lösen, anstatt eine große Problemstellung bearbeiten zu müssen, die im Allgemeinen eher schlechter konditioniert ist, wodurch sich auch die Geschwindigkeit der Parameteradaption rapide erhöht.

2.10.3 Erzwingen der Passivität – Passivity Enforcement

Im Allgemeinen sind die Modelle, die aus einem Approximationsalgorithmus einhergehen, nicht passiv. D.h., betrachtet man die inverse Laplace-Transformierte der Impulsantwort, so ergibt sich

$$\mathcal{L}^{-1} \left\{ \sum_{i=1}^N \frac{r_i}{s - p_i} \right\} = \sum_{i=1}^N A_i e^{s_i t} = h(t), \quad (2.10-2)$$

wobei $\mathcal{L}^{-1}\{\}$ den Operator zur Berechnung der inversen Laplace-Transformierten darstellt. Es ist somit ersichtlich, damit das System stabil ist, dass alle $\text{Re}\{s_i\} > 0$ sein müssen. Dadurch ist ersichtlich, wie wichtig die Forderung der Passivität einer Impedanz, Admittanz oder eines Streuparameter-Satzes bzgl. des Modells ist. Um die Forderung der Passivität zu erfüllen, ist es ersichtlich, dass für ein passives Eintor die aufgenommene Wirkleistung größer oder gleich Null sein muss. Wird ein N -Tor betrachtet, so muss die Impedanz- oder Admittanzmatrix positiv semidefinit sein. D.h., dass zu jedem Frequenzpunkt die Impedanz- oder Admittanzmatrix positive Eigenwerte oder Eigenwerte gleich Null liefern muss. Bei Z- und Y-Parametern ist das Least-Square-Problem

$$\frac{1}{2} \Delta \mathbf{x} \mathbf{W} \Delta \mathbf{x} - \mathbf{f}^T \Delta \mathbf{x} \quad \text{mit} \quad \mathbf{B} \Delta \mathbf{x} \leq \mathbf{c} \quad (2.10-3)$$

zu lösen [2.10-3; 2.10-5 - 2.10-8]. Dementsprechend können bei nichtpassiven Modellen die Passivität erzwungen werden.

2.10.4 Netzwerksynthese

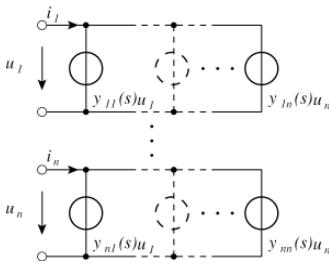


Bild 2.10-1: Netzwerksynthese der Y-Parameter

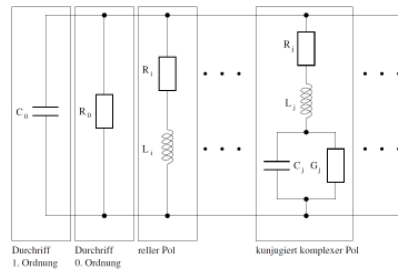


Bild 2.10-2: Synthetisierte Schaltung einer Admittanz $Y_{ij}(s)$

Im Folgenden werde kurz dargelegt wie die Netzwerksynthese erfolgt. Dabei ist zwischen den Impedanz-, Admittanz und Streuparametern zu unterscheiden. Exemplarisch sei die Netzwerksynthese für Y-Parameter dargelegt (siehe [2.10-9; 2.10.10]). Sei \mathbf{Y} eine $n \times n$ -Admittanzmatrix, wodurch sich

$$i = \sum_j Y_{ij}(s)u_j \tag{2.10-4}$$

ergibt. Damit lässt sich die Gleichung sehr einfach nach Bild 2.10-1 in eine elektrische Darstellung überführen. Die Admittanzen $Y_{ij}(s)$ lassen sich, wie in 2.10-2 dargestellt, synthetisieren. Dabei lässt sich der Durchgriff erster Ordnung als Kapazität interpretieren, d.h., es gilt $C_0 = d_1$. Der Widerstand R_0 entspricht dabei dem Reziproken des Durchgriffs 0-ter Ordnung. Für die Netzwerksynthese sind die reellen und konjugiert komplexen Pole zu unterscheiden. Für einen reellen Pol ergibt sich ein RL-Glied, wobei

$$R_i = \frac{-p_i}{r_i} \quad \text{und} \quad L_i = \frac{1}{r_i} \tag{2.10-5}$$

gelten. Für einen konjugiert komplexen Pol ergibt sich ein RLC-Netzwerk nach 2.10-1 wobei sich die Parameter aus den folgenden Gleichungen ergeben:

$$L_j = \frac{1}{2\text{Re}\{r_j\}} \tag{2.10-6}$$

$$R_j = L[-2\text{Re}\{p_j\} + 2(\text{Re}\{r_j\}\text{Re}\{p_j\} + \text{Im}\{r_j\}\text{Im}\{p_j\})] \tag{2.10-7}$$

$$\frac{1}{C_j} = L[\text{Re}^2\{p_j\} + \text{Im}^2\{p_j\} + 2(\text{Re}\{r_j\}\text{Re}\{p_j\} + \text{Im}\{r_j\}\text{Im}\{p_j\})R] \tag{2.10-8}$$

$$G_j = -2CL(\text{Re}\{r_j\}\text{Re}\{p_j\} + \text{Im}\{r_j\}\text{Im}\{p_j\}) \tag{2.10-9}$$

2.10.5 Algorithmus

Aus Daten (Messungen oder Simulationen) wird ein Modell in Pol-Residuen-Darstellung mittels des Vektor-Fitting Verfahrens erstellt. Dabei werden die Daten vorab in kleinere Segmente unterteilt, für die Parameteradaption wichtige Datenpunkte ausgewählt und die Ordnung innerhalb der Segmente geschätzt. Innerhalb dieses Schrittes können Probleme auftreten, da zum Einen die Anzahl der Datenpunkte in Bezug zur Parameterschätzung wohlmöglich recht klein werden kann. Dementsprechend kann eine Neue Segmentierung und Datenauswahl erfolgen, die eine bessere Konditionierung für die Parameterschätzung verspricht. Nachdem die Daten partitioniert, selektiert und für die einzelnen Segmente die Ordnungen geschätzt wurden, können die Parameter bestimmt werden. War die Schätzung nicht akkurat, so können verschiedenen Strategien verfolgt werden.

Die gängigste ist die Erhöhung der Ordnung, die natürlich durchgeführt wird. Jedoch lässt sich in Kombination mit den benachbarten Partitionen eine etwas bessere Strategie erarbeiten. D.h. liefert eine Partition eine nicht verwendbare Approximation, so können die benachbarten Segment-Modelle zusammengesetzt werden und ausschließlich die Residuen neu bestimmt werden. Dies kann schon zu einer Verbesserung führen. Ist dies nicht der Fall, so wird die Ordnung erhöht. Ist die Parameteradaption abgeschlossen so muss überprüft werden, ob das Modell die Eigenschaft der Passivität aufweist. Ist dies der Fall, so kann direkt die Netzwerksynthese erfolgen. Ist die Passivität jedoch nicht erfüllt, muss sie erzwungen werden. Abschließen kann dann die Netzwerksynthese erfolgen.

2.10.6 Anwendungsbeispiele und Verwertung

Im Folgenden sollen verschiedene Beispielschaltungen untersucht werden.

Impedanzverlauf

Für den Partner ZUKEN wurden Teile der vorgestellten Algorithmen in eine C++-Bibliothek übersetzt, die als zusätzliches Feature für ihre Software dienen soll. Diesbezüglich wurde eine Bibliothek von Algorithmen für SISO-Systeme erstellt. Hauptziel hier war es, das Vector Fitting als Reduced-Order-Modelling-Technique zu verwenden. Die folgende Abbildung zeigt exemplarisch Modellierungen mit verschiedener Anzahl von Polen und somit mit einer Reduktion der Parameter.

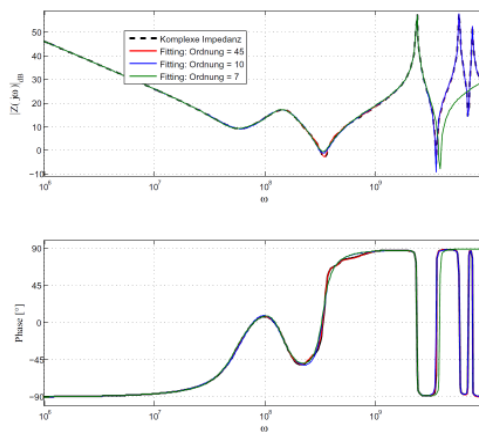


Bild 2.10-3: Gegenüberstellung verschiedener Modelle mit unterschiedlicher Komplexität

Gekoppelte Leitungen

Bild 2.10-4 zeigt eine schematische Darstellung des zu modellierenden Systems. Das System besteht aus 11 Leitungen, wobei diese vielfach gekoppelt sind. Bild 2.10-5 zeigt den direkten Vergleich zwischen dem System (siehe Bild 2.10-4) und dem erstellten Modell.

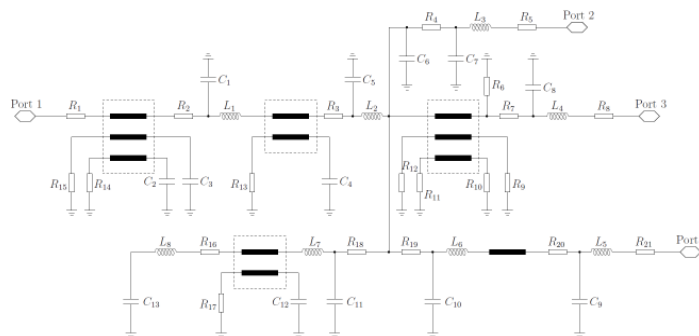


Bild 2.10-4: Schematische Darstellung einer Schaltung mit gekoppelten Leitungen und unterschiedlichen geometrischen Strukturen

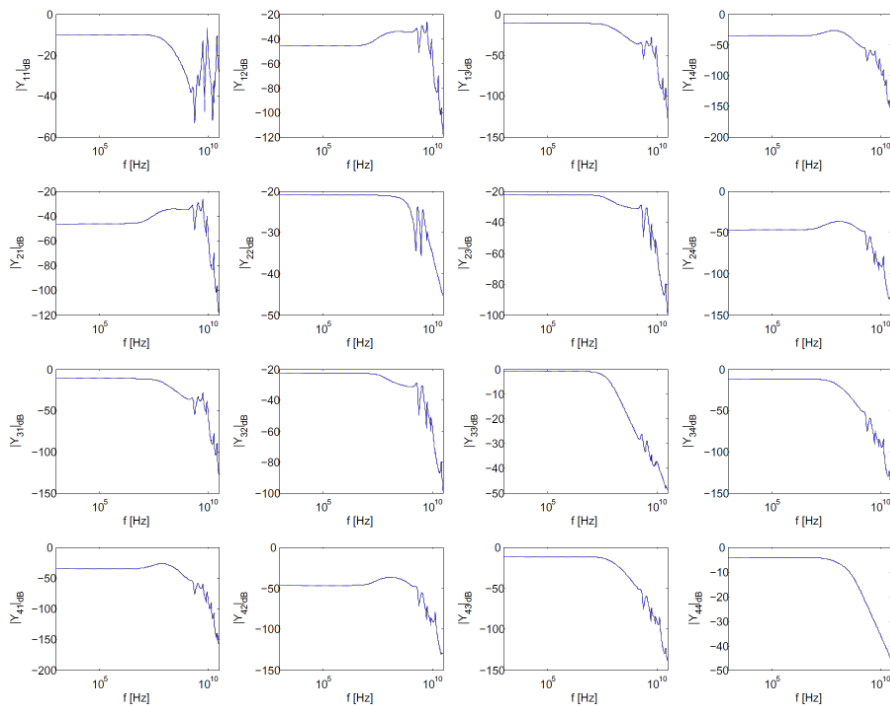


Bild 2.10-5: Vergleich der *wahren* Admittanzmatrix und des mittels Vektor-Fitting und Passivity-Enforcement erstellten Modells

2.10.7 Zusammenfassung (B 2.1.4) Black Box Modellierung – Rationale Übertragungsfunktionen

Im Rahmen des hier bearbeiteten Forschungsthemas wurde ein Modellierungsverfahren für HDI/HDP Systeme erarbeitet, welches sehr effiziente Simulationen im Zeit- und Frequenzbereich ermöglicht. Mit Hilfe dieses Ansatzes lassen sich in ihrer Genauigkeit vergleichbare Simulationen durchführen, jedoch mit einem erheblichen Geschwindigkeitsgewinn. Des Weiteren liefert diese Methodik, die Möglichkeit ein Modell zu Erstellen ohne genaue Kenntnisse der Struktur zu haben. Einzig sollte es als linear betrachtet werden können. Dabei lässt sich dieses Verfahren trotz dieser Einschränkungen auf verschiedenste Systeme anwenden, wodurch sich die Bedeutung klar ablesen lässt.

2.10.8 Literatur - Black Box Modellierung – Rationale Übertragungsfunktionen

- [2.10-1] B. Gustavsen and A. Semlyen; *Rational Approximation of Frequency Domain Responses by Vector Fitting*; IEEE Transactions on Power Delivery; 14(3):1052–1061, Jul 1999
- [2.10-2] B. Gustavsen and A. Semlyen; *Simulation of transmission line transients using vector fitting and modal decomposition*; IEEE Transactions on Power Delivery, 13(2):605–614, Apr 1998
- [2.10-3] Luciano De Tommasi; *Identification of Broadband Passive Macromodels of Electromagnetic Distributed Structures*; PhD thesis, Università degli Studi Napoli Federico II Polo delle Scienze e delle Tecnologie Facoltà di Ingegneria Dipartimento di Ingegneria Elettrica, 2006
- [2.10-4] D. Deschrijver and T. Dhaene; *Parametric identification of frequency domain systems using orthonormal rational bases*; 14th IFAC Symposium on System Identification, 14:837 – 842, 2006
- [2.10-5] B. Gustavsen; *Enforcing Passivity for Admittance Matrices Approximated by Rational Functions*; IEEE Transactions on Power Systems, 16(1):97 – 104, Feb. 2001
- [2.10-6] D. Saraswat, R. Achar, and M. Nakhla; *Global Passivity Enforcement Algorithm for Macromodels of Interconnect Subnetworks Characterized by Tabulated Data*; IEEE Trans. VLSI Syst, 13(7):819–832, 2005

- [2.10-7] P. Benner; *A New Test for Passivity of Descriptor Systems*; Joint work with Delin Chu - (National University of Singapore); Regelungstheorie 2005; Mathematisches Forschungsinstitut Oberwolfach (27.2.- 4.3.2005)
- [2.10-8] P. Ioannou and Gang Tao; *Frequency Domain Conditions for Strictly Positive Real Functions*; IEEE Transactions on Automatic Control, 32(1):53–54, Jan 1987
- [2.10-9] Joong-Ho Kim; *Modeling of Package and Board Power Distribution Networks Using Transmission Matrix and Macro-modeling Methods*; PhD Thesis, Georgia Institute of Technology, 2002
- [2.10-10] Nanju Na; *Modeling and Simulation of Planes in Electronic Packages*; PhD Thesis, Georgia Institute of Technology, 2001

Modellierung der Signalintegrität von Taktsignalen – Phasenregelkreis (Phase-Locked Loop)

2.10.9 Einleitung – Ziele der F+E Arbeiten

Im Folgenden werden einige Konzepte sowie lineare Modellierungsansätze der Phasenregelkreise dargelegt, welche innerhalb verschiedener Programme umgesetzt wurden, um die Integrität der Taktsignale und das Verhalten der Phasenregelkreise zu charakterisieren und zu untersuchen.

2.10.10 Technische Ergebnisse

Aufbau eines Phasenregelkreises

Generell besteht ein Phasenregelkreis mit Charge-Pump (CP-PLL) aus fünf Funktionsgruppen, dem Phasen-Frequenz-Detektor (PFD), dem Charge-Pump (CP), dem Schleifen-Filter (LF), dem spannungsgesteuerten Oszillator (VCO) und einem Teiler. Bild 2.10-6 zeigt den schematischen Aufbau eines solchen CP-PLLs [2.10-11 – 2.10-14].

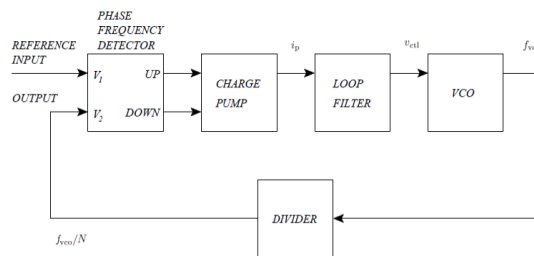


Bild 2.10-6: Schematischer Aufbau eines Phasenregelkreises mit Charge-Pump (CP-PLL)

Folgend seien ausschließlich der PFD genauer dargelegt, da sie für die folgenden Betrachtungen von eminenter Bedeutung sind. Der PFD hat die Aufgabe bezüglich des Phasenfehlers (Frequenzfehlers) zwischen dem Eingangs- und Ausgangssignal Proportionale Steuersignale zu liefern. Die verwendete Architektur sowie der zugehörige Zustandsgraph sind in Bild 2.10-7 dargestellt. Die Zustände sind über die Ausgänge UP und DN definiert. Dabei wird ein Wechsel durch ein Event (eine steigende/fallende Flanke) eines der Eingangssignale des PFDs hervorgerufen. Befindet sich der PFD im Anfangszustand Null und das Referenzsignal weist ein Event am Eingangs auf, so wird der Zustand 1 erreicht, erfolgt hingegen eine steigende/fallende Flanke des VCO-Signals, so wird in den Zustand -1 gewechselt. Je nach dem in welchem Zustand gewechselt wird, wird der VCO beschleunigt oder verlangsamt.

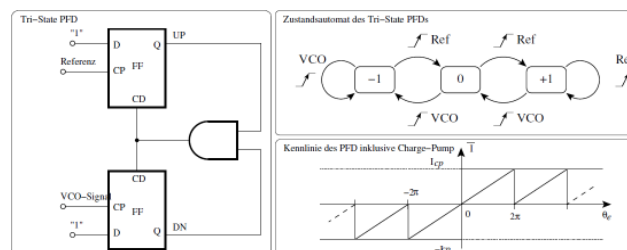


Bild 2.10-7: Schaltung, Zustandsautomat und charakteristische Kennlinie des Tri-Sate-PFD

Sofern der Phasenfehler des Referenz- und des Ausgangssignals zwischen $\pm 2\pi$ liegt, bezeichnet man den Regelkreis als *eingerstet* (*gelockt*). D.h., der PFD kann als lineares Bauelement angesehen werden (siehe Kennlinie Bild 2.10-7). Die Funktionsweise des Phasenregelkreises lässt sich einfach darlegen. Die periodische Eingangsspannung (Referenzsignal) wird mit der ebenfalls periodischen Ausgangsspannung durch den PFD verglichen und liefert zwei digitale Signale (UP- und DN-Signal), die den Charge-Pump und somit den Strom i_p steuern, der in den Schleifen-Filter eingespeist wird. Das Filter liefert seinerseits eine Spannung (Stellgröße), die den VCO treibt. Der VCO generiert bezüglich der Spannung ein proportionales Signal u_{VCO} der Frequenz f_{VCO} . Abschließend wird die Frequenz des Signals durch einen Faktor N dividiert und es entsteht das periodische Ausgangssignal u_{out} .

Lineare Approximation und die Übertragungsfunktionen bzgl. verschiedenster Rauschquellen

Jitter und Phasenrauschen beschreiben grundsätzlich den gleichen Vorgang, jedoch ist Jitter ein reines Zeitbereichskonzept, was im Frequenzbereich als Phasenrauschen bezeichnet wird. Dabei beschreibt Jitter die Kurzzeitstabilität eines Signals. Im Folgenden sei aufgrund der Beziehung von Jitter und Phasenrauschen einzig die Analyse im Frequenzbereich dargelegt. Ist der Phasenfehler der Eingangssignale des PFDs zwischen $\pm 2\pi$, so lässt sich das lineare Rausch-Modell des Phasenregelkreises gemäß [2.10-7 – 2.10-15] erstellen. Mit Hilfe dieser Übertragungsfunktionen lassen sich wichtige Designregel, sowie Charakterisierungen erarbeiten, wobei einige davon nachfolgend genauer erörtert werden.

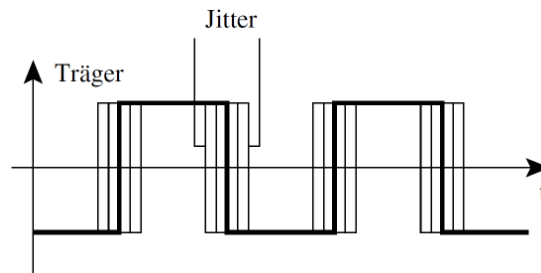


Bild 2.10-8: Jitter (wie auch Phasenrauschen) beschreibt die Kurzzeitstabilität eines Signals

Dynamisches und logisches Verhalten

Es lässt sich zeigen, dass das lineare Modell mit dem nichtlinearen Modell im Mittel übereinstimmt [2.10-16], wobei durch das Linearisieren natürlicherweise Informationen verloren gehen (siehe Bild 2.10-9). Es ist ersichtlich, dass bei einer CP-PLL zweiter Ordnung die Peaks gerade der Spannung entsprechen, die am Widerstand abfällt. Dadurch liefert das nichtlineare Modell gerade die Inneren Zustände des PFD.

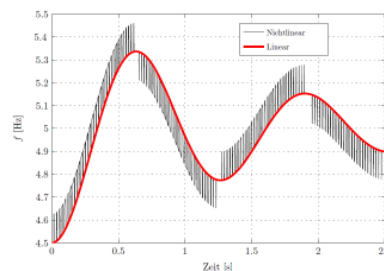


Bild 2.10-9: Vergleich des linearen und nichtlinearen Modells im eingeregten Zustand

Neben der Logik, die sich im Bild 2.10-9 durch so genannte Peaks repräsentiert, geht gerade die Information verloren, welche den Bereich charakterisiert, wo der Phasenregelkreis einen Phasenfehler betragsmäßig größer 2π aufweist. Eine genauere Untersuchung bzgl. des logischen und dynamischen Verhaltens wird während der Herleitung und Erläuterung des Integritätsdetektors noch folgen.

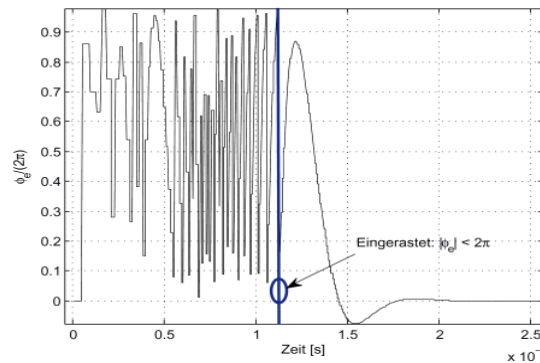


Bild 2.10-10: Phasenfehler und Einrastzeitpunkt eines Phasenregelkreises

Modellierung – Ereignisgesteuerte Modelle

Die Grundidee der ereignisgesteuerten Modellierung ist die Diskretisierung der nichtlinearen Phasengleichung des Phasenregelkreises bezüglich eines Ereignisses des PFDs [2.10-18 – 2.10-21]. Es ist ersichtlich, dass diese Diskretisierung nicht äquidistant sein kann, da das Modell ausschließlich zu den Zeitpunkten eine Berechnung durchführt, an denen eine fallende (steigende) Flanke des Eingangssignals oder des VCO-Signals vorliegt. Mit dieser Modellierung ist es nicht erforderlich eine Differentialgleichung lösen zu müssen. Es ist lediglich eine Differenzgleichung zu bestimmen. Es wird sich jedoch zeigen, dass für Regelkreise höherer Ordnung (> 2) eine transzendente Gleichung entsteht, wobei dann die Lösung mittels geeigneter nichtlinearer Optimierungsmethoden gelöst/approximiert werden muss. Jeder der PLL-Funktionsblöcke muss geeignet behandelt werden, damit sich ein ereignisgesteuertes Modell implementieren lässt. Dabei kann das Eingangs- oder auch Referenzsignal als VCO-Ausgangssignal modelliert werden, im Grunde genau wie es bei dem Schleifen-VCO durchgeführt wird. Es ergibt sich die Phasengleichung

$$\varphi(t + \Delta t) = \varphi(t) + 2\pi \int_t^{t+\Delta t} (K_{VCO} u_{ctl}(\tau) + f_0) d\tau \quad (2.10-10)$$

Die Diskretisierung der Phasengleichung des Eingangssoszillators ist

$$\varphi_r(t_{n+1}) = \varphi_r(t_n) + 2\pi f_r(t_{n+1} - t_n), \quad (2.10-11)$$

wobei die Kontrollspannung zu $u_{ctl} = 0$ gesetzt wurde. Wird die fallende Flanke als Ereignis definiert, so ergibt sich $\varphi_r(t_{n+1}) = 2\pi$ und durch einfache Umformungen kann

$$t_{n+1} = t_n + \frac{1 - \frac{\varphi_r(t_n)}{2\pi}}{f_r} \quad (2.10-12)$$

aufgestellt werden. Die Modellierung des Ausgangsphasensignals ist je nach Schleifen-Filter recht kompliziert, da sich der Strom i_p aufteilt und somit die Differentialgleichung (en) zu den Teilströmen i_i integriert und diskretisiert werden müssen. D.h., es ergibt sich für die Spannungen über der i -ten Kapazität

$$u_{C_i}(t + \Delta t) = u_{C_i}(t) + 2\pi \int_t^{t+\Delta t} i_i(\tau) d\tau \quad (2.10-13)$$

Durch das Lösen des Differentialgleichungssystems der Ströme und das Einsetzen (und Diskretisieren) in die Phasengleichung ergibt sich ein Gleichungssystem, welches die Spannungen über den Kapazitäten bestimmt.

Hinzukommend ergibt sich die Gleichung

$$\varphi(t + \Delta t) = \varphi(t) + \varphi_{Filter}(t) \tag{2.10-14}$$

wobei diese im Allgemeinen nicht affin ist. Dies bedeutet, dass nichtlineare Optimierungsmethoden verwendet werden müssen, damit t_{n+1} berechnet / approximiert werden kann. Es ist Zweckmäßig die Lösungen des Differentialgleichungssystems der Ströme zweimal zu integrieren, um die Stammfunktionen für die Spannungen und Phasen zu erhalten. Sind die Zeitpunkte der Ereignisse des Schleifen-VCOs und des Referenzsignals bestimmt, so muss noch geklärt werden, welcher der beide Zeitpunkt eher war und die Ereigniszeit ergibt sich zu

$$t_{event} = \min\{t_{n+1}^{OUT}, t_{n+1}^{IN}\} \tag{2.10-15}$$

Abschließend wird mittels der logischen Vorschrift des PFDs der neue Zustand bestimmt und damit dann auch die weiteren Berechnungen der Phase, Spannung und Frequenz. Mittels dieser Modellierung eines Phasenregelkreises ergibt sich Geschwindigkeitsgewinn um den Faktor $p > 100$, da ausschließlich die Berechnungen zum Zeitpunkt des Events bestimmt werden müssen.

2.10.11 Anwendungsbeispiele und Verwertung

Konzeption und Implementierung des Integritätsdetektors

Im Allgemeinen wird für die Analyse eines Phasenregelkreises fast ausschließlich die analoge (lineare Approximation) Betrachtung herangezogen. Damit lassen sich der Lock-Prozess oder die Lock-Zeit nicht bestimmen. Häufig wird zwar von der aus der linearen Betrachtung gewonnenen Lock-Zeit (oder Settling-Zeit) gesprochen (siehe dazu [2.10-49]). Die Problematik der Begrifflichkeit ergibt sich dabei aus den verschiedenen Gesichtspunkten. D.h. ob ein System eingerastet (geloct) ist, oder ob zwei Signale gelockt sind. Da sich der Lockzeitpunkt ausschließlich aus dem nichtlinearen Modell ergibt, wurde ein Konzept zur Detektion des Lock-Zeitpunktes erarbeitet. Dabei stellt der PFD (Tri-State-PFD) die Basis für das Verfahren dar, da diese Struktur die Logik des Systems beinhaltet. Dieses Konzept ist als Kernstück für einen Integritätsdetektor für CP-PLLs mit Tri-State-PFD zu sehen, da dieser feststellt, ob das Ausgangssignals vertrauenswürdig (geloct) oder nicht vertrauenswürdig (nicht gelockt) ist. Vorangestellt sei jedoch eine kurze Darlegung des unvorhersagbaren Verhaltens bzgl. Variationen verschiedene Parameter. Dies hat den Zweck, zu zeigen, dass der Prozess des Einrastens (Lock-In-Prozess) stark von initialen Werten der Phasen, Spannungen und dem inneren Zustand des PFDs, sowie sämtlicher Anfangsbedingungen der jeweiligen Funktionsblöcke abhängt.

□ Einfluss der initialen Phasen der Oszillatoren auf das Overshoot-Verhalten

Innerhalb dieses Abschnittes sei ein Phasenregelkreis der Ordnung drei realisiert. Dabei wird das Eingangssignal mittels eines VCOs modelliert und wird als Referenz-VCO bezeichnet. Bild 2.10-11(a) und Bild 2.10-11(b) zeigen die Abhängigkeiten der Anfangs-Phasen des Referenz- und des Schleifen-VCOs aufgetragen gegen das Überschwingen der Kontrollspannung des Schleifen-VCOs. Es zeigt sich, dass das Verhalten bezüglich der Anfangswerte hochgradig nichtlinear und unvorhersagbar ist.

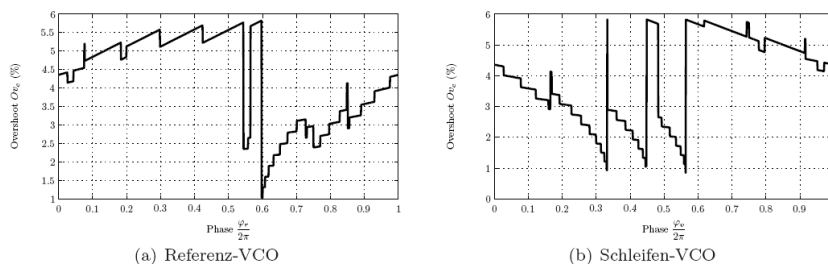


Bild 2.10-11: Einfluss der Initialen Phasen des Referenz-VCOs und des Schleifen-VCO

□ Einfluss der initialen Spannung am Eingang des VCO

Werden die Variationen des Dämpfungsbeiwertes ζ und der Eingangsspannung des VCOs in Bezug zur Einrastzeit gesetzt, so lässt sich feststellen, dass sich ein exakter formaler Zusammenhang auch hier nicht herleiten lässt.

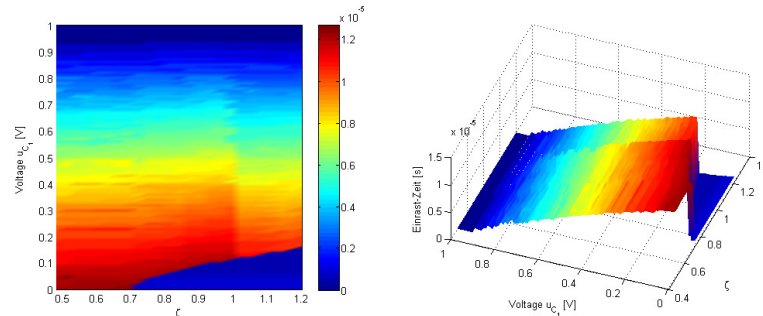


Bild 2.10-12: Abhängigkeit der wahren Einrast-Zeit bezüglich der Parameter ζ und deringangsspannung über dem Ausgangsschleifenkondensator.

In Bild 2.10-12 ist das Resultat dargestellt. Dabei wurden über 100.000 Simulationen durchgeführt. Nachdem einige wichtige Untersuchungen zeigen konnten, dass der Regelkreis bezüglich verschiedenster Parameter ein hochgradig nichtlineares und unvorhersagbares Verhalten aufweist, soll im Folgenden das bereits erwähnte Konzept des Integritätsdetektors (Lock-Detektors) dargelegt werden. Die Entscheidung, ob ein Taktsignal nun vertrauenswürdig ist, führt zu der Untersuchung, ob der Regelkreis eingerastet ist oder nicht. Da das Verfahren auf Basis der Logik und auf der Detektion des Überschwingens basiert, ist darauf zu achten, dass ein Overshoot auch entsteht. Das Überschwingen ist direkt verbunden mit dem Dämpfungsbeiwert. Da dieser im Allgemeinen zwischen 0 und 1 gewählt wird, liefert dann der Regelkreis immer einen Overshoot. Für den Fall, dass aber kein Überschwingen detektierbar ist, kann eine Skalierung des Widerstandes den Dämpfungsbeiwert ζ so beeinflussen, dass der Algorithmus anwendbar ist. Zudem bietet es die Möglichkeit die Bandbreite so zu skalieren wie es benötigt wird. Als Basis der Einrast-Detektion dienen charakteristische Sequenzen, die der PFD erzeugt.

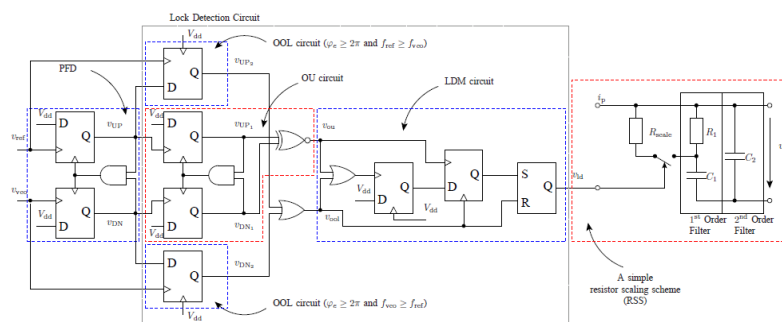


Bild 2.10-13: Schematische Darstellung des Lock-Detektors für CP-PLL-Systeme mit PFD

2.10.12 Literatur - Modellierung der Signalintegrität von Taktsignalen

- [2.10-11] Roland E. Best; *Phase-Locked Loops - Design, Simulation and Application*; McGraw-Hill, 2004.
- [2.10-12] William F. Egan; *Phase-Lock Basics*; John Wiley And Sons, Inc, 1998
- [2.10-13] Michiel Steyaert, Arthur H. M. van Roermund, and Herman Casier; *Analog Circuit Design High-speed Clock and Data Recovery, High-performance Amplifiers, Power Management*; Springer, 2009
- [2.10-14] Keliu Shu and Edgar Sanchez-Sinencio; *CMOS PLL Synthesizers: Analysis and Design*. Springer; 2005
- [2.10-15] T.H. Lee and A. Hajimiri; *Oscillator phase noise: a tutorial*; *Solid-State Circuits, IEEE Journal of*, 35(3):326–336, Mar 2000
- [2.10-16] F. Gardner. Charge-pump phase-lock loops; *IEEE Transactions on Communications [legacy, pre - 1988]*; 28(11):1849–1858, Nov 1980
- [2.10-17] SALEH R. AL-ARAJI, ZAHIR M. HUSSAIN, and MAHMOUD A. AL-QUTAYRI; *Digital Phase Lock Loops - Architectures and Applications*; Springer, 2006
- [2.10-18] C. D. Hedayat, A. Hachem, Y. Leduc, and G. Benbassat; *High-level modeling applied to the second-order charge-pump pll circuit*; *Texas Instruments Technical Journal*, 14, 1997
- [2.10-19] Christian D. Hedayat, Ahmed Hachem, Yves Leduc, and Gerard Benbassat; *Modeling and characterization of the 3 super(rd) order charge-pump pll: A fully event-driven approach*; *Analog Integrated Circuits and Signal Processing*, 19:24–45, 1999.
- [2.10-20] Brian Daniels, Ronan Farrell, and Gerard Baldwin; *Arbitrary order charge approximation event driven phase lock loop model*; *ISSC 2004*, 2004.
- [2.10-21] P. Acco, M.P. Kennedy, C. Mira, B. Morley, and B. Frigyik; *Behavioral modeling of charge pump phase locked loops*; *ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Circuits and Systems*, 1:375–378 vol.1, Jul 1999

Susceptibility von Smart Power IC

Modellierung der Störfestigkeit von Smart-Power-IC gegenüber EMI und Puls-Stress (Kooperation mit Infineon Technologies AG)

2.10.13 Einleitung

Die Modellierung der Störfestigkeit von Smart-Power-ICs gegenüber EMI und Pulsbelastung ist besonders herausfordernd, weil einerseits die Störsignale sehr schnell und hochenergetisch sind, und andererseits – wegen der oft stark miteinander koppelnden Schaltungsteile – keine Teile des ICs von vornherein als irrelevant ausgeblendet werden können. Dies macht es im Prinzip nötig, sowohl den gesamten IC zu modellieren – einschließlich der relevanten Parasiten – als auch komplexe, transiente Hochstrommodelle für die enthaltenen Bauelemente zu verwenden. Allerdings führt diese Vorgehensweise zu unakzeptabel langen Simulationszeiten und Konvergenzproblemen. Um dennoch modular arbeiten zu können und einen effizienten Entwurfsablauf zu erreichen, wurde im Projekt MESDIE ein Verfahren entwickelt, das den Gesamtschaltplan eines IC mittels einer worst-case-Analyse auf jene Schaltungsteile vereinfacht, die bei einer ESD-Störung möglicherweise geschädigt werden, bzw. die bei diesem Schädigungsereignis am Verhalten der Schaltung maßgeblich beteiligt sind – die sogenannte reduzierte Schaltung. Diese worst-case-Analyse kann dem Entwickler bereits erste wertvolle Hinweise geben, macht es aber im Allgemeinen dennoch nötig, die verbleibenden Schaltungsteile einer detaillierten transienten Analyse zu unterziehen, insbesondere bei Mehrfachpulsen oder bei EMI typischen Wechselsignalen. Für diese transiente Simulation besteht aus heutiger Sicht vor allem folgende Herausforderung:

Bei der detaillierten transienten Simulation können weder die Standardmodelle verwendet werden, die für die jeweilige Technologie zur Verfügung stehen, noch sind ausgefeilte, transiente Hochstrommodelle praktikabel, die das gesamte Verhalten der beteiligten Bauelemente und Parasiten möglichst exakt beschreiben. Die Standardmodelle gelten nur für den sicheren Betriebsbereich (engl. safe operating area, SOA), können also eine Überlastung und die dort stattfindenden transienten Vorgänge nicht beschreiben. Exakte Hochstrommodelle für alle Bauelemente führen hingegen zu langen Simulationszeiten und können auch nur jeweils eine bestimmte Ausfallart modellieren, wohingegen in der Entwurfsphase bzw. in der späteren Anwendung auch unterschiedliche Ausfallarten bei ähnlichen Belastungen auftreten können. Daher ist es dringend erforderlich, für solche Analysen spezielle Bauelementmodelle zur Verfügung zu stellen, die die nötige Genauigkeit für die betrachteten transienten Hochstromvorgänge aufweisen, aber auch genügend effizient sind, um mehrere ähnlich empfindliche Ausfälle innerhalb einer worst-case-Betrachtung detektieren können.

Schließlich ist es im Sinne eines effizienten Entwurfsablaufs wichtig, diese Analyse so weit wie möglich zu automatisieren. Im Falle der ESD-Belastung ist durch die einschlägigen Normen eine Vielzahl zu testender Kombinationen vorgeschrieben, die in einem virtuellen ESD-Test automatisch auszuwählen und zu prüfen wären. Bereits ein virtueller ESD-Test auf der Ebene der oben genannten worst-case-Analyse würde hier eine wesentliche Effizienzsteigerung im Sinne des Top-Down-Ansatzes des Gesamtprojektes bedeuten.

Ziel der F+E Arbeiten

Ziel des Projekts war es einen Algorithmus zu entwickeln, der es ermöglicht, die Robustheit eines ICs gegenüber transienten Störpulsen abzuschätzen, sobald ein Schaltplan vorliegt. Hierbei sollte es möglich sein, sowohl die Schutzstrukturen, die sich üblicherweise an den Ein- und Ausgängen des ICs befinden, als auch Parasiten, die z.B. über back annotation extrahiert wurden, angemessen zu berücksichtigen. Auf diese Weise sollte der Algorithmus in der Lage sein, das Verhalten des gesamten IC während eines Störereignisses – also z.B. eines ESD Pulses – vorherzusagen.

Einer transienten Simulation haben hierzu eine worst-case-Analyse und eine erhebliche Vereinfachung des Schaltplans vorausgehen, um die Simulationszeit auf akzeptable Werte zu verkürzen. Für die transiente Simulation selbst waren Modelle entwickelt, die einerseits für die betrachteten Situationen ausreichend exakt sind, aber auf der anderen Seite so kompakt und effizient, dass sie bei dem zu erwartenden Simulationsumfang eine praxistaugliche Simulationszeit und Konvergenz gewährleisten können. Um keine relevanten Fehlerquellen zu übersehen, war besonderes Augenmerk auf die Erfassung des jeweils ungünstigsten Falles (worst case) und möglicher Mehrfachausfälle zu legen. Der zu entwickelnde Algorithmus sollte in ein kommerzielles Simulationswerkzeug implementiert und anhand von Beispielfällen und experimentellen Daten verifiziert und bewertet werden.

Um dem Entwickler effizient die wesentlichen Problemstellen aufzuzeigen, mußte die Implementierung so erfolgen, dass zumindest die worst-case-Analyse für die in den einschlägigen Normen geforderten Pin-Kombinationen automatisiert erfolgt (virtueller ESD-Test).

2.10.14 Technische Ergebnisse

Theoretische Überlegungen

Unter normalen Arbeitsbedingungen wird der Stromfluss innerhalb eines Bipolar-Transistors von der Elektronenstromdichte J_n dominiert.

$$J_n = J_s \left[\exp\left(\frac{qV_{bc}}{kT}\right) - \exp\left(\frac{qV_{be}}{kT}\right) \right] \quad [2.10-22]$$

V_{bc} und V_{be} sind dabei die Basis-Kollektor bzw. die Basis-Emitter Spannungen, k die Boltzmann Konstante, T die Temperatur und q die Elementarladung eines Elektrons. J_s repräsentiert die Sättigungstromdichte, welche im Wesentlichen von Technologieparametern abhängt.

Unter normalen Arbeitsbedingungen wird der Term $e^{(qV_{bc}/kT)}$ sehr viel kleiner als der zweite Term, so dass sich der Kollektorstrom wie folgt zusammensetzt:

$$I_C = I_S \cdot \exp\left(\frac{qV_{be}}{kT}\right) \quad (V_{CE} \text{ ist konstant})$$

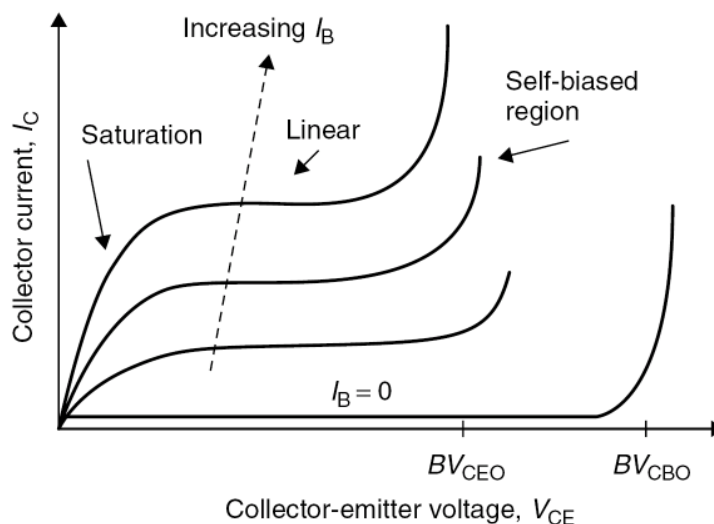


Bild 2.10-14: Kollektorstrom I_C als Funktion der Kollektor-Emitter-Spannung V_{CE} in Abhängigkeit des Basisstroms I_B [2.10-22]

In 2.10-14 ist der Verlauf des Kollektorstroms gegenüber der Kollektor-Emitter Spannung dargestellt. Für $I_B=0$ ergibt sich der Stromfluss durch den in Rückwärtsrichtung betriebenen Kollektor-Basis pn-Übergang. Die sich somit ergebende Kollektor-Emitter Durchbruchsspannung wird als BV_{CBO} bezeichnet. Wenn I_B größer als 0 ist, ist die Kollektor-Emitter Durchbruchsspannung gleich BV_{CEO} , welche geringer ist als BV_{CBO} .

Dieser Effekt muß durch die Simulationsmodelle, welche für die ESD-Schaltungssimulationen verwendet werden, wiedergegeben werden.

Assertion basierte Modellierung

Eine Möglichkeit einer intelligenten Verifikationsstrategie stellt der Einsatz von Assertions dar. Dabei werden Verifikationsanweisungen bzw. -bedingungen bereits innerhalb der Simulationsmodelle definiert und während der Simulation ständig ausgewertet. Der Schaltungssimulator Cadence® Spectre unterstützt Assertions, so dass es möglich ist z.B. Strom- oder Spannungsbedingungen zur Laufzeit der Simulation auszuwerten.

Hierarchische Pfadsuche/Modellerweiterung

In modernen Entwicklungsumgebungen zum Design integrierter Schaltkreise werden zusätzlich zu den Hierarchieebenen des Schaltplans hierarchische Simulationsmodelle (Subcircuits) verwendet, um z.B. parasitäre Effekte modellieren zu können (siehe Bild 2.10-15). Weiterhin können Subcircuits ineinander verschachtelt werden, so dass dabei komplexe Strukturen entstehen können. Da in den SPICE-Hierarchieebenen ebenfalls Verzweigungen des Strompfades auftreten können (z.B. durch kapazitive Kopplung), muß die Strompfadanalyse auf die Ebene der Subcircuits erweitert werden.

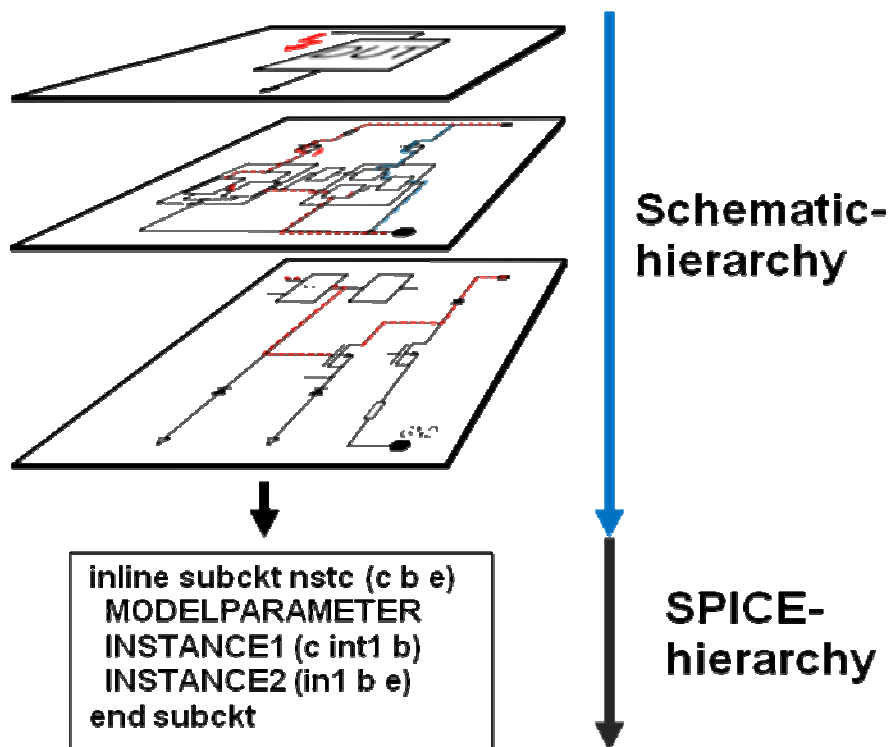


Bild 2.10-15: Hierarchieebene des Schaltplans und der SPICE-Simulationsmodelle

Um Überlastungen von Bauelementen detektieren zu können, wurden die Standardsimulationsmodelle um Strom- bzw. Spannungswarnungen erweitert. Aufgrund besserer Wartbarkeit und einfacherer Automatisierung, wurden diese Sensorelemente in einer Hierarchieebene oberhalb der Standardsimulationsmodelle platziert. Ein Beispielmodell ist in Bild 2.10-16 dargestellt. Die Top-Level Ebene wird dabei über die Terminals Term1Top bis Term4Top angeschlossen. Darin eingebettet sind Bauelemente zur Durchbruchmodellierung (Zenerdioden und Sensorelemente), sowie das LV-NMOS Standard-Simulationsmodell. Die Hauptinstanz LV-NMOS kann dabei wiederum als SPICE Subcircuit implementiert sein und würde somit eine weitere SPICE Hierarchieebene darstellen.

In diesem Beispiel sind die Terminals auf dem Subcircuit Level 1 direkt mit der Top-Ebene verbunden. In SPICE Subcircuits können Parameter von Instanzen in oberen auf Instanzen unteren Hierarchieebenen weitergegeben werden. Somit ist diese Art der Modellierung eine geeignete Möglichkeit parametrisierte Simulationsmodelle zu definieren.

Da SPICE-Simulationsmodelle in ASCII-Dateien abgelegt werden, wurde eine effiziente Methode implementiert, um auf die Struktur der Simulationsmodelle abzubilden. Das Parsen der ASCII-Dateien während der Strompfadanalyse würde mehrfach wiederholt werden müssen und wäre somit bei großen Schaltkreisen nicht praktikabel. Um diese Problem zum umgehen wird am Anfang einer Simulation eine Datenbank erstellt, in der die Struktur der SPICE-Subcircuits gespeichert wird.

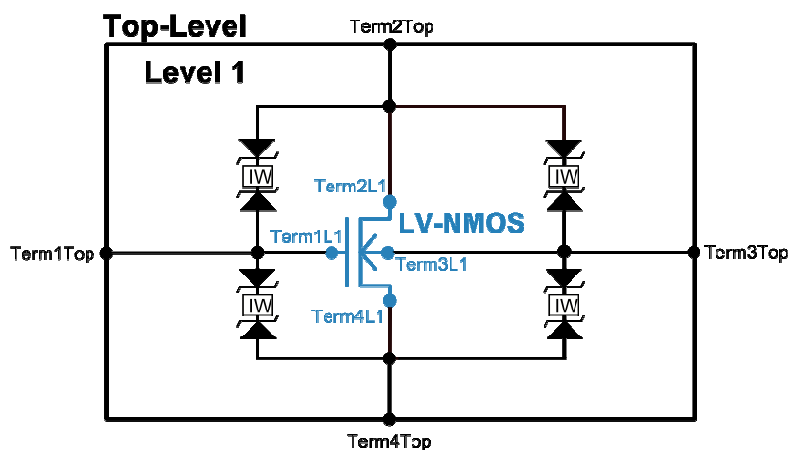


Bild 2.10-16: Subcircuit Modell bestehend aus Standardmodell und Strom- bzw. Spannungssensorelementen

Hierarchischer Design-Flow

Um den Anforderungen während des Designs komplexer Mixed-Signal IC gewachsen zu sein, arbeiten mehrere Design-Teams parallel an verschiedenen Schaltungsblöcken innerhalb eines Top-Down Design-Flows. Der Top-Down Design-Flow startet mit der Definition des ICs auf Blockschaltbildebene gefolgt von Simulations- und Optimierungsschritten mittels Mixed-Signal-HDL (Hardware Description Language). Von diesen Simulationen mit hohem Abstraktionsgrad werden die Anforderungen an einzelne Blöcke verfeinert. Danach werden die Schaltpläne der verschiedenen Blöcke entworfen, so dass die abgeleiteten Spezifikationen erfüllt werden. Dazu werden wiederum Verifikationsmaßnahmen durchgeführt. Im Anschluß daran wird der integrierte Schaltkreis entflechtet und die Einhaltung der anfangs definierten Spezifikationen wiederum durch Schaltungssimulationen überprüft [2.10-24].

Das Cadence® Design Framework II unterstützt einen Top-Down Design-Flow durch die Bereitstellung bestimmter Designwerkzeuge. Eine wichtige Rolle spielt dabei die Steuerung des Netlisting-Prozesses über sogenannte switch- und stop-Listen. Die Cadence® Bibliotheksstruktur innerhalb des Design Frameworks orientiert sich am UNIX Dateisystem. Eine Bibliothek kann sowohl Dateien als auch Verzeichnisse beinhalten. Die Unterverzeichnisse werden als Cells bezeichnet. Cells können wiederum Dateien oder Verzeichnisse beinhalten. Die Unterverzeichnisse einer Cell werden als Views bezeichnet. In Bild 2.10-17 ist die Cadence® Bibliotheksstruktur (links) dem Unix Dateisystem (rechts) gegenübergestellt. Jeder Bibliothek sind dabei verschiedene Cells zugeordnet und jede Cell kann verschiedene Views beinhalten. Cells beschreiben einzelne Blöcke eines integrierten Schaltkreises oder sogar den kompletten IC. In den einzelnen Views einer Cell können verschiedene Beschreibungen der Cell abgelegt werden (z.B. VHDL, VERILOG, SPECTRE). Durch einfaches Definieren der zu verwendenden Views, kann somit der Abstraktionsgrad einer Simulation während der unterschiedlichen Phasen im Entwicklungsablauf ausgewählt werden.

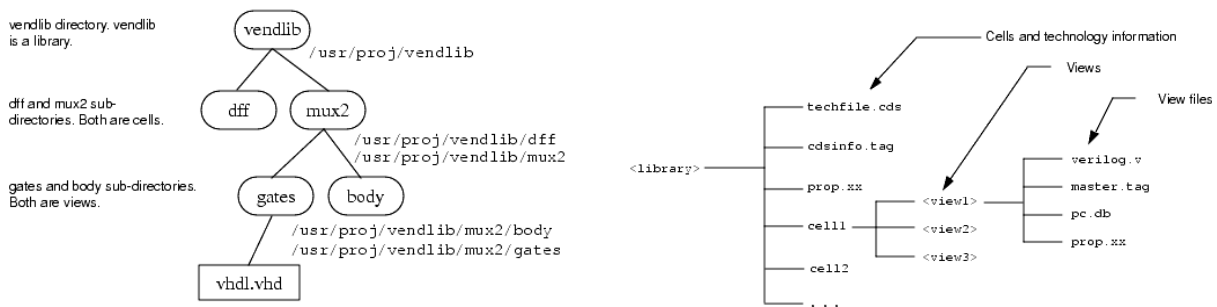


Bild 2.10-17: Cadence® Bibliotheksstruktur – Library => Cell => View [2.10-23]

Innerhalb des Cadence® Design Frameworks werden die Mixed-Signal Simulationen durch das Analog Design Environment (ADE) gesteuert. In diesem Werkzeug werden die oben erwähnten switch- und stop-Listen definiert. In der switch-Liste werden alle View-Namen definiert, die während des Netlisting-Prozesses genutzt werden sollen. Die switch-Liste wird dabei von links aus abgearbeitet. Wenn sich ein View-Name einer Instanz in der switch-Liste befindet, aber nicht in der stop-Liste vorhanden ist, ist dies eine hierarchische Instanz und diese wird geöffnet. Ist der View-Name einer Instanz in der switch-Liste und in der stop-Liste enthalten, wird diese Instanz in die Netzliste aufgenommen. Dies ist eine effiziente Art und Weise um den Prozess des Netlisting innerhalb eines hierarchischen Top-Down Design-Flows zu steuern. Das hier entwickelte Analysewerkzeug wird als CLEX (Chip Level ESD eXtraction) bezeichnet und ist aufgrund der oben beschriebenen Eigenschaften geeignet, um in einem modernen Top-Down Entwicklungsablauf zum Design integrierter Schaltkreise eingesetzt zu werden.

2.10.15 Stand der Technik

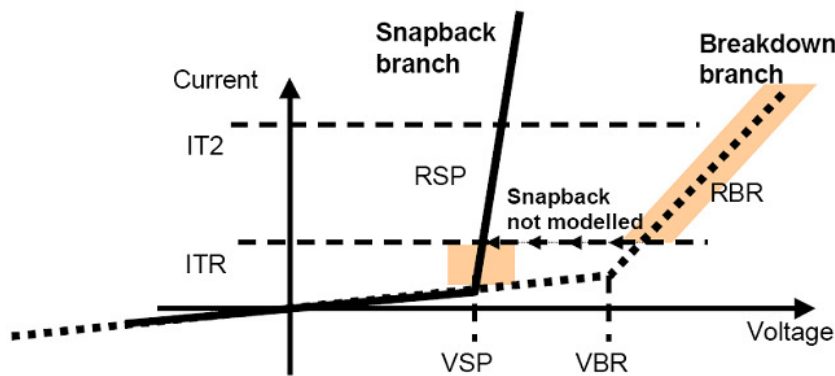
Innerhalb heutiger Entwicklungsabläufe von mixed-signal ICs versuchen Schaltungsentwickler in der Phase der Schaltungsverifikation manuell die Komplexität der Schaltung auf die Blöcke und Bauelemente zu reduzieren, die wahrscheinlich aktiv an der Ableitung des Impulses gegen das Bezugspotential beteiligt sind. Meist werden dabei Simulationsmodelle verwendet, die auf Basis von Erfahrungswerten erstellt wurden. Bei diesem Prozess muss der Schaltungsentwickler detaillierte Kenntnisse der verwendeten Technologie besitzen, um parasitäre Effekte z.B. durch kapazitive Kopplungen berücksichtigen zu können. Außerdem ist es notwendig, dass dabei die gesamte Topologie und Funktionalität des ICs betrachtet wird, um z.B. Schaltungsteile durch vereinfachte Simulationsmodelle ersetzen zu können. Weiterhin können sich die Ausbreitungspfade über mehrere Hierarchieebenen eines komplexen ICs erstrecken, so dass die manuelle Extraktion ein sehr zeitaufwendiger und auch fehleranfälliger Prozess sein kann. In der Literatur sind außerdem folgende Ansätze veröffentlicht:

- In [2.10-25] wird ein zweistufiger Ansatz einer Full-Chip Analyse vorgestellt, bei dem die gesamte Netzliste im ersten Schritt reduziert und anschließend eine Simulation der verkleinerten Netzliste durchgeführt wird. Der Reduktionsalgorithmus analysiert kritische Spannungen in jeder möglichen Schleife zwischen dem gestressten Pin und dem Pin des Bezugspotentials. Danach wird entschieden, ob diese Schleife in dem reduzierten Schaltplan enthalten sein soll oder nicht. Außer den passiven Bauelementen wird jedem Terminalpaar eine kritische Durchbruchsspannung zugeordnet. Nun werden in allen Schleifen zwischen zwei Pins die Durchbruchsspannungen summiert und mit einer vom Nutzer definierten maximalen Spannung verglichen. Diese Spannung stellt die maximale Belastung während des ESD-Impulses dar. Ist die Summe der Spannungen einer Schleife größer als die maximal auftretende Spannung, sind die Bauelemente dieser Schleife nicht gefährdet und diese werden somit nicht in die reduzierte Netzliste aufgenommen. Ist die Summe der Durchbruchsspannungen einer Schleife allerdings geringer als die maximale Spannung, wird angenommen, dass eine potentielle Gefährdung möglich ist und die Bauelemente werden Teil der reduzierten Netzliste.

Nachdem die Größe der Netzliste reduziert wurde, wird eine SPICE-Simulation durchgeführt. Dabei werden Simulationsmodellen verwendet, die das Durchbruchverhalten im ESD-Fall vereinfacht wiedergeben. Hierzu werden zwei Zener-Dioden verwendet, welche mit entgegengesetzten Polarität seriell verschaltet werden (anti-serielle Dioden). Die Durchbruchspannungen z.B. eines p-n Übergangs entsprechen somit den Zenerspannungen der Zener-Dioden.

Nach eigener Aussage ist durch die Vielzahl möglicher Pfade die Anwendbarkeit dieses Verfahrens für Fälle, in denen ein Versorgungsnetz beteiligt ist, stark eingeschränkt. Parasitäre Kapazitäten, Widerstände und Induktivitäten müssen in der beschriebenen Ausbaustufe dieses Verfahrens manuell in die Netzliste eingefügt werden, um den Einfluß z.B. großer Versorgungsnetze wiedergeben zu können.

- Der in [2.10-26] vorgestellte Verifikationsansatz modelliert das Verhalten aller Bauelemente (außer Widerstände) durch stückweise lineare Kennlinien. Dabei existiert ein ein Parametersatz für den Fall des Durchbruchs und ein anderer für den Fall des Snapbacks (Bild 2.10-18). Anschließend werden DC-Simulationen von allen möglichen Kombinationen dieser Kennlinien durchgeführt und die physikalisch nicht sinnvollen Ergebnisse verworfen. Durch das Vermeiden der Modellierung des negativen Widerstandes im Falle des Snapbacks, sinkt die Anzahl der Gleichungen zur Lösung der DC-Simulation erheblich und eine stabile und schnelle Analyse wird möglich [2.10-27].



Parameter	Description
<i>VBR</i>	breakdown voltage
<i>RBR</i>	differential resistance in breakdown
<i>ITR</i>	trigger current
<i>VSP</i>	sustaining voltage
<i>RSP</i>	differential resistance in snapback mode
<i>IT2</i>	Failure current

Bild 2.10-18: Vereinfachung der Snapback-Kennlinie durch eine Durchbruchs- und eine Snapbackcharakteristik [2.10-26]

Die Anzahl der nötigen DC-Simulationen beläuft sich bei N ESD-Elementen auf 2^N . Durch die Annahme, dass der worst-case der ist, wenn sich eine geringe Anzahl von ESD-Elementen im Snapback befindet, kann die Anzahl der Simulationen zusätzlich reduziert werden. Kapazitive Verschiebungsströme werden durch Nutzung der DC-Simulation nicht betrachtet.

2.10.16 Anwendungsbeispiele und Verwertung

Integration in den Entwurfsablauf

Eine wichtige Eigenschaft des hier entwickelten Analysewerkzeuges ist die Integration in das Cadence® Design Framework. Dadurch ist es möglich auf effiziente Art und Weise die internen Datenstrukturen z.B. des Schaltplans oder der Simulation zu nutzen. Durch die Nutzung der durch das Design Framework zur Verfügung gestellten Elemente zur Implementierung einer graphischen Bedienoberfläche, kennen die Nutzer des Werkzeuges die verschiedenen Bedienelemente bereits und benötigen wenig Aufwand zur Einarbeitung. Die graphische Bedienoberfläche sowie die farbliche Kennzeichnung im Schaltplan sind in Bild 2.10-19 dargestellt.

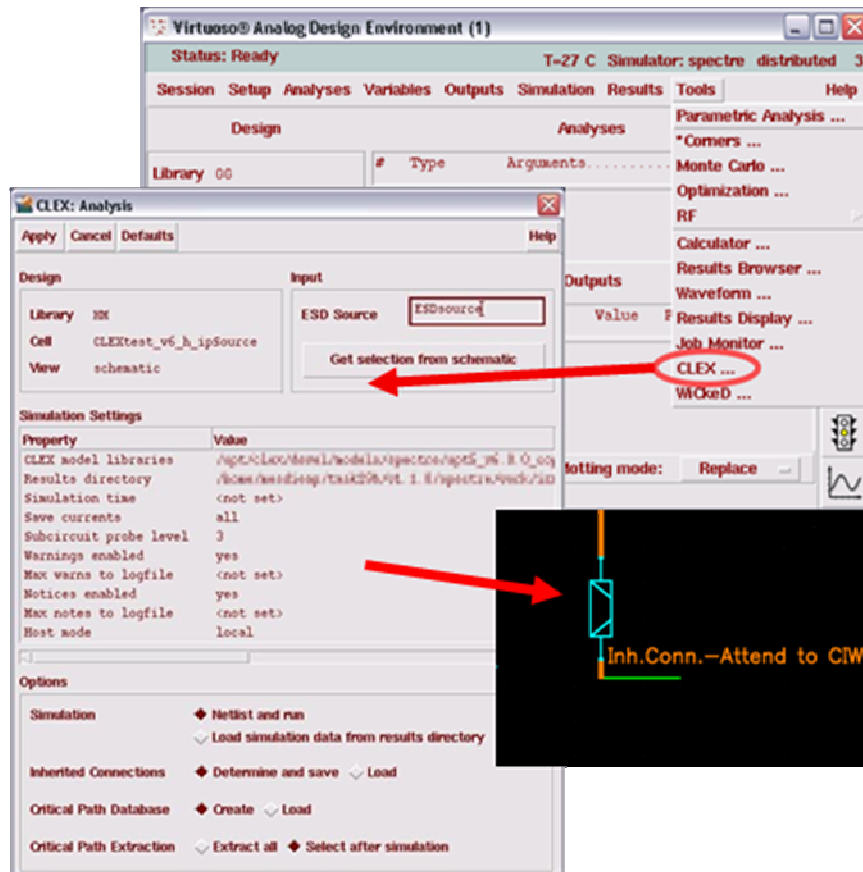


Bild 2.10-19: CLEX-Integration in das Cadence® Design Framework

2.10.17 Literatur - Susceptibility von Smart Power IC

- [2.10-22] Amerasekera, C. D.; *ESD in Silicon Integrated Circuits*; J. Wiley & Sons (2002)
- [2.10-23] Cadence Design Systems Inc. (2002); *Cadence Application Infrastructure User Guide* ; Product Version 3.2
- [2.10-24] Kundert, K. (n.d.); *A Formal Top-Down Design Process for Mixed-Signal Circuits*; Retrieved 07 04, 2008 (from www.designers-guide.org/Design/top-down.pdf)
- [2.10-25] M. Braid, R. I. *A Tool for Efficient Circuit Level ESD Simulation of Mixed-Signal IC*; EOS/ESD Symposium (2000)
- [2.10-26] M. Steibl, F. Z.; *High Abstraction Level Permutational ESD Concept Analysis*; EOS/ESD Symposium (2003)
- [2.10-27] V. Litovski, M. Z.; *VLSI Circuit Simulation and Optimization*; Chapman & Hall (1997)



Abschlussbericht PARACHUTE

BMBF-Verbundprojekt *PARACHUTE*

Elektromagnetische Zuverlässigkeit

und

effizienter TopDown-Entwurf

für

optimale Systemeigenschaften

nanoelektronischer Komponenten

(BMBF Verbundvorhaben im Rahmen des europäischen Verbundprojekts
PARACHUTE – MEDEA+ A 701)

Teil 2

Zuwendungsempfänger:

Robert Bosch GmbH (01M 3169 B)
Postfach 13 42 - 72703 Reutlingen

Continental - Division Powertrain (01M 3169 C)
Sieboldstrasse 19 - D-90411 Nuernberg

Infineon Technologies AG (01M3169A)
Am Campeon 1 - 12 – 85579 Neubiberg

Universität Paderborn (01M 3169 E)
Warburger Straße 100 – D-33098 Paderborn

Zuken GmbH (01M 3169 D)
Vattmannstraße 3 – 33100 Paderborn

Projektlaufzeit:

1. April 2006 – 31. März 2009

Projektleitung:

Dipl.-Ing. Thomas Steinecke
Infineon Technologies AG - ATV MC D IPI EMC
Am Campeon 1 - 12 – 85579 Neubiberg
Tel.: +49 89 234 84979 - Fax: +49 89 234 9555898
eMail: thomas.steinecke@infineon.com

F+E-Koordination Abschlussbericht:

Dr.-Ing. Werner John
System Integration Laboratory (SIL) – R+D Consulting
Doerener Weg 4B - 33100 Paderborn
Tel.: +49 (0)5251 5439 300 – Fax: +49 (0)5251 5439 311
eMail: werner.john@sysint-lab.eu

Autorenliste

An der Fertigstellung des gemeinsamen PARACHUTE-Abschlussberichts waren die folgenden Kollegen und Mitarbeiter maßgeblich beteiligt:

Name

Organisation

St. Palm
Dr. W. Wilkening

Robert Bosch GmbH (BOSCH)

Markus Fenderl
Göran Schubert

*Continental/Division Powertrain -
Business Unit Transmission (CONTINENTAL)*

Thomas Fischer
Janina Platz
Mathias Spang

*Lehrstuhl für Elektromagnetische Felder
Friedrich-Alexander-Universität Erlangen-
Nürnberg – UA (FAU)*

Dr. Götze

*Gesellschaft zur Förderung angewandter
Informatik eV. – UA (GFal)*

Dirk Ahlers
Mehmet Gökçen
Gerhard Groos
Dirk Hesidenz
Jörg Köllermeyer
Jacek Kruppa
Michael Mayerhofer
Heinz Novak
Alevtina Podgaynaya
Werner Simbürger
Matthias Stecher
Thomas Steinecke
Tao Su
Markus Unger

Infineon Technologies AG (IFAG)

V. Geneiß
Dr. W. John (1. April 2006 – 30. September 2009)
Thomas Mager
U. Stürmer

*Fraunhofer-Institut für Zuverlässigkeit
und Mikrointegration/Fraunhofer Einrichtung
Elektronische Nanosysteme – UA (IZM/ENAS)*

Ch. Fischer
Reza Kazemzadeh
Stefan Ludwig
Prof. Dr. W. Mathis
Dr. Ljubica Radic-Weissenfeld
(1. Mai 2007 – 31. März 2009)
Dr. Adam Tankielun (1. Mai 2007 - 31. Mai 2008)

*Leibniz Universität Hannover - Fakultät für
Elektrotechnik und Informatik
Institut für Theoretische Elektrotechnik – UA
(LUH-TET)*

Dieter Averberg

Magh und Boppert GmbH - UA

Haiko Morgenstern
Uwe Stürmer (1. Mai 2006 - 1. Januar 2008)
Dr. Ch. Hedayat
Dr. M. Taki
Ch. Wiegand
Dr. Ljubica Radic-Weissenfeld
(1. Juni 2006 - 30. April 2007)
Dr. Adam Tankielun (1. April 2006 - 30. April 2007)
Christopher Wiegand (14. April 2007 - 31. März 2009)

*Universität Paderborn
Fakultät für Elektrotechnik, Informatik und
Mathematik (UPB)*

Name

Kai Benndorf
Ralf Brüning
Markus Bücker
Uwe Keller
Dr. W. Rissiek
Michael Schäder
Jörn Seaman

Organisation

Zuken GmbH (ZUKEN)

Anmerkung der Autoren

Das diesem Bericht zugrunde liegende Verbundvorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter den Kennzeichen 01M3169A/01M3169B/01M3169C/01M3169D/01M3169E gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt allein bei den Projektpartnern.

Inhaltsverzeichnis

AP3: EMV-Eigenschaften von Verbindungsstrukturen hoher Dichte in Automobil-Steuergeräten	8
2.11 B 3.1.1 Einfluss metallischer Flächen bei Systemanwendungen auf das Übertragungsverhalten von HF-Filtern – CONTINENTAL	8
2.11.1 Einleitung	8
2.11.2 Ziel der F+E Arbeiten	8
2.11.3 Technische Ergebnisse	8
<i>Theoretische Überlegungen</i>	9
<i>Modellierung</i>	10
2.11.4 Stand der Technik	11
2.11.5 Anwendungsbeispiele und Verwertung	11
2.11.6 Literatur - Einfluss metallischer Flächen bei Systemanwendungen auf das Übertragungsverhalten von HF-Filtern	12
2.12 B 3.1.2 Evaluierung von Verbindungstechnologien für den störgerichten Entwurf von Steuergeräten – BOSCH	13
2.12.1 Einleitung	13
2.12.2 Ziel der F+E Arbeiten	13
2.12.3 Technische Ergebnisse	14
<i>Vorüberlegungen/Herangehensweise</i>	14
<i>Ergebnisse</i>	14
<i>Component Test Method - Bulk Current Injection (BCI)</i>	15
2.12.4 Stand der Technik	17
2.12.5 Anwendungsbeispiele und Verwertung	17
2.12.6 Literatur - Evaluierung von Verbindungstechnologien für den störgerichten Entwurf von Steuergeräten	18
2.13 B 3.1.3 Effiziente Modellierung durch Einsatz einer mehrdimensionalen MOR für die Multi-Level HDP/HDI-Analyse - UPB	19
<i>Modellordnungsreduktion und ICEM (Kooperation IFAG/ZUKEN/LUH-TET)</i>	19
2.13.1 Einleitung	19
2.13.2 Ziele der F+E Arbeiten	19
2.13.3 Technische Ergebnisse	19
<i>Entwurf der Verfahren zur Modellordnungsreduktion</i>	19
<i>Einlesen des ICEM und Beschreibung als Differentialgleichungssystem</i>	20
<i>Modellordnungsreduktion der Systembeschreibung</i>	20
<i>Erzeugen eines reduzierten Netzwerkes</i>	20
2.13.4 Anwendungsbeispiele und Verwertung	21
<i>Reduktion eines ICEM-Testbeispiels eines digitalen IC-Blockes</i>	21
<i>Reduktion eines pin-bezogenen ICEM mit Packagemodell</i>	23
<i>Machbarkeitsstudie zur Reduktion für verschiedene Kachelgrößen in ICEM</i>	24
2.13.5 Literatur - Modellordnungsreduktion und ICEM	25

2.14 B 3.1.4 Extraktion kritischer Signalpfade in HDI/HDP-Systemen - ZUKEN	26
2.14.1 Einleitung	26
2.14.2 Technische Ergebnisse	26
<i>Modellierung stark verkoppelter Induktivitäten auf HDI Strukturen</i>	26
<i>Generische Blackbox Modelle für HDI Sub-Strukturen</i>	27
<i>Filter Modelle für Versorgungssystem-Analysen</i>	28
<i>Modellierung von Abblockkondensatoren – ESL/ESR</i>	28
<i>Adaptives Meshing für den Power-Integrity Solver</i>	30
<i>Analyseflow für die EMZ Analyse von HDI Versorgungssystemen</i>	31
AP5: EDA-Implementierung zur Beurteilung der elektromagnetischen Zuverlässigkeit	32
2.15 Beitrag 5.1.1: Entwicklungsprozess-orientierte Modellierung und Simulation der elektromagnetischen Zuverlässigkeit – Infineon Technologies AG	32
2.15.1 Einleitung	32
2.15.2 Ziele der F+E Arbeiten	32
2.15.3 Technische Ergebnisse	33
2.15.4 Stand der Technik	34
2.15.5 Anwendungsbeispiele und Verwertung	34
2.15.6 Literatur - Entwicklungsprozess-orientierte Modellierung und Simulation der elektromagnetischen Zuverlässigkeit	34
2.16 B 5.1.2 EDA-Werkzeuge zur EMZ-Analyse von IC-Gehäusen und zur Simulation von IC-Emissionsmodellen (ICEM) - ZUKEN B 5.2.4 EDA-Implementierung des Design to Noise Margin-Konzepts auf IC- und Modulebene (Top-Down – EMZ) - ZUKEN	35
2.16.1 Einleitung	35
2.16.2 Ziele der F+E-Arbeiten	35
2.16.3 Technische Ergebnisse	35
<i>Impedanzberechnung des Versorgungssystem – Validierung/Test</i>	35
2.17 B 5.2.1 EDA-Entwurfsmethoden für hochperformante elektromagnetisch zuverlässige Steuergeräte – BOSCH	36
2.17.1 Einleitung	36
2.17.2 Ziele der F+E Arbeiten	36
2.17.3 Technische Ergebnisse	36
<i>Vorüberlegungen/Herangehensweise</i>	36
<i>Ergebnisse</i>	37
<i>Layout Simulationsumgebung</i>	37
<i>Bussystemsimulation (Beispiel)</i>	38
<i>Endstufenstörung (Beispiel)</i>	39
<i>Analyse und Optimierung Sensor Störfestigkeit (Beispiel)</i>	39
2.17.4 Stand der Technik	40
2.17.5 Anwendungsbeispiele und Verwertung	41
2.18 B 5.2.2 3D-Miniaturisierung und Platzierung von nanoelektronischen Bauelementen auf HDI/HDP-Substraten - GFal	42
Quasi 3D Platzierung	42
2.18.1 Einleitung	42
2.18.2 Ziele der F+E Arbeiten	43
2.18.3 Technische Ergebnisse	43
<i>Modell</i>	44
<i>Anwendungsbeispiele und Verwertung</i>	46
2.18.4 Literatur - Quasi 3D Platzierung	49

2.19 B 5.2.3 Zuverlässigkeitsanalyse (EMZ-Analyse) digitaler, nanoelektronischer Schaltungen bei induzierten parasitären Interferenzen in komplexen Systemen - UPB	50
Kritische Pfadanalyse für komplexe AVT-Strukturen	50
2.19.1 Einleitung	50
2.19.2 Ziele der F+E Arbeiten	50
2.19.3 Technische Ergebnisse	50
<i>Berücksichtigung von lokalen Substrukturen</i>	51
<i>Einfluss von Lastimpedanzen auf die dominanten Störpfade</i>	52
<i>Automatische Erkennung von sensitiven Komponenten-Anschlüssen</i>	53
<i>Zeitbereichsanalyse einzelner kritischer Signalpfade auf Multilayer Strukturen</i>	54
<i>Störimpulseinkopplung bei unterschiedlichen Störabständen</i>	56
<i>Empfindlichkeitsanalyse kritischer Signalpfade</i>	58
<i>Visualisierung von kritischen Störpfaden</i>	59
2.19.4 Anwendungsbeispiele und Verwertung	62
<i>Simulation einzelner Störpfade – Betrachtung unterschiedlicher Technologien</i>	62
<i>Signalpfade in Multilayer-Strukturen</i>	62
<i>Zusammenfassung (B 5.2.3)</i>	63
2.19.5 Literatur - Kritische Pfadanalyse für komplexe AVT-Strukturen	64
AP6: Neue Messmethoden zur Validierung der Simulationsmodelle	65
2.20 B 6.1.1 Implementierung eines Nahfeldscan-Messplatzes für die EMZ-Charakterisierung von Steuergeräten – CONTINENTAL	65
2.20.1 Einleitung	65
<i>Ziel der F+E Arbeiten</i>	65
2.20.2 Technische Ergebnisse	65
<i>Realisierung Positionierungssystem</i>	66
<i>Verringerung der Gesamtmesszeit des Vector Signal Analysers (VSA)</i>	68
<i>Daten-Struktur für schnellen Zugriff auf große Datenmengen von Nahfeldmessungen</i>	68
<i>Implementierung</i>	69
<i>Measurement Control Software (GUI)</i>	69
<i>Messpfad-Berechnung – Anti-Kollision Berechnung</i>	70
2.20.3 Stand der Technik	71
2.20.4 Anwendungsbeispiele und Verwertung	71
2.20.5 Literatur - Implementierung eines Nahfeldscan-Messplatzes für die EMZ-Charakterisierung von Steuergeräten	72
2.21 Beitrag 6.1.2: Entwicklung eines Nahfeldscan-Messplatzes mit hoher Ortsauflösung und Empfindlichkeit für IC-Messungen – Infineon Technologies AG	73
2.21.1 Einleitung	73
2.21.2 Ziele der F+E Arbeiten	73
2.21.3 Technische Ergebnisse	73
2.21.4 Stand der Technik	74
2.21.5 Anwendungsbeispiele und Verwertung	74
2.21.6 Literatur - Entwicklung eines Nahfeldscan-Messplatzes mit hoher Ortsauflösung und Empfindlichkeit für IC-Messungen	75

2.22 B 6.1.3 Entwicklung von numerischen Methoden zur Erhöhung der Geschwindigkeit und Genauigkeit von Nahfeldscans – UPB	76
Entwicklung von verbesserten Verfahren für NearFieldScan-Systeme (Kooperation mit CONTINENTAL und Infineon Technologies AG)	76
2.22.1 Einleitung	76
2.22.2 Ziele der F+E Arbeiten	76
<i>Stand der Technik</i>	76
<i>Zeitbereichsmessverfahren</i>	76
2.22.3 Technische Ergebnisse	77
<i>Theoretische Überlegungen</i>	77
<i>Verringerung der Gesamtmesszeit des Vector Signal Analysers (VSA)</i>	77
<i>Phasenstabilitätsuntersuchung</i>	78
<i>Multiband-Phasenrekonstruktion</i>	79
<i>Untersuchung der Anforderungen von Emissionen für die Phasenrekonstruktion</i>	80
<i>Optische Konturfassung</i>	81
<i>Automatische Fokussierung der Kamera</i>	82
<i>Stand der Technik</i>	83
<i>Zusammenfassung (B 6.1.3)</i>	83
2.22.4 Anwendungsbeispiele und Verwertung	84
2.22.5 Literatur - Entwicklung von numerischen Methoden zur Erhöhung der Geschwindigkeit und Genauigkeit von Nahfeldscans	84

AP3: EMV-Eigenschaften von Verbindungsstrukturen hoher Dichte in Automobil-Steuergeräten

2.11 B 3.1.1 Einfluss metallischer Flächen bei Systemanwendungen auf das Übertragungsverhalten von HF-Filtern – CONTINENTAL

2.11.1 Einleitung

Betrachtet werden in diesem Arbeitspaket elektrische Filter, wie sie meistens in Kfz-Steuergeräten zur Sicherstellung der Elektromagnetischen Verträglichkeit (EMV) eingesetzt werden.

Typischerweise werden diese Filter diskret aus SMD Bauelementen aufgebaut, wobei das parasitäre Verhalten dieser Filter aus Faustformeln oder Erfahrungswerten bestimmt wird. Vernachlässigt wird jedoch üblicherweise der Einfluss eines metallischen Gehäuses auf die Filterwirkung. Doch immer höhere Packungsdichten können den Einfluss erhöhen und lassen nicht nur für Filter in der Nähe des Steuergeräteingangs Abweichungen erwarten. Ziel dieses Arbeitspakets ist es demnach, einen Einfluss von metallischen Flächen auf EMV Filterstrukturen in einem Frequenzbereich von 100kHz bis 4 GHz zu untersuchen.

2.11.2 Ziel der F+E Arbeiten

- Analyse des Einflusses von metallischen Flächen durch Filtereinfügedämpfung.
- Theoretische Überlegungen, um Kopplungsmechanismen zu bestimmen.
- Modellierung, um Vorhersagen treffen zu können.
- Parameterstudien, um Designrichtlinien festlegen zu können.

2.11.3 Technische Ergebnisse

Alle Überlegungen und Messungen beziehen sich auf Leiterplatten mit einer durchgehenden Massefläche (a), wie in Bild 2.11-1 gezeigt. Bringt man in die Nähe dieser Filter eine parallele Metallplatte (b), so kann man für einen Abstand von $d=3\text{mm}$ in den Messungen der Einfügeübertragungsfunktion S_{21} eine signifikante Änderung im parasitären Verhalten feststellen.

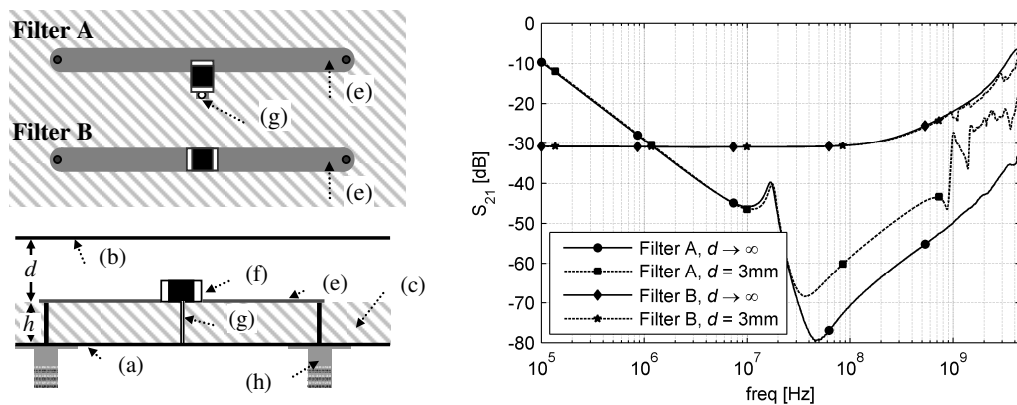


Bild 2.11-1 Die Filterstrukturen bestehen aus einem Filterelement (f), einer Leiterplatte mit durchgehender Massefläche (a) und einem FR4-Substrat (c), SMA-Steckern für die Messung (h) und Zuleitungen (e) - untersucht wird in der Messung der Einfluss einer parallelen metallischen Fläche (b) im Abstand $d=3\text{mm}$ auf die Filterdämpfung

Die Massefläche hat hierbei die Abmessung $a=160\text{mm} \times b=100\text{mm}$. Ähnliche Beobachtungen können für Metallplatten gemacht werden, die senkrecht auf der Leiterplatte stehen. Prinzipiell muss zwischen zwei verschiedenen Filtertypen unterschieden werden:

- Typ A besteht aus Kondensatoren oder niederimpedanten Bauelementen und seine parasitäreren Eigenschaften sind durch magnetische Kopplung zwischen den einzelnen Schleifen vorgegeben. Bei der Messung wird zum einen eine Verschlechterung um 10dB ab der Resonanzfrequenz dieses Filters festgestellt. Zum anderen tritt ab 0.8 GHz eine weitere Verschlechterung um 10 dB auf und eine Vielzahl von neuen Resonanzfrequenzen kann beobachtet werden.

- Typ B besteht aus Induktivitäten oder hochohmigen Bauelementen und seine parasitären Eigenschaften sind durch kapazitive Kopplungen bestimmt. Dieser Filtertyp scheint in der Messung wesentlich robuster zu sein. Nur im hohen Frequenzbereich ab 0.8 GHz treten ebenfalls Resonanzen wie beim anderen Filter auf, allerdings scheinen sie die Filterwirkung noch zu unterstützen.

Theoretische Überlegungen

Für elektrisch kleinen Strukturen mit $\lambda \gg \{a,b\}$ bzw. $f \ll 0.8$ GHz kann quasistationär gerechnet werden. Für elektrisch große Strukturen muss jedoch mit $\lambda \approx \{a,b\}$ Wellenausbreitung berücksichtigt werden.

Elektrisch kleine Strukturen

Das parasitäre Verhalten von Filter A ergibt sich aus der magnetischen Kopplung zwischen Eingangs und Ausgangsschleife [2.11-2], [2.11-3]. Deswegen kann dieser Filter exemplarisch mit einfachen Stromschleifen in Bild 2.11-2 beschrieben werden. Der Einfluss einer metallische Platte wird durch die Spiegelung an einer unendlich ausgedehnten, ideal leitenden Fläche bei $z=d+h$ beschrieben. Dabei muss die Randbedingungen $H_n=H_z=0$ erfüllt werden:

- Schleife I ist parallel zur Metallplatte ausgerichtet. Die Stromrichtung der Spiegelschleife I' wird geändert und das resultierende magnetische Feld im Bereich $z < d+h$ verringert sich. Die magnetische Kopplung zwischen zwei Schleifen gleicher paralleler Ausrichtung wird damit verringert.
- Schleife II ist senkrecht zur Metallplatte ausgerichtet. Die Stromrichtung der Spiegelschleife wird nicht geändert und das resultierende magnetische Feld im Bereich $z < d+h$ erhöht sich. Die magnetische Kopplung zwischen zwei Schleifen gleicher senkrechter Ausrichtung wird damit erhöht.

Nach [2.11-2] setzen sich die verwendeten Kondensatorfilter nur aus Schleifen II zusammen. Eine parallele Metallfläche wird deshalb die magnetische Kopplung (ESL) erhöhen, ebenso eine senkrechte Massefläche parallel zur Filterzuleitung (Bild 2.11-1, Einzelheit (e)).

Das parasitäre Verhalten von Filter B wird in erster Linie durch die Kapazität C_p beschrieben, die dem hochimpedanten Filterelement parallel geschaltet ist (Bild 2.11-2). Bringt man nun eine parallele oder senkrechte metallische Platte in die Nähe dieses Filterelements, so erwartet man eine Erhöhung dieser parasitären Kapazität. Dieser Bypass-Effekt wird verursacht durch die Reihenschaltung der beiden Streukapazitäten C_1 und C_2 .

Allerdings muss noch die kapazitive Kopplung C_3 zwischen den beiden Platten berücksichtigt werden. Bei einer parallelen Metallplatte ist C_3 dominant und die Filterwirkung wird unterstützt. Bei einer zu der Leiterplatte senkrecht ausgerichteten Metallplatte sind die Streukapazitäten C_1 und C_2 unter Umständen dominant und die Filterwirkung wird reduziert.

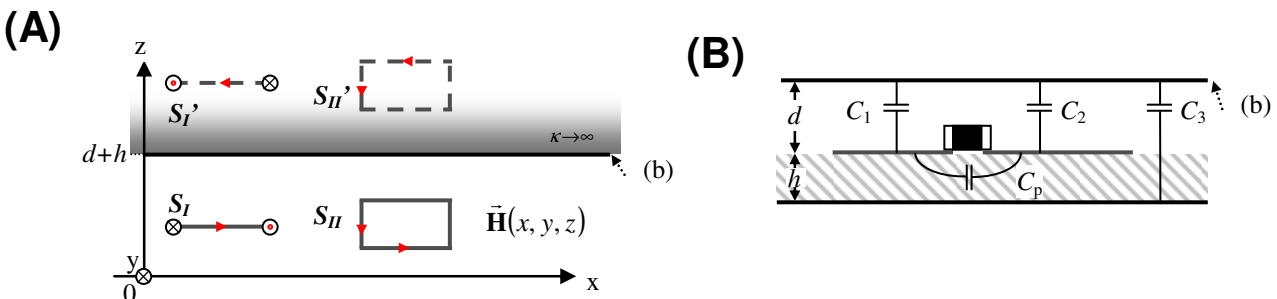


Bild 2.11-2: Ersatzanordnungen zur Beschreibung des Einflusses einer metallischen Wand auf die Filtertypen A und B für elektrisch kleine Abmessungen der metallischen Platte

Elektrisch große Strukturen

Für elektrische große Strukturen muss nun zusätzlich Wellenausbreitung berücksichtigt werden. Metallplatten parallel zur Masseflächen stellen ein Parallelplattensystem [2.11-4] dar, in welchem stehende Wellen des elektrischen Feldes entstehen. Die Resonanzfrequenz dieser Welle steht in direktem Zusammenhang mit Abmessungen der Platten, Abstand der Platten und der effektiven Dielektrizitätszahl aus Substrat (Höhe h) und Luft (Abstand d).

Abbildung 2.11-3 zeigt ein solches Parallelplattensystem. Für die erste auftretende Resonanz in Bild 2.11-1 bei $f=0.8\text{GHz}$ ist die z -Komponente des elektrischen Feldes dargestellt. Die auftretende erste Mode ($\lambda/2$) in x -Richtung ist deutlich erkennbar, ebenso das Maximum bei der Einspeisung am Ort $(x_1, b/2)$. Bei höheren Frequenzen ist mit Moden höherer Ordnung in x - und y -Richtung zu rechnen. In y -Richtung tritt die erste Mode allerdings nicht auf, da die Anregung im Minimum der stehenden Welle erfolgt. Damit ergibt sich zusätzlich eine Abhängigkeit von der Position der Zuleitungen. Metallplatten senkrecht zur Massefläche geraten ebenfalls in Resonanz bei Vielfachen der halben Wellenlänge ($\lambda/2$ Resonator) und können dadurch die Filterwirkung beeinflussen.

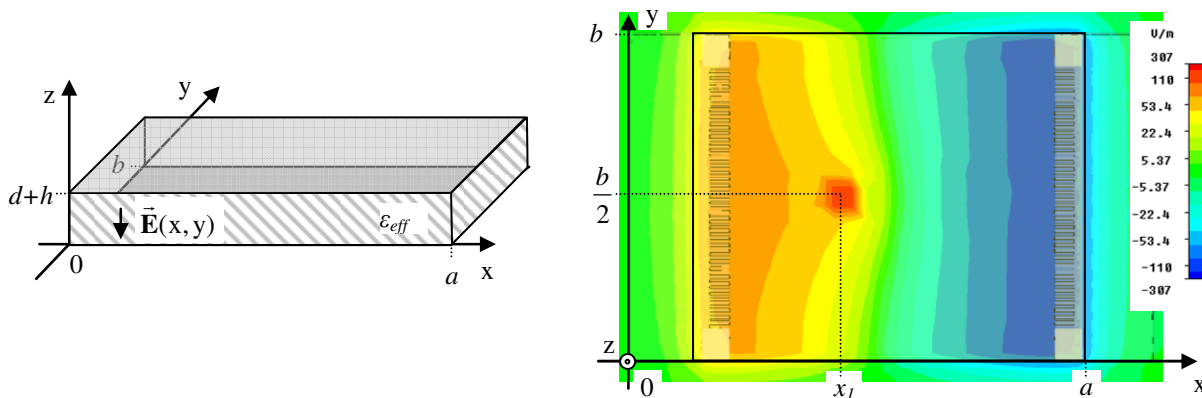


Bild 2.11-3: Parallelplatten-System für Abmessungen $\approx \lambda$ der Metallplatte - die Feldstärkeverteilung zeigt die z -Komponente des elektrischen Feldes für die erste Mode ($\lambda/2$) in x -Richtung

Modellierung

PEEC Methode

Die Methode der partiellen Elemente wurde erstmals 1974 von A.E. Rühli vorgestellt [2.11-5]. Als Integralgleichungsverfahren ist nur die Diskretisierung der Leiter (Quellen) notwendig. Materialeigenschaften können über zusätzliche Quellen eingebunden werden. Es gibt verschiedene Ansätze, Wellenausbreitung ebenfalls zu berücksichtigen (Fullwave PEEC).

Die in diesem Projekt verwendete eigene Implementation in Matlab orientiert sich sehr stark an FastHenry [2.11-6] und FastCap [2.11-7]. Es ergeben sich folgende Vor- bzw. Nachteile:

- + Berücksichtigung von metallischen Flächen durch Spiegelprinzip (Vgl. Bild 2.11-2).
- + Sehr schnell mit analytischen Lösungen für parallelen Strukturen ($< 10\text{s}$).
- + Schnell mit numerischer Integration ($< 3 \text{ min}$).
- Keine Wellenausbreitung und damit keine Resonanzeffekte.
- Keine Berücksichtigung des Skineffekts.
- Bis zu 10dB Abweichung bei Strukturen mit hoher Dämpfung ($> 40 \text{ dB}$).

Damit eignet sich diese Methode für die schnelle Vorhersage der Filterwirkung und Onlinesimulation [2.11-2].

FIT Methode

Die Methode der finiten Integration (FIT) wird unter anderem in CST Microwavestudio (MWS) [2.11-1] verwendet. Sie basiert auf einer rechteckförmigen Diskretisierung des kompletten Raums mit kleinen Gitterzellen, für die jeweils die Maxwell'schen Gleichungen vereinfacht gelöst werden können. Die Simulation der Filterstrukturen mit MWS bietet folgende Vor- und Nachteile:

- + Berücksichtigung von Wellenausbreitung und Resonanzeffekten
- + Berücksichtigung des Skineffekts
- + gute Überstimmung mit Messungen
- komplex
- bis zu 30 min für eine Simulation.

Damit eignet sich die Methode im Wesentlichen für die genaue Vorhersage der Filterwirkung sowie Parameterstudien bei Resonanzeffekten.

2.11.4 Stand der Technik

Stand der Technik ist die Berücksichtigung von metallischen Flächen oder Gehäusestrukturen beim Design von Hochfrequenzfiltern, die u. a. aus Leitungsstrukturen oder speziell geformten Masseflächen (EBG Filter) bestehen. Dies geschieht in [2.11-1] beispielsweise mit Hilfe der Randbedingungen.

2.11.5 Anwendungsbeispiele und Verwertung

Zum einen wurde das parasitäre Verhalten von Filtern, die aus Kondensatoren bestehen, eingehend in diesem Arbeitspaket analysiert und in [2.11-2] veröffentlicht. Es konnte gezeigt werden, dass die resultierende serielle Induktivität (ESL) maßgeblich von der Fläche unter den Kondensatoren sowie der magnetischen Verkopplung abhängt. Durch geschickte Anordnung konnte im Vergleich zu einem Kondensator ($S_{21} = -5\text{dB}$ bei 1GHz) die Einfügedämpfung um

- 20 dB durch die Verwendung eines Kondensatorpaares
- 45 dB durch die Verwendung von zwei speziellen Kondensatorpaaren [2.11-8]

gesteigert werden.

Zum anderen konnte der Einfluss von metallischen Flächen genau erfasst werden. Filtertypen, die vorwiegend aus Kondensatoren oder niederimpedanten Elementen bestehen, zeigen einen hohen Einfluss durch parallele oder senkrechte metallische Flächen. Im Allgemeinen tritt eine Verschlechterung der Filterwirkung durch ein erhöhtes ESL und durch Resonanzeffekte auf. Die Verschlechterung ist jedoch stark von der Filterdämpfung abhängig und durch Parameterstudien können folgende Regeln aufgestellt werden:

- Für eine Filterdämpfung $<30\text{dB}$ und einen Abstand $d > 2h$ kann der Einfluss innerhalb 3dB vernachlässigt werden
- Metallische Flächen, die senkrecht zur Leiterplatte angeordnet sind, können die Dämpfung von Kondensatorpaaren um bis zu 10 dB erhöhen.

Filtertypen, die vorwiegend aus Induktivitäten oder hochimpedanten Bauelemente bestehen, zeigen einen deutlich geringeren Einfluss durch parallel oder senkrechte metallische Flächen. Im Allgemeinen tritt eine leichte Verbesserung der Filterwirkung ein. Resonanzeffekte können das Verhalten bei einer Dämpfung des Filter von $<30\text{dB}$ jedoch um bis zu 3dB bei den Resonanzfrequenzen verringern.

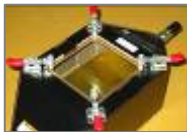
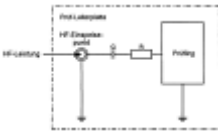

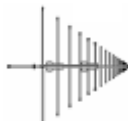
2.11.6 Literatur - Einfluss metallischer Flächen bei Systemanwendungen auf das Übertragungsverhalten von HF-Filtern

- [2.11-1] CST MicroWave Studio; Online, <http://www.cst.com>
- [2.11-2] T. Fischer, C. Kneuer, M. Albach, G. Schubert; *Mutual Inductance of Capacitor Low-pass Filters*; In Proc. 20th International Zurich Symposium on Electromagnetic Compatibility EMC Zurich, 2009
- [2.11-3] T.M. Zeeff, T.H. Hubing, T.P. Van Doren, D. Pommerenke; *Analysis of Simple Two-capacitor Low-pass Filters*; IEEE Transactions on Electromagnetic Compatibility, 45(4):595–601, Nov. 2003
- [2.11-4] G.T. Lei, R.W. Techentin, P.R. Hayes, D.J. Schwab, B.K. Gilbert; *Wave Model Solution to the Ground/Power Plane Noise Problem*; IEEE Transactions on Instrumentation and Measurement, 44(2):300–303, 1995
- [2.11-5] A.E. Ruehli; *Equivalent Circuit Models for Three-dimensional Multiconductor Systems*; IEEE Transactions on Microwave Theory and Techniques, 22(3):216-221, 1974
- [2.11-6] M. Kamon, C. Smithhisler, J. White; *Fasthenry User's Guide*; Technical Report Version 3.0, Research Laboratory of Electronics Department of Electrical Engineering and Computer Science Massachusetts Institute of Technology, Cambridge, MA 02139 U.S.A., September 1996
- [2.11-7] K. Nabors, S. Kim, J. White, S. Senturia; *Fastcap User's Guide*; Technical report, Research Laboratory of Electronics Department of Electrical Engineering and Computer Science Massachusetts Institute of Technology, Cambridge, MA 02139 U.S.A., September 1992
- [2.11-8] H. Hirose; *Murata's Low-ESL Capacitors Accommodate Changes in IC Features*; AEI - Asia Electronics Industry, February 2006

2.12 B 3.1.2 Evaluierung von Verbindungstechnologien für den störgerichten Entwurf von Steuergeräten – BOSCH

2.12.1 Einleitung

EMV-Störfestigkeitsprüfungen sind integraler Bestandteil zur Qualitätssicherung für Automobil-elektronik. Typische Messverfahren dazu sind entsprechend Abb. 2.12-1 für integrierte Schaltungen und auf Komponentenebene aufgeführt. Ergebnis einer Messung ist dann, daß die Funktionalität des Prüflings beeinflusst wird oder nicht. Verbindungsstrukturen (IC-Gehäuse/ IC-package, Leiterplatte/ PCB – Printed circuit board, Stecker/ Connector, Gehäuse/ Enclosure) sind implizit in jedem Prüfling enthalten. Aufgrund dieser vielen unterschiedlichen, zusammen wirkenden Elemente ist es per Messverfahren ist es nur indirekt möglich, den jeweiligen Einfluss auf den Prüfling zu bestimmen. Der direkte Zugang zu EMV-Eigenschaften (z.B. Impedanzen, Koppelstärken) von Verbindungsstrukturen wird jedoch über Simulation möglich.

	Integrated circuits μ TEM cell method	Integrated circuits direct RF power injection method (DPI)	Component test method, bulk current injection (BCI)	Component test method, absorber lined shielded enclosure (antenna)
Principle of Measurement Procedure				
Principle of power injection	TEM-field	Power	Current	Electric-Field
Frequency range	150kHz-1Ghz	150kHz-1Ghz	1-400Mhz	80Mhz-4Ghz
Scope of investigation (Device under test)	IC including package	IC including package, power pin specific	IC including package, PCB, connector, enclosure (subsystem)	IC including package, PCB, connector, enclosure (subsystem)
Bild 2.12-1: Relevanz der Störfestigkeitsmessverfahren bezogen auf Verbindungsstrukturen (Package/PCB/Connector/Enclosure)				

Grundidee ist dabei mit 3D-Simulation zu arbeiten. Auf Grund der weiter gestiegenen Leistungsfähigkeit der 3D-Feldlöser und der komplexen Fragestellung wird dieser Weg als sinnvoll und notwendig erachtet.

Bild 2.12-1 zeigt in der letzten Zeile, welche Elemente der Verbindungstechnik enthalten sind. Da die Fragestellung alle Teile der Verbindungsstrukturen betrifft, ist es nicht ausreichend nur die IC-Verfahren zu berücksichtigen. Die Betrachtung eines Komponentenverfahrens ist deshalb notwendig. Dabei ist die erste Wahl das Verfahren `Bulk current injection (BCI)`. Störfestigkeitsmessung mit der Antenne wird als Ergänzung zu BCI verwendet, jedoch nicht als vollständige Alternative.

2.12.2 Ziel der F+E Arbeiten

Ziel ist es eine Abbildung der Störfestigkeitsmessverfahren μ TEM cell method, Direct RF power injection method (DPI) und Bulk current injection (BCI) in ein 3D-Simulationsmodell (Aussage zur Machbarkeit). Weiter ist eine Bewertung, ein Vergleich der einzelnen Messverfahren zu erstellen. Schließlich ist die Anwendung der Simulation auf die EMV-Bewertung von Verbindungsstrukturen durchzuführen.

2.12.3 Technische Ergebnisse

Vorüberlegungen/Herangehensweise

Als Prüfling für die Machbarkeit als 3D-Simulation wird eine 2-lagige Leiterplatte mit einem 16-Pin Bosch-IC verwendet. Die Leiterplatte ist ein IC-Testboard, das im Labor zur Messung mit μ TEM-Zelle und DPI verwendet wurde. Das IC-Package wird auch als dreidimensionales Modell eingebunden. Das Simulationsmodell beschreibt dann den Übertragungspfad beginnend von der HF-Anregung bis hin zum Pad auf IC-Ebene, der funktional Versorgung oder Signal ist. Die HF-Anregung bei der μ TEM-Zelle erfolgt über einen sogenannten Waveguide Port, der eine Feldeinprägung entsprechend der geometrischen Randbedingung erzeugt, siehe Abb. 2.12-2 rote Flächen. Die HF-Anregung bei DPI erfolgt punktuell über sogenannten Discrete Port mit Leistungseinprägung aus 50 Ohm, siehe Bild 2.12-2. Die fünf mit roten Punkten markierten Ports wurden jeweils einzeln nacheinander angeregt.

In der Messtechnik werden Einkoppelspulen für BCI mit sogenannten Testfixtures kalibriert, um deren tatsächliches Übertragungsverhalten zu erfassen, siehe ISO 11452-4 [2.12-2]. Im BCI-Mess-verfahren wird mit dieser kalibrierten Einkoppelspule dann der Prüfling einschließlich Kabelbaum mit HF-Stromeinprägung beaufschlagt. Für die Simulation von BCI ist die Vorgehensweise analog. Zuerst wird die Einkoppelspule in der Testfixture simuliert und mit Messdaten verglichen. Danach wird die Einkoppelspule im Kabelbaum mit dem Prüfling betrachtet.

Ergebnisse

μ TEM Cell Method und Direct RF Power Injection Method (DPI)


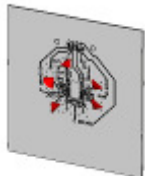
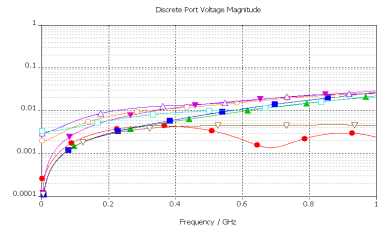
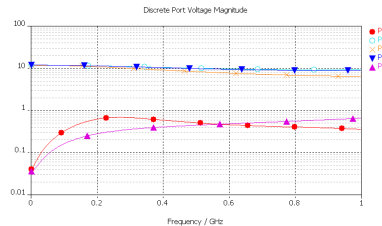
	Integrated circuits μ TEM cell method	Integrated circuits direct RF power injection method (DPI)
3D model - geometry and type of port definition for power injection		
Level of injection	TEM-field 300V/m	Power 30dBm
Magnitude voltage at functional ports (IC-pads)		

Bild 2.12-2: Simulationsmodell für Leiterplatte (2-lagig) mit Bosch-IC (16-Pins)

Das Übertragungsverhalten in Abb. 2.12-2 wird für beide Verfahren bis 1Ghz dargestellt. Y-Achse ist die Spannungamplitude in logarithmischer Darstellung. Diese Spannung liegt an den funktionalen Ports auf IC-Ebene an. Im Modell der μ TEM-Zelle wird die TEM-Feldeinkopplung durch die direkte Position der Waveguide Ports an der Leiterplatte realisiert. Das Septum der Zelle wird über die Randbedingung des Modells als perfekt elektrisch leitende Fläche realisiert. Durch diese Platzierung der Ports entfällt die Notwendigkeit, den Übergang coaxialer Leiter zum Bereich der TEM-Wellen-ausbreitung an der Leiterplatte mit zu modellieren. Im Modell DPI ist bezogen auf die Leiterplatte keine Vereinfachung notwendig. Angaben für den Aufwand der Simulation entsprechend Bild 2.12-3. Alle Simulationen wurden mit CST Microwave Studio™ durchgeführt.

	μ TEM-Zelle,	DPI
Anzahl der Meshzellen	2,902,068	2,369,444
Summe Rechenzeit	3,5h	18h
Anregung an HF-Ports	1x Waveguide Port	5x Discrete Port

Bild 2.12-3: Aufwand für Simulation

Diskussion der Simulationsergebnisse

Funktionale Ports der Versorgung sind Port10, Port20 mit Abschlussimpedanz 10 Ohm, funktionale Ports für Signal sind Port11, Port12, Port13, Port14, Port 15, Port16 mit Abschlussimpedanz 1000 Ohm. Mit den eingekoppelten Pegeln 300 V/m und 30 dBm ergeben sich im Vergleich zu μ TEM bei DPI an allen funktionalen Ports um mehr als eine Größenordnung höhere Pegel. Der Frequenzgang für Ports der Signale ist bei der μ TEM-Zelle ansteigend bei steigender Frequenz, bei DPI ist die Amplitude praktisch frequenzunabhängig. Der Frequenzgang für Ports der Versorgung ist bei der μ TEM-Zelle und bei DPI erst ansteigend und ab 0.4 Ghz praktisch konstant.

Eine messtechnische Validierung des simulierten Übertragungsverhaltens bis zum IC-Pad wurde verworfen, weil der Aufbau eines entsprechenden Testobjektes unverhältnismäßig aufwändig gewesen wäre. Dies ist darin begründet, dass die IC-Pads eines Standard-IC nicht HF-gerecht kontaktiert werden können. Daher hätte eine passive Struktur als IC-Ersatz generiert werden müssen. Da außerdem das BCI-Verfahren modelliert wird, steht dort ebenfalls die Frage Validierung und soll dort nochmal diskutiert werden. Fazit ist, sowohl für DPI als auch für μ TEM-Zelle ist die Abbildung des Messverfahrens in eine 3D-Simulation erfolgreich umgesetzt worden.

Component Test Method - Bulk Current Injection (BCI)

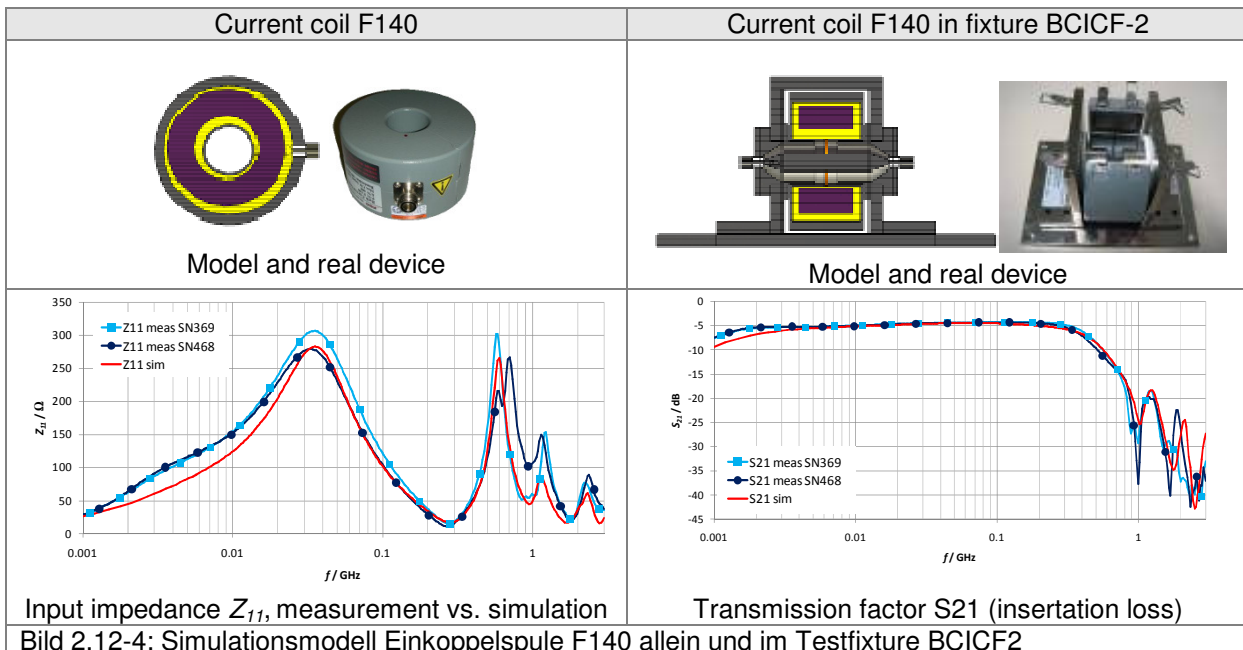


Bild 2.12-4: Simulationsmodell Einkoppelspule F140 allein und im Testfixture BCICF2

Im Gegensatz zur Simulation bei μ TEM cell method und Direct RF power injection method (DPI) kann bei BCI kein vorhandener Porttyp des Simulators in CST Microwave Studio™ verwendet werden. Deshalb muss die Einkoppelspule modelliert werden. Messtechnisch wird die Einkoppelspule FCC F140 bei BCI in zugehöriger Testfixture FCC BCICF2 charakterisiert. Beides sind kommerzielle Produkte von FISCHER CUSTOM COMMUNICATIONS, siehe [2.12-4]. Die Testfixture ermöglicht die Messungen der Spule in einer 50 Ohm Umgebung. Die Vorgehensweise ist entsprechend ISO 11452-4 standardisiert.

Gemessen wird die Einfügungsdämpfung. Der nutzbare Frequenzbereich ergibt sich dadurch, in wie weit der Frequenzgang konstant ist, entsprechend Abb. 2.12-4 rechts ist das bei tiefen und hohen Frequenzen nicht der Fall. ISO 11452-4 definiert BCI von 1-400 MHz, das Modell Stromspule F140 wird von FCC bis 1 GHz spezifiziert. Die Modellierung erfolgt deshalb auch bis 1 GHz. Für einen möglichen Vergleich mit den IC-Verfahren ist das sinnvoll.

Modell Stromspule F140

Der Verlauf der Eingangsimpedanz in Abb. 2.12-4 links zeigt selbst über 1Ghz eine gute Korrelation der Simulation zur Messung an zwei Spulenexemplaren. Dazu war eine genaue Bestimmung der Geometrie des inneren Aufbaus notwendig. Eine Schwierigkeit war das unbekannte Ferritmaterial. Deshalb wurde der AI-Wert durch Messung an der Spule bestimmt, der Frequenzgang von ϵ_r' und ϵ_r'' wurde auf Basis von Ferrit-Datenblättern abgeschätzt.

Modell Stromspule F140 in Testfixure BCICF2

Der Verlauf der simulierten Einfügungsdämpfung, Insertion loss, korreliert ebenfalls im gesamten Frequenzbereich gut mit den Messungen beider Spulenexemplare. Als Zwischenschritt war dazu Simulation und Messung der Testfixture allein notwendig. Als Zwischenstand kann die 3D-Modellierung der Stromspule mit gut bewertet werden.

Modell Stromspule F140 mit 6-adrigem Kabelbaum

Der Kabelbaum kann mit 6 Einzelleitern als einer mit mittlerer Komplexität betrachtet werden. Dieser Kabelbaum wurde separat auch als 3D-Modell berechnet und mit Messungen erfolgreich verglichen.

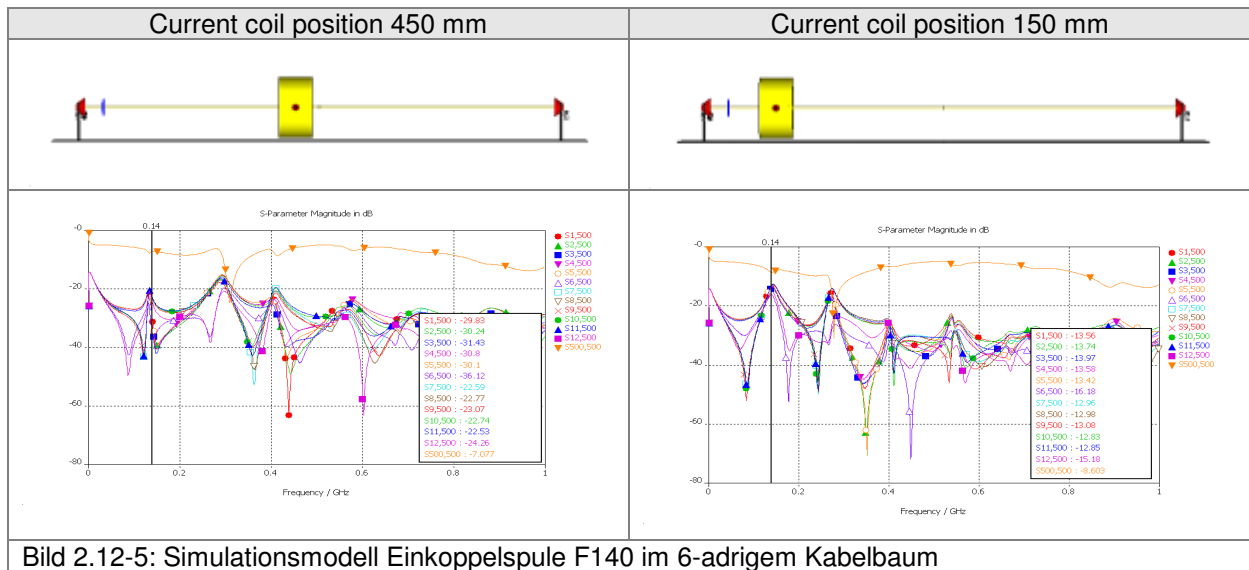


Bild 2.12-5: Simulationsmodell Einkoppelspule F140 im 6-adrigem Kabelbaum

Das Bild 2.12-5 zeigt diesen 1 m langen 6-adrigen Kabelbaum zusammen mit dem Spulenmodell F140.

Einzelstränge des Kabelbaums enden mit diskreten Ports an einem metallischen Winkel. BCI definiert entsprechend ISO 11452-4 3 Spulenpostionen 150 mm, 450 mm und 750 mm. Hier sind exemplarisch die Positionen 150 mm und 450 mm dargestellt. Simulationsergebnis ist jeweils der Frequenzgang der diskreteten Ports am Kabelende bei Anregung der Einkoppelspule. Port 500 ist die Einkoppelspule F140, Ports 1-6 sind das Kabelende der rechten Seite, Ports 7-12 der linken Seite.

Diskussion der Simulationsergebnisse:

Dargestellt werden hier S-Parameter. S500,500 steht für die reflektierte Leistung an der Stromspule. Sie hat eine deutliche Resonanz bei ca. 300MHz. Alle anderen S-Parameter sind die für die Transmission der Ports am Kabelbaumende. Hier ist im gesamten Frequenzbereich ein ausgeprägtes Resonanzverhalten erkennbar. Es wird durch Kabelbaumlänge bestimmt. Die Spulenposition 450 mm dämpft im Vergleich zu 150 mm die Resonanz bei 140 MHz erheblich ab. Das Modell benötigte 1.248.548 Meshzellen und eine Rechenzeit von 15h bei der Anregung an Port 500 für die Einkoppelspule.

Das Simulationsmodell Einkoppelspule F140 mit 6-adrigem Kabelbaum wurde ergänzt um das bereits bekannte IC-Testboard. Damit ergibt sich im Modell eine Meshzellenanzahl von > 10,000, die mit 32-bit Rechner bei 2GB RAM nicht mehr rechenbar ist. Deshalb wurde untersucht in wie weit eine Partitionierung in zwei Teilmodelle hilfreich ist. Der Ansatz Partitionierung für das Modell Einkoppelspule F140 mit 6-adrigem Kabelbaum liefert bis 1Ghz die gleichen Ergebnisse, aber nur um den Preis einer erheblich längeren Rechenzeit. Eine Fortführung des 3D-Ansatzes ist für die BCI-Simulation somit nicht sinnvoll. Fazit ist deshalb, im Sinne Machbarkeit ist BCI in dieser Form nicht komplett als 3D-Modell handhabbar.

2.12.4 Stand der Technik

Ein direkter Vergleich der Verfahren *μTEM cell method* und *Direct RF power injection method (DPI)* als Simulation an Hand eines industrie-nahen Beispiels konnte per Literaturrecherche nicht gefunden werden. Bei *Bulk current injection (BCI)* wird nach [2.12-5] *Modelling of Bulk Current Injection Method For A Coaxial Cable* dort die Stromeinkopplung unter Verwendung einer Spannungsquelle bei Berücksichtigung des Übertragungsverhaltens der Einkoppelspule realisiert, Kabel ist dabei ein einzelner koaxialer Leiter.

Als Beiträge zum Stand der Technik sind zu zählen:

- (1) Vergleich des Transmissionverhaltens an einem IC-Testboard für Störfestigkeit von μ TEM-Zelle mit DPI
- (2) Das 3D-Modell der BCI Einkoppelspule incl. Testfixture. Die guten Ergebnisse unterstreichen auch die Leistungsfähigkeit heutiger 3D-Simulation.

2.12.5 Anwendungsbeispiele und Verwertung

Die Aktivitäten von Bosch zusammen mit dem Unterauftragnehmer Fraunhofer ENAS Paderborn umfaßt die Abbildung typischer Störfestigkeitsmessverfahren in entsprechende 3D-Simulationsmodelle. Für die zwei wichtigsten IC-Verfahren μ TEM-Zelle und für DPI wurde die Machbarkeit aufgezeigt. Bei dem Verfahren BCI war die Modellierung der Einkoppelspule erfolgreich.

- (1) Störfestigkeitsmessung mit der μ TEM-Zelle soll bei Bosch vor allem für Produkte verwendet werden, die Sensorelement und Auswerte-IC in einem Package enthalten. Die Topologie der Verbindungsstrukturen ist oft entscheidend ob das Produkt EMV-robust ist oder nicht. Deshalb ist das Modell der TEM-Zelle zur Simulation solcher Aufgaben geradezu prädestiniert.
- (2) Die Störfestigkeitssimulation mit BCI kann für ähnliche Applikationen wie in Beispiel (1) direkt als 3D-Simulation umgesetzt werden.

Von den untersuchten Störfestigkeitsverfahren ist BCI das komplexeste. Zugleich ist es als Komponentenverfahren (im Unterschied zu den IC-Verfahren) das Verfahren, das am weitesten oben in der Wertschöpfungskette eingesetzt wird (und auch erst werden kann).

Aus diesen beiden Blickwinkeln hat BCI-Simulation - mit ihrem Potenzial zur Analyse/Visualisierung und zur Vorhersage ein besonders hohes Potential. Unabhängig von der Applikation ist der Einkoppelmechanismus mit der Stromspule mit dem entwickelten nun Modell darstellbar. Das größte Potential für BCI als Verfahren liegt zukünftig in der richtigen Definition der Schnittstelle vom Messverfahren, sprich Kabelbaum zum Prüfling.

2.12.6 Literatur - Evaluierung von Verbindungstechnologien für den störerechten Entwurf von Steuergeräten

- [2.12-1] IEC 62132-4; *Integrated Circuits – Measurement of Electromagnetic Immunity/150 kHz to 1 GHz* - Part 4: Direct RF Power Injection Methode (IEC 47A/658/CD:2002)
- [2.12-2] ISO 11452-4; *Road vehicles – Component test methods for electrical disturbances from narrow-band radiated electromagnetic energy* - Part 4: Bulk current injection (BCI); Third edition 2005-04-01
- [2.12-3] *Generic IC EMC Test Specification – Bosch/Infineon/Siemens VDO (BISS)*; Version 1.2 - 15. November 2007
- [2.12-4] FISCHER CUSTOM COMMUNICATIONS; INC., 20603 Earl Street, Torrance, CA 90503; <http://www.fischercc.com>
- [2.12-5] U. Stürmer, G. Thomas, H. Köhne, W. John; *Modelling Of Bulk Current Injection Method for A Coaxial Cable*; EMC Compo 2005
- [2.12-6] *CST Studio Suite™ 2006B - CST Design Environment™*; CST Microwave Studio™, Version 2006B.03; April 11 2007 – 21

2.13 B 3.1.3 Effiziente Modellierung durch Einsatz einer mehrdimensionalen MOR für die Multi-Level HDP/HDI-Analyse - UPB

Modellordnungsreduktion und ICEM (Kooperation IFAG/ZUKEN/LUH-TET)

2.13.1 Einleitung

Mit IC-Emissions-Modellen (ICEM) können Halbleiterhersteller elektromagnetische Verträglichkeit bereits im Design-Prozess berücksichtigen. Die ICEM bestehen aus sehr großen Schaltungen, die nicht oder nur mit sehr hohem Rechenaufwand simuliert werden können. Die typische Netzwerkstruktur der verwendeten ICEM Modelle ist in Bild 2.13-1 dargestellt.

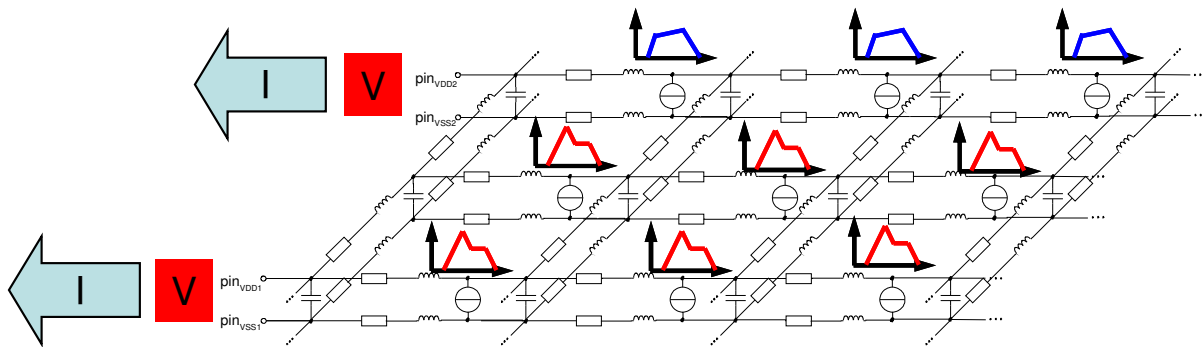


Bild 2.13-1: Ausschnitt aus dem Netzwerk des ICEM Modells

Für die Kopplung zwischen den Versorgungsleitungen werden passive RLC-Elemente genutzt. Die Stromquellen im ICEM modellieren die Schaltströme im IC, die durch das Schalten der Logikgatter erzeugt werden. An den Pins des ICEM kann das Strom-Spannungsverhalten des IC untersucht werden, wodurch das Emissionsverhalten des ICs untersucht werden kann. Die Netzwerke werden mit dem Infineon Tool EXPO [2.13-1, 2.13-2] erzeugt und im SPICE-Netzlisten-Format ausgegeben.

2.13.2 Ziele der F+E Arbeiten

Typische Größen für ein ICEM Modell liegen im Bereich von wenigen 10.000 bis zu einigen 100.000 Netzwerkelementen. Diese große Anzahl an Netzwerkelementen ergibt in Simulationen einen sehr hohen Rechenaufwand im Bereich von einigen Tagen. Dieser Rechenaufwand ist im industriellen Umfeld zu hoch, und ein Modell, welches an den Pins ein ähnliches Verhalten zeigt wie das originale ICEM ist erwünscht. Ein Lösungsansatz für das Finden eines solchen Netzwerkes ist die Modellordnungsreduktion [2.13-17]. Mit der Modellordnungsreduktion soll aus dem originalen Netzwerk ein kleines Netzwerk erzeugt werden, welches in einem definierten Frequenzbereich ein ähnliches Verhalten besitzt. Um mit den State-of-the-Art Simulationswerkzeugen untersucht werden zu können soll das reduzierte Modell wieder in Form eines Netzwerkes im SPICE-Netzlistenformat generiert werden.

2.13.3 Technische Ergebnisse

Entwurf der Verfahren zur Modellordnungsreduktion

Der erste Schritt für die Modellordnungsreduktion ist die Konzeption einer Schnittstelle zu State-of-the-Art Entwurfswerkzeugen wie SPICE. Dafür wird das ICEM Modell im SPICE-Netzlistenformat gegeben, und im ersten Abschnitt mit einem Parser als Differentialgleichungssystem beschrieben. Das so erhaltene Differentialgleichungssystem wird mit Methoden der Modellordnungsreduktion im zweiten Abschnitt reduziert. Im dritten Abschnitt wird aus dem reduzierten Modell mit Methoden der Netzwerksynthese ein reduziertes Netzwerk erzeugt, welches als Netzliste ausgegeben wird und so wieder in dem Entwurfswerkzeug SPICE untersucht werden kann.

Einlesen des ICEM und Beschreibung als Differentialgleichungssystem

Da die Modellordnungsreduktion auf der Systembeschreibung im Frequenzbereich basiert, müssen die ICEM-Modell im SPICE-Netzlisten-Format zunächst in die Systembeschreibung

$$\begin{aligned} (s\mathbf{C} + \mathbf{G})x &= \mathbf{B}u, & y &= \mathbf{L}x \\ \mathbf{C}, \mathbf{G} &\in R^{N \times N}; \mathbf{B}, \mathbf{L} &\in R^{N \times p} \end{aligned} \quad (2.13-1)$$

im Frequenzbereich transformiert werden, wobei u dem Eingangsstromvektor, x dem Zustandsvektor und y dem Ausgangsspannungsvektor entspricht. Das Verhalten des Systems kann mit der Übertragungsfunktion

$$\mathbf{H}(s) = \mathbf{L}^T (s\mathbf{C} + \mathbf{G})^{-1} \mathbf{B} \quad (2.13-2)$$

beschrieben werden. Für das Einlesen der SPICE-Netzliste des ICEM und das Erzeugen der Systembeschreibung wird ein SPICE-Parser benötigt, der die elektrischen Elemente der Netzliste in ein für MATLAB lesbares Format in Form des Differentialgleichungssystems bringt. Dieser SPICE-Parser muss in der Lage sein die mit der modifizierten Knotenspannungsanalyse (MNA) erzeugten Systemmatrizen \mathbf{C} , \mathbf{G} , \mathbf{B} und \mathbf{L} automatisiert zu erzeugen. Ebenfalls muss er aus der Netzliste auslesen, wie sich die Eingänge u , die Systemvariablen x und die Ausgänge y ergeben. Die passiven Bauelemente, wie Widerstände, Induktivitäten und Kapazitäten werden in der Netzliste erkannt und in die Systemmatrizen \mathbf{C} und \mathbf{G} entsprechend des MNA-Verfahrens eingetragen. Der in diesem Projekt erstellte SPICE-Parser funktioniert vollautomatisch und wurde speziell für ICEM-Netzlisten angepasst. Die Stromquellen des ICEM werden als Eingang definiert, und deren Verknüpfung mit den passiven Elementen in die Matrizen \mathbf{B} und \mathbf{L} geschrieben. Als Erweiterung ist der SPICE-Parser fähig, ein für die nachfolgende Modellordnungsreduktion effizientes Zusammenfassen der Stromquellen automatisiert durchzuführen.

Modellordnungsreduktion der Systembeschreibung

Verfahren der Modellordnungsreduktion werden häufig zur Reduktion des Rechenaufwandes von Modellen genutzt [2.13-13 – 2.13-17]. Für elektrische Netzwerke, wie das ICEM Modell, werden häufig Verfahren die auf der Projektion auf Krylov-Unterräumen basieren genutzt [2.13-14 – 2.13-17].

Bei der Reduktion durch Projektion wird die Systembeschreibung des Modells mit einer Ordnung N durch Projektion mit einer Projektionsmatrix \mathbf{T}

$$\begin{aligned} \tilde{\mathbf{C}} &= \mathbf{T}^T \mathbf{C} \mathbf{T}, & \tilde{\mathbf{G}} &= \mathbf{T}^T \mathbf{G} \mathbf{T}, & \tilde{\mathbf{B}} &= \mathbf{T}^T \mathbf{B}, & \tilde{\mathbf{L}} &= \mathbf{T}^T \mathbf{L}, & \tilde{\mathbf{H}}(s) &= \tilde{\mathbf{L}}^T (s\tilde{\mathbf{C}} + \tilde{\mathbf{G}})^{-1} \tilde{\mathbf{B}} \\ \tilde{\mathbf{C}}, \tilde{\mathbf{G}} &\in R^{n \times n}; \tilde{\mathbf{B}}, \tilde{\mathbf{L}} &\in R^{n \times p} \end{aligned} \quad (2.13-3)$$

reduziert, wobei $n \ll N$ die Ordnung des reduzierten Systems ist [2.13-14]. Zur Erzeugung der Projektionsmatrix \mathbf{T} kann ein Krylov-Unterraum im Frequenzpunkt $s=0$ wie in PRIMA [2.13-14] oder in mehreren Frequenzpunkten als MP-Krylov [2.13-15] genutzt werden. Die Übertragungsfunktion

$$\tilde{\mathbf{H}}(s) \approx \mathbf{H}(s) \quad (2.13-4)$$

ist dabei ähnlich zur originalen unreduzierten Übertragungsfunktion. Durch Singulärwertzerlegung des Unterraumes wie in PMTBR [2.13-16] kann die Reduktion weiter erhöht werden. Ebenfalls kann die Struktur des Systems erhalten bleiben, indem die Projektionsmatrix mit SPRIM [2.13-17] aufgeteilt wird.

Erzeugen eines reduzierten Netzwerkes

Die reduzierten Modelle müssen wiederum als Netzliste eines äquivalenten elektrischen Netzwerkes synthetisiert werden. Durch Synthese der reduzierten Systembeschreibung der Form in Gleichung (2.13-3) wird durch Direct Stamping [2.13-18] ein äquivalentes Netzwerk aus RLC-Bauelementen und gesteuerten Quellen erhalten (Bild 2.13-2). Die Synthese nach Bild 2.13-2 wurde automatisiert und implementiert.

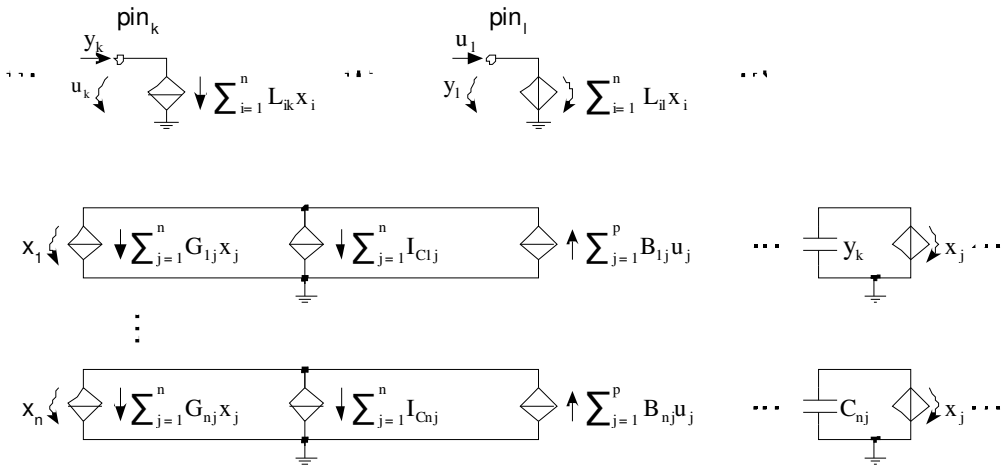


Bild 2.13-2: Ausschnitt aus synthetisiertem Netzwerk aus beliebigen Systemmatrizen

2.13.4 Anwendungsbeispiele und Verwertung

In diesem Abschnitt werden die Ergebnisse der Modellordnungsreduktion von verschiedenen ICEM Modellen gezeigt. Im ersten Abschnitt wird das Modell eines Ausschnittes aus einem vollständigen IC, ein digitaler Block, reduziert. Ein vollständiges ICEM eines kompletten IC mit dem Modell des Packages (Gehäuses) wird im zweiten Abschnitt reduziert, wobei das Verhalten aller Spannungsdomänen während der Reduktion erhalten bleiben soll. Im dritten Abschnitt wird ein ICEM mit Packagemodell reduziert, wobei das Verhalten an allen einzelnen Versorgungspins des ICs erhalten bleiben soll. Für verschiedene Kachelgrößen des ICEM wird im vierten Abschnitt eine Machbarkeitsstudie zu der möglichen Reduktion durchgeführt.

Reduktion eines ICEM-Testbeispiels eines digitalen IC-Blockes

Das erste Modell für die Modellordnungsreduktion von ICEM besteht aus einem Ausschnitt eines vollständigen ICEM, beispielsweise eines einzelnen digitalen Blockes aus dem gesamten IC. Das Beispielmodell eines Digitalblockes des TC1796 besitzt zwei Pins, V_{drain} und V_{source} , und besteht aus über 100 passiven RLC-Elementen und 12 unabhängigen Stromquellen.

Das Beispiel wird mit Hilfe der modifizierten Knotenspannungsanalyse in eine Systembeschreibung mit 75 Differentialgleichungen gebracht. Mit dem MP-Krylov-Algorithmus wird die Systembeschreibung der ICEM-Beispielnetzliste von $N=75$ auf $n=6$ reduziert. Das Verhalten des reduzierten Modells ist im betrachteten Frequenzbereich dem des Originalmodells sehr ähnlich. In Bild 2.13-3 sind beispielhaft Magnitude und Phase der Übertragungsfunktion Z_{11} dargestellt. Die restlichen Übertragungsfunktionen zeigen ebenfalls nur geringe Abweichungen gegenüber dem Originalmodell.

Mit dem gesteuerte Quellen-Verfahren und dem GC-Syntheseverfahren wird das reduzierte System als Netzwerk synthetisiert und mit HSPICE simuliert. Die Ergebnisse beider Netzwerksyntheseverfahren sind in Tabelle 2.13-1 gegenüber gestellt.

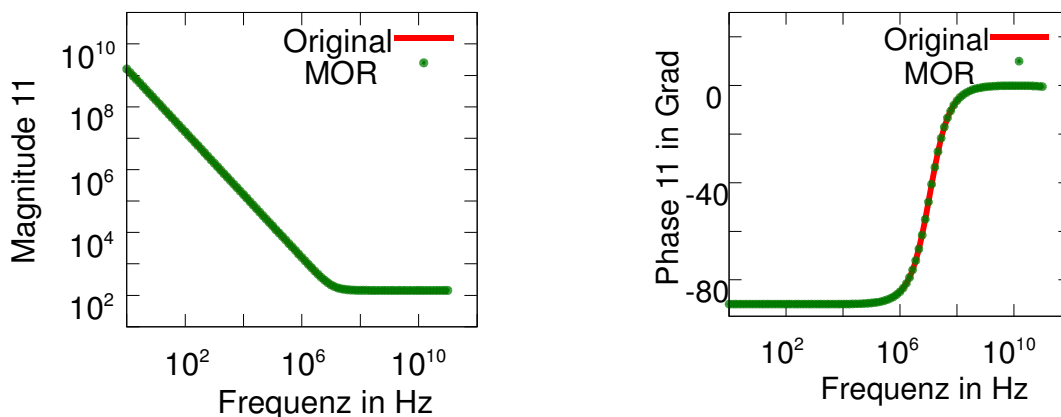


Bild 2.13-3: Frequenzgang von Z_{11} des Originals und des reduzierten ICEM (MATLAB-Simulation)

Es ist erkennbar, dass mit dem GC-Syntheseverfahren deutlich kleinere Netzwerke erzeugt werden können, welche sich um den Faktor 3 schneller simulieren lassen und nur etwa die Hälfte an Speicher benötigen als mit dem herkömmlichen Syntheseverfahren.

Das Verhalten des reduzierten Modells, erzeugt mit dem GC-Syntheseverfahren, in transienten SPICE-Simulationen ist dem des Originalmodells ähnlich (Bild 2.13-4/Bild 2.13-5). Das reduzierte Modell benötigt nur etwa die Hälfte der Rechenzeit im Vergleich mit dem originalen unreduzierten Modell.

Synthesevariante	Speicherbedarf	Knoten	Bau-elemente	Simulationszeit
Gesteuerte Quellen	375 kB	89	207	27 s
GC-Netzwerk	195 kB	29	87	8 s

Tabelle 2.13-1: Vergleich der Netzwerksyntheseverfahren aus Systemmatrizen

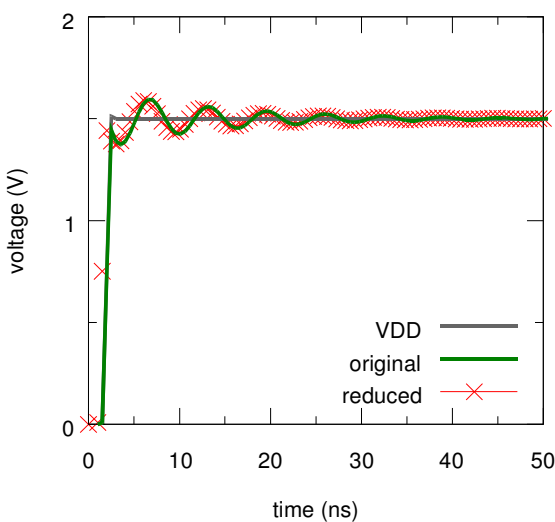


Bild 2.13-4: Zeitverhalten des ICEM bei Hochfahren der Versorgungsspannung (HSPICE-Simulation)

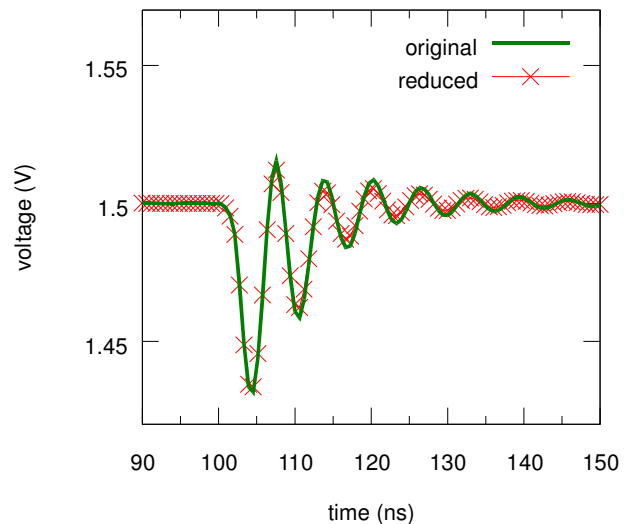


Bild 2.13-5: Zeitverhalten des ICEM bei Schaltvorgängen im IC (HSPICE-Simulation)

Da neben Simulationen des reduzierten Modells im Zeitbereich ebenfalls Simulationen im Frequenzbereich (AC Simulationen) erwünscht werden, wurde die Anwendbarkeit der Modellordnungsreduktion für diese Simulationen überprüft. Die durch Netzwerksynthese aus der reduzierten Systembeschreibung erzeugten Netzlisten müssen für AC Simulationen nicht verändert werden. Frequenzsimulationen werden mit Hilfe einer AC-Analyse in HSPICE mit dem reduzierten Modell durchgeführt. Für die AC-Analyse wurden an den Pins des ICEM an Stelle von Gleichspannungsquellen AC-Quellen verwendet. Eine AC-Analyse, durchgeführt mit dem reduzierten Modell und mit dem Originalmodell zeigen eine gute Übereinstimmung der Simulationsergebnisse (Bild 2.13-6).

Der Rechenaufwand mit dem reduzierten Modell war für diese Simulation etwa 30 % niedriger als mit dem Originalmodell. Im Vergleich zu den Ergebnissen der Zeitsimulation (50 %) fällt der Geschwindigkeitsgewinn etwas niedriger aus. Die Tendenz ist aber ähnlich, was die Einsetzbarkeit der Modellordnungsreduktion nicht nur für beschleunigte Zeitsimulationen sondern auch für Frequenzsimulationen bestätigt.

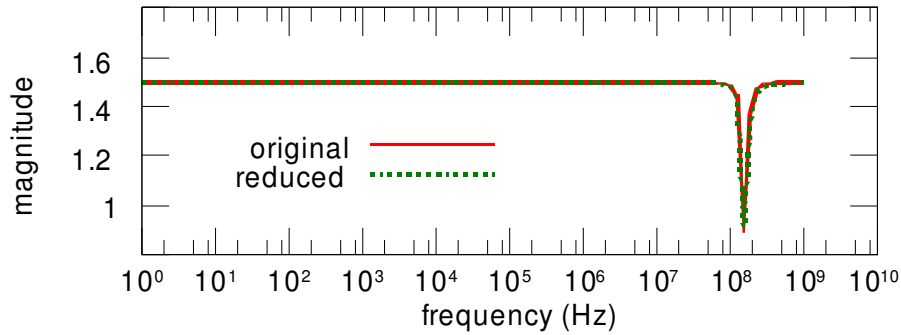


Bild 2.13-6: AC-Simulation mit reduziertem und originale ICEM (HSPICE-Simulation)

Reduktion eines pin-bezogenen ICEM mit Packagemodell

Das Beispiel ICEM-Netzwerk des Infineon TC1796 in diesem Abschnitt besteht aus dem eigentlichen ICEM-Kern mit dem Substratkoppelnetzwerk und Modellen für die Pads sowie einem Packagemodell. Die Netzliste die das Modell beschreibt wurde mit dem Werkzeug EXPO [2.13-1, 2.13-2] erzeugt. Das gesamte Modell besteht aus 61 Versorgungsspannungspins, ~35.000 passiven RLC-Elementen und 316 unabhängigen Stromquellen für den ICEM-Kern und 12 Stromquellen in den Padmodellen. Das Differentialgleichungssystem zur Beschreibung des Netzwerkes besteht aus $N = 25062$ Gleichungen.

MOR-Verfahren	Reduktion	Speed-up	Genauigkeit
PMTBR	99.2 %	188x	hoch
MP-Krylov	98.9 %	132x	sehr hoch

Tabelle 2.13-2: Reduktion des pin-bezogenen ICEM

Mit den MOR-Verfahren MP-Krylov und PMTBR wird das Modell reduziert. Mit dem MP-Krylov Verfahren ist eine Reduktion um 98.9 % möglich, was bei einer sehr hohen Genauigkeit einen Geschwindigkeitsgewinn um den Faktor 132 ergibt. Mit dem PMTBR-Algorithmus wird das Modell um 99.2 % reduziert, Tabelle 2.13-3. Das reduzierte Modell besitzt weiterhin eine sehr hohe Genauigkeit im Vergleich mit dem Originalmodell, kann aber um den Faktor 188 schneller simuliert werden. Beispielhaft ist in Bild 2.13-7 die Übertragungsfunktion Z_{33} der reduzierten Modelle dargestellt. Es ist erkennbar, dass beide reduzierten ICEM Modelle eine gute Übereinstimmung mit dem Originalmodell zeigen und der Fehler im betrachteten Frequenzbereich immer kleiner als 10 % ist.

Für weitere Untersuchungen im Zeitbereich können die reduzierten Systembeschreibungen mit den beschriebenen Syntheseverfahren als Netzwerk synthetisiert werden.

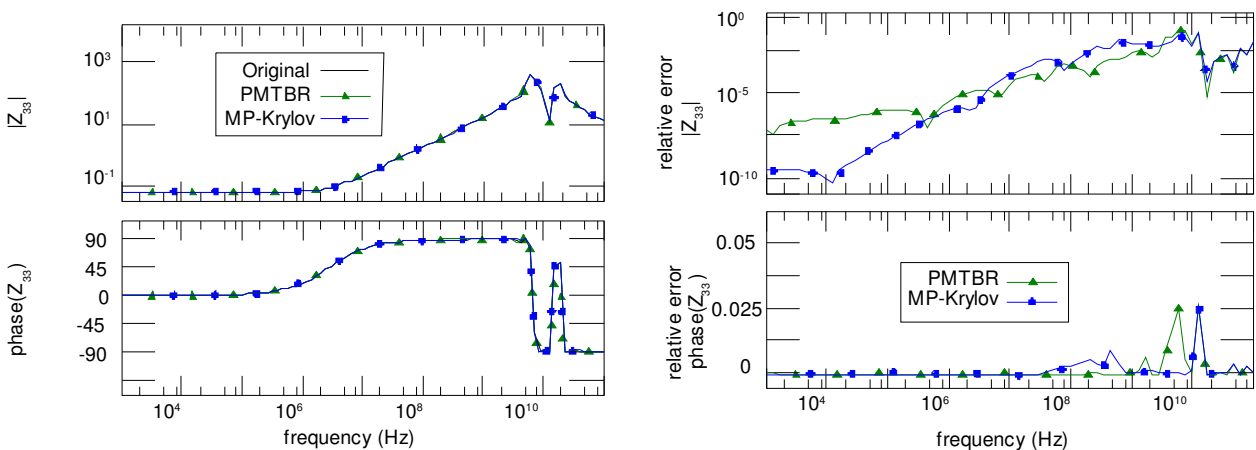


Bild 2.13-7: Reduzierte Übertragungsfunktionen des pin-bezogenen ICEM (MATLAB-Simulation)

Machbarkeitsstudie zur Reduktion für verschiedene Kachelgrößen in ICEM

Für weitere Untersuchungen wurden von der Infineon Technologies AG weitere ICEM Modelle geliefert. Die bisher untersuchten Modelle modellierten das Emissionsverhalten des TC1796. Für den Microcontroller TC1766 sind ebenfalls ICEM Modelle vorhanden. Von Infineon wurden mehrere Modelle mit einer unterschiedlichen Genauigkeit geliefert. Die Diskretisierung der Chipfläche entsprach einmal $0.2 \times 0.2 \mu\text{m}^2$ und einmal $0.4 \times 0.4 \mu\text{m}^2$. Beide Netzlisten wurden mit dem MOR Programm automatisch eingelesen. Für die Modelle sind die Anzahl der Bauelemente sowie der Knoten in dargestellt. Beide Beschreibungen werden mit Hilfe des MP-Krylov Verfahrens reduziert. Für beide Modelle sind zwei angepasste Momente ausreichend, bei dem größeren Modell werden drei Entwicklungspunkte und bei dem kleineren zwei Entwicklungspunkte genutzt. Die Ordnung des großen Modells mit der feineren Diskretisierung von $0.2 \mu\text{m}$ wird um 98.5 % auf $n = 288$ und das die des kleinen Modells mit der gröberen Diskretisierung um 98.8 % auf $n = 144$ reduziert. Die damit erzeugten Netzwerke besitzen deutlich weniger Knoten, was eine schnellere Simulation in der Größenordnung von ~ 200 für beide Modelle ermöglicht.

Kachelgröße	Elemente Knoten	Ordnung N	reduzierte Ordnung n	Reduzierte Elemente Knoten
0.2 μm	48054 13851	19937	288	117648 468
0.4 μm	17186 8753	12091	144	13320 180

Tabelle 2.13-3: Reduktion von ICEM mit verschiedenen Kachelgrößen

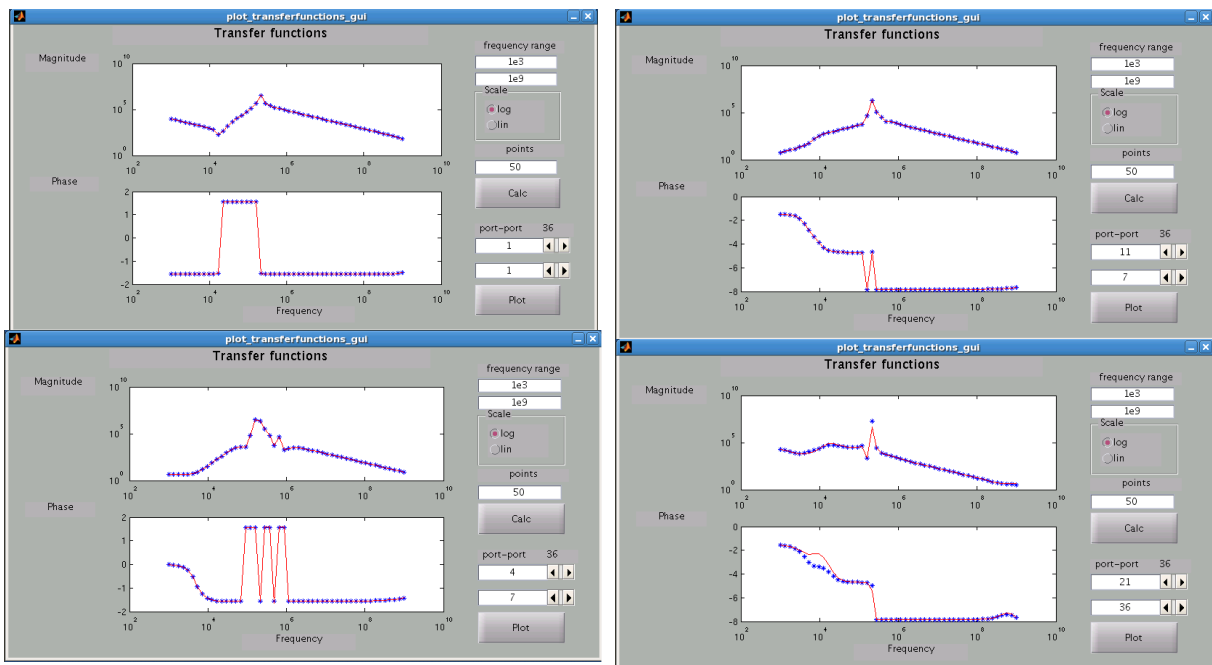


Bild 2.13-8: Beispielhaft ausgewählte Übertragungsfunktionen des TC1766 mit 0.2 μm Diskretisierung (MATLAB-Simulationen)

Für die Genauigkeitsüberprüfung werden beispielhaft einige Übertragungsfunktionen des Modells mit $0.2 \mu\text{m}$ Kachelgröße untersucht, welche in Bild 2.13-8 dargestellt sind. Erkennbar ist, dass für viele Übertragungsfunktionen ($Z_{1,1}$, $Z_{4,7}$, $Z_{11,7}$) sehr gute Übereinstimmung in dem betrachteten Frequenzbereich von 1 kHz bis 1GHz besitzt. Für andere Übertragungsfunktionen (beispielsweise $Z_{21,36}$) sind Abweichungen erkennbar.

Diese Abweichungen sind aber relativ gering und deren Einfluss auf die Simulationsergebnisse kann vernachlässigt werden. Es wurde gezeigt, dass für verschiedene Kachelgrößen, welche bei der ICEM Modellierung genutzt werden, mit MOR eine höhere Geschwindigkeit in Simulationen ermöglicht wird.

2.13.5 Literatur - Modellordnungsreduktion und ICEM

- [2.13-1] D. Hesidenz, T. Steinecke; *Chip-Package EMI Modeling and Simulation Tool EXPO*; EMC Compo, Munich, Germany, 2005
- [2.13-2] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner; *High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board*; IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, 2007
- [2.13-3] S. Ludwig, W. Mathis; *Application of Order Reduction to Emission Models of Automotive Controllers*; Topical Forum: EMC Design, Optimization and Modelling of Automotive Components, 20th Zurich International Symposium on Electromagnetic Compatibility, Zurich, Switzerland, January 2009
- [2.13-4] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Passive and Reciprocal Network Description of Independent Sources for Efficient Model Reduction*; International Conference on Signals and Electronic Systems - ICSES, Krakow, Poland, September 2008
- [2.13-5] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Description of RLC-Macromodels with a Large Number of Independent Sources for Model Order Reduction*; EMC Europe 2008, Hamburg, Germany, September 2008
- [2.13-6] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Description and Implementation of Electrical Networks of EMC-Macromodels for Model Order Reduction*; Wroclaw International Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, Poland, June 2008
- [2.13-7] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Comparison of Order Reduction Algorithms for IC Emission Models*; Wroclaw International Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, Poland, June 2008
- [2.13-8] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Model Reduction of Passive Electrical Networks with a Large Number of Independent Sources*; IEEE International Symposium on Circuits and Systems - ISCAS, pp. 1280 – 1283, Seattle, USA, May 2008
- [2.13-9] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Two-step Order Reduction of IC Conducted Emission Models*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, Singapur, May 2008
- [2.13-10] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Efficient Passive Network Description of IC Conducted Emission Models for Model Reduction*; Advances in Radio Science, 2008
- [2.13-11] Lj. Radić-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Model order reduction of linear time-invariant systems*; *Advances in Radio Science*; 2008
- [2.13-12] S. Ludwig, Lj. Radić-Weissenfeld, W. Mathis, W. John; *Model Order Reduction of Integrated Circuit Conducted Emission Models*; 6th International Workshop on Electromagnetic Compatibility of Integrated Circuits - EMC Compo, pp 215 – 219, Torino, Italy, November 2007
- [2.13-13] A.C. Antoulas; *Approximation of Large-scale Dynamical Systems*; SIAM, 2003
- [2.13-14] Odabasioglu, M. Celik, L.T. Pileggi; *PRIMA: Passive Reduced- Order Interconnect Macromodeling Algorithm*; IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 17, No. 8, August 1998
- [2.13-15] I.M. Elfadel, D.D. Ling; *A Block Rational Arnoldi Algorithm for Multipoint Passive Model-Order Reduction of Multiport RLC Networks*; Proceedings International Conference Computer-Aided Design, San Francisco, USA, 1997
- [2.13-16] J.R. Phillips, L.M. Silveira; *Poor Man's TBR: A Simple Model Reduction Scheme*; IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 24, No. 1, 2005
- [2.13-17] R. W. Freund; *SPRIM: Structure-Preserving Reduced Order Interconnect Macromodelling*; IEEE/ACM International Conference on Computer Aided Design, San Jose, California, USA, pp. 80–87, Nov. 2004
- [2.13-18] T. Palenius, J. Roos; *Comparison of Reduced-Order Interconnect Macromodels for Time-Domain Simulation*; IEEE Transactions on Microwave Theory and Techniques, vol. 52, pp. 2240–2250, Sep. 2004

2.14 B 3.1.4 Extraktion kritischer Signalpfade in HDI/HDP-Systemen - ZUKEN

2.14.1 Einleitung

Das Problem parasitärer Störungen beim HDI/HDP Entwurf nimmt mit steigender Komplexität dieser Designs dramatisch zu. Daher wird es zunehmend entscheidend die Analysekomplexität – gerade bei kritischen Anwendungsbereichen wie Automotive oder Telekommunikation zu reduzieren, auch wenn es bereits anerkannte Verfahren gibt einzelne Störeffekte wie Leitungsverluste, Signalverzerrungen und das SI-Verhalten von diesen Systemen punktuell effizient und schnell zu berechnen. Und eine genaue Analyse auch im Multi-GHz Bereich zu ermöglichen, ist die exakte Modellierung der kompletten komplexen Interconnect-Struktur notwendig, um diese dann effizient analysieren zu können reiche herkömmliche Verfahren nicht mehr aus.

Konventionelle Analyseansätze zur Extraktion kritischer Signalpfade auf HDI/HDP Strukturen weisen typischerweise eine Störquelle (i.d.R. ein das Signal treibender IC Pin) auf, woraus dann durch eine Transformation vom Zeit- in den Frequenzbereich für Schaltungen mit linearen Abschlüssen auch verlässliche Analysedaten gewonnen werden können. Eine Reduktion der Komplexität kann dabei aber erreicht werden wenn lediglich einige grundlegende Strukturen eines Signalpfades deren Verhalten dann einfacher zu analysieren ist betrachtet werden.

Bearbeitete Arbeitspunkte in diesem Workpackage waren:

- Entwicklung eines Ansatzes zur Identifizierung/Extraktion generischer Substrukturen in HDP-HDI Strukturen
- Entwicklung generischer Modelle für derartige Substrukturen und deren Parametrisierung
- Partitionierung und Klassifikation von funktionalen Strukturen auf HDP-HDI Strukturen
- Entwicklung eines Problemreduktionsprozesses (ähnlich eines *model order reduction* Prozesses (MOR))
- Definition von Test-Strukturen für die EMZ Simulation
- Validierung der Modelle und des *problem order reduction* Prozesses.

2.14.2 Technische Ergebnisse

Modellierung stark verkoppelter Induktivitäten auf HDI Strukturen

Im Rahmen der Arbeiten im Workpackage 3 wurde die EMZ Modellierung diskreter Bauelemente um Filter mit gekoppelten Induktivitäten erweitert. Der im Verlauf des Projektes entwickelte prototypische Modellierungsansatz wurde dabei anhand konkreter Halbleiter-Modelle gegen eine native HSPICE Simulation verifiziert.

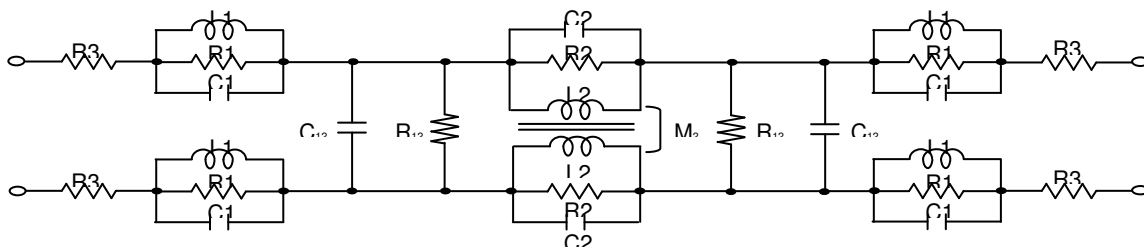


Bild 2.14-1: Struktur eines Common Mode Filter Elements

Hierzu wurde basierend auf Angaben von TDK das Modell eines sogenannten *Common Mode Chokes* auf Ersatzschaltbildebene aufgebaut (Bauteil TDK ACM2012H-900-2P) und der Effekt des Filters auf die Signalqualität am Empfänger wurden in HSPICE und in der Zuken Simulationsumgebung Lightning simuliert (Zeitbereichssimulationen).

Part No	R1(O)	L1(nH)	C1(pF)	R2(O)	L2(nH)	C2(pF)	C12(pF)	R12(GO)	R3(O)
ACM2012H-900-2P	15	1.0	0.84	880	200	0.02	0.01	1	0.065
ACM2012D-900-2P	15	2.0	0.84	880	200	0.02	0.01	1	0.065

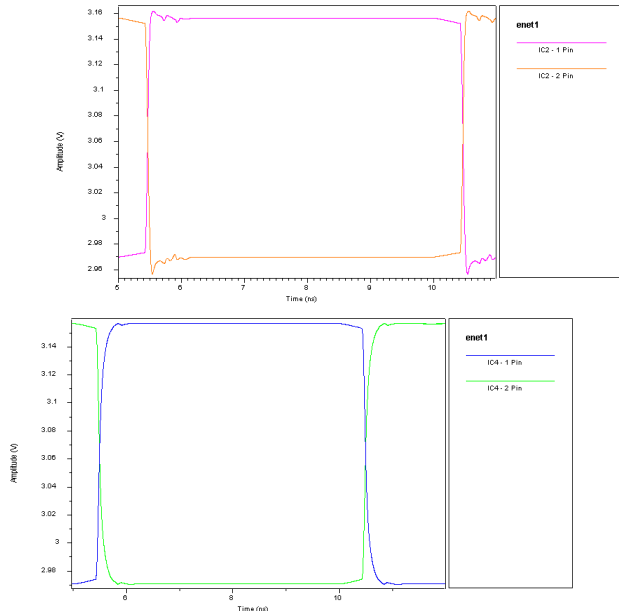


Bild 2.14-2: Zeitbereichsimulation ohne (links) und mit (rechts) Common Mode Filter

Generische **Blackbox** Modelle für HDI Sub-Strukturen

Im Rahmen der Aktivitäten des Beitrags 3.1.4 hat Zuken sich mit Möglichkeiten für eine Modellierung generischer elektrischer Strukturen auf hoher Abstraktionsebene (sogenannte Black-Box N-Port Modelle) beschäftigt und dabei prototypisch eine mögliche Anbindung an Entwurfswerkzeuge zum Power-Ground Entwurf spezifiziert, diese Ergebnisse werden in einen Meilensteinbericht einfließen. Dabei war es notwendig generische sogenannte T-Elemente als auch PI-Elemente innerhalb eines solchen Modells zu unterstützen wo für jeden Branch mindestens ein RLC Glied (oder deren Kombination) zur Modellierung herangezogen wird. Diese beiden Strukturen sind in Bild 2.14-3 dargestellt.

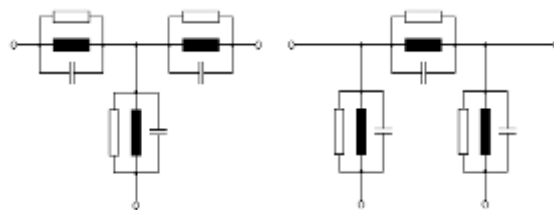


Bild 2.14-3: Generische T- und Pi-Elemente als RLC Glieder

Darüber hinaus existieren Anforderungen von Anwendern, auch spezifische Strukturen (z.B. Ferrite Beat Filter) in der Modell-Erstellung und in der Analyse zu unterstützen, auch dies ist in die Arbeiten eingeflossen. Ein Beispiel für solche Filterstrukturen ist in Bild Bild 2.14-4 dargestellt.

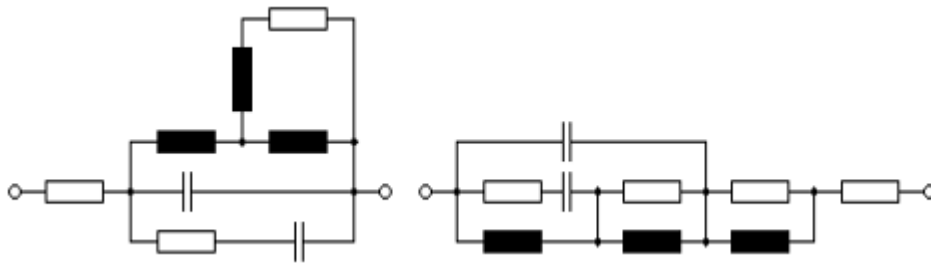


Bild 2.14-4: Spezifische Ferrite Bead Filter als Ersatzschaltbild

Im ersten Ansatz konnten nur passive Elemente und Leitungsstrukturen berücksichtigt werden können; d.h. Dioden sowie Spannungs- und Stromquellen sowie gekoppelte Leitungen müssen später untersucht werden.

Filter Modelle für Versorgungssystem-Analysen

Im Rahmen der Aktivitäten von Workpackage 3 wurde durch die Modellierung generischer Strukturen auf hoher Abstraktionsebene (so genannte Black-Box N-Port Modelle) der Ansatz – insbesondere im Hinblick auf eine EMC bzw. EMS Simulation – um Filter-Elemente erweitert.

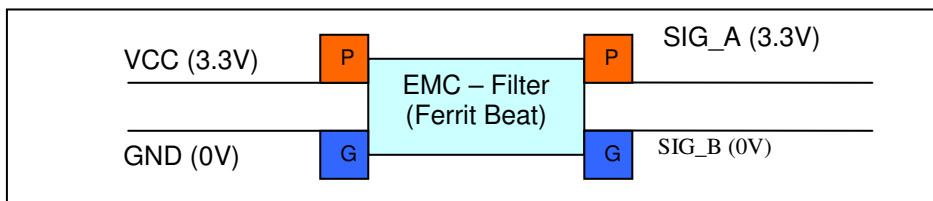


Bild 2.14-5: Struktur eines Filter Elements

Hiermit wurden konkrete Anforderungen von potentiellen Anwendern umgesetzt. Dabei kam der Signal- und Störpfadextraktion sowohl im AC- wie auch im DC-Fall eine besondere Bedeutung zu. Nächstes Ziel ist die Berücksichtigung des frequenzabhängigen Verhaltens $Z(f)$ bzw. $S(f)$ zwischen den einzelnen Filter-Anschlusspins während einer EMS Simulation.

Weiterhin wurde ein Verfahren entwickelt um das parasitäre Verhalten von Testpunkten kapazitiv in eine EMS Simulation mit einzubeziehen:

$$C_{land} = \frac{\epsilon_0 \epsilon_r' A}{D} \text{ Farads}$$

Land

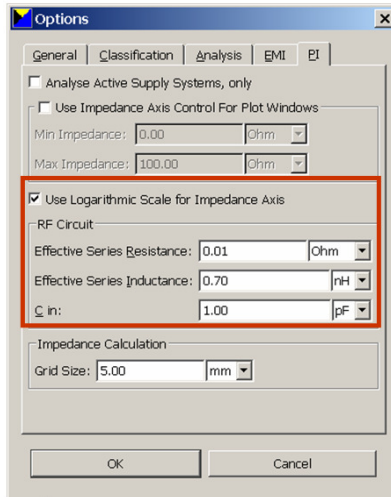
Plane

$$\epsilon_r' = \frac{\sum_{i=1}^{\text{number-of-dielectrics}} \epsilon_{ri} \cdot Di}{\sum_{i=1}^{\text{number-of-dielectrics}} Di}$$

Bild 2.14-5: Berechnung der Kapazität von Test-Land-Patterns

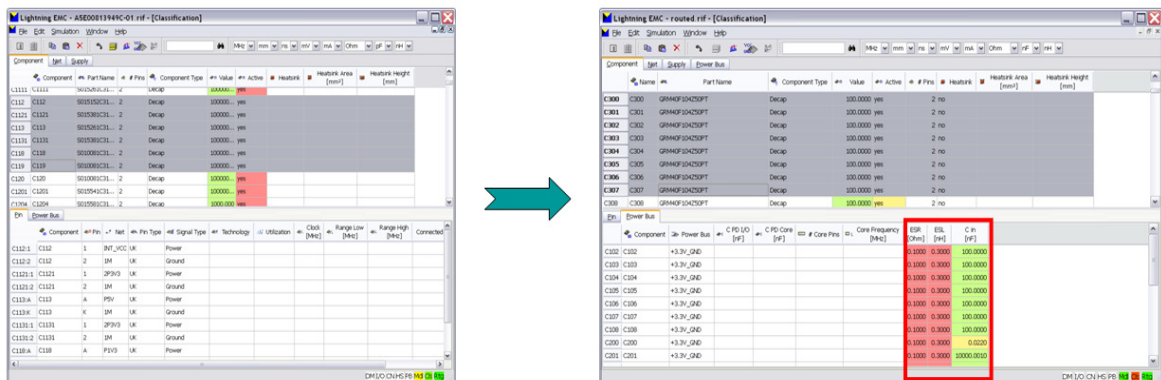
Modellierung von Abblockkondensatoren – ESL/ESR

Das neu entwickelte Verfahren zur Berechnung des Impedanzverlaufes beliebig geformter flächiger Versorgungsstrukturen von HDI Systemen wurde weiter verfeinert hinsichtlich der Parametrisierbarkeit der Analyse und hinsichtlich der Berücksichtigung parasitärer Effekte von Abblockkondensatoren (ESL/ESR).



2.14-6: Globale ESL/ESR Kondensator Parameter für EMS Simulation

Im Projektzeitraum wurden die Modellierungsmöglichkeiten hinsichtlich dieser *ESL/ESR-Parasitics* von bisher globalen Parametern auf individuelle Werte (d.h. für jeden Abblockkondensator individuell möglich, Bibliotheksansatz) erweitert und gegen Teststrukturen validiert.



2.14-7: Individuelle ESL/ESR Kondensator Parasitics für EMS Simulation (erster bzw. zweiter Evaluierungs-Demonstrator)

Darüber hinaus wurden die Arbeiten an einer Berücksichtigung von ICEM Modellen in einer EMS Simulation in enger Zusammenarbeit mit dem UA-Nehmer IZM/ENAS sowie mit Infineon Technologies AG als Halbleiterhersteller fortgeführt. Unter anderem wurde ein Konzept erarbeitet, ICEM Modelle in eine Pol-Nullstellenbeschreibung geringerer Ordnung und Komplexität umzusetzen.

Zusätzlich wurde das TriCore Testdesign des Projektpartners Infineon Technologies AG aus dem Format eines Fremd-CAD Systems (Altium Protel) in das ZUKEN ECAD Format umgesetzt und steht somit als Demonstrator und Trägerboard für die ICEM Modell-Nutzung bei einer EMS Simulation zur Verfügung.

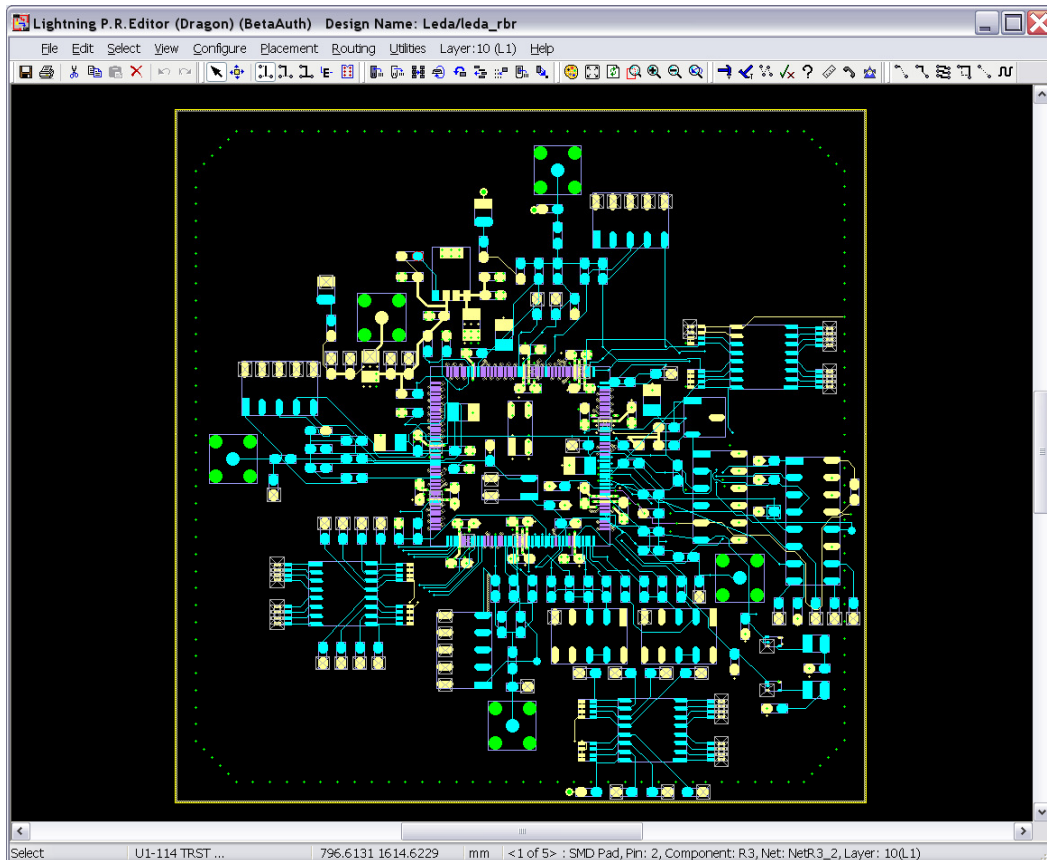


Bild 2.14-8: ICEM Test-Leiterplatte von Infineon Technologies AG im ZUKEN ECAD Flow

Adaptives Meshing für den Power-Integrity Solver

Aufbauend auf den Ergebnissen aus diesem Beitrag wurde die erste Implementierung der RLC-Grid Methode von einem simplen äquidistantem Grid (alle Beobachtungspunkte auf dem Versorgungssystem in gleichem Abstand, quasi ein Gitteransatz) auf ein adaptives variables Grid erweitert.

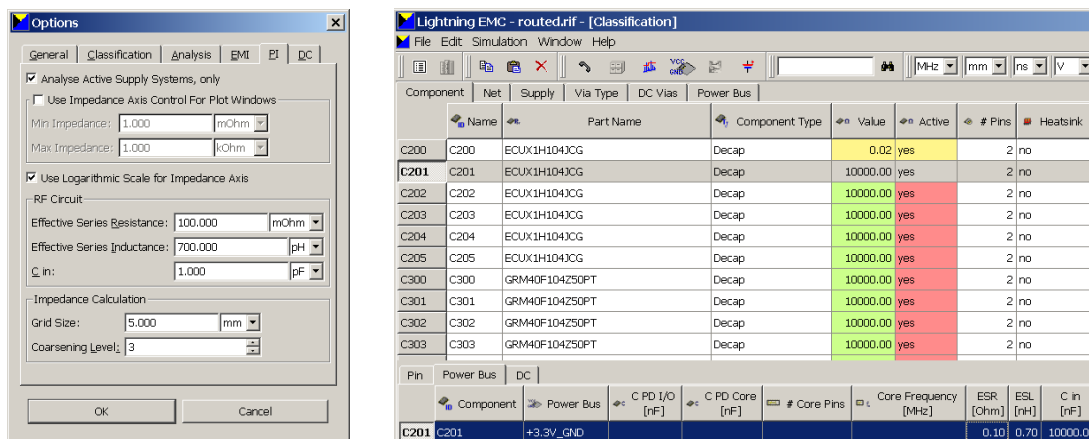


Bild 2.14-9: EMS Simulationsumgebung mit Simulationsoptionen + ESL/ESR Spezifikation von DeCaps

Analyseflow für die EMZ Analyse von HDI Versorgungssystemen

Eines der ersten Ergebnisse aus den initialen Prototyp-Evaluierungen mit realen Anwendungsfällen waren die teilweise sehr hohen Simulationszeiten (abhängig von der zu untersuchenden Struktur aber auch von den gewählten Simulationsoptionen (Gitterdichte)), hierfür wurde das EMS Anwendungskonzept dahingehend modifiziert, das auch selektive Bereiche des Versorgungssystems expliziert analysiert werden können und so schnellere What-If (z.B. Studien hinsichtlich Wirksamkeit/Einfluß von Abblock-Kondensatoren).

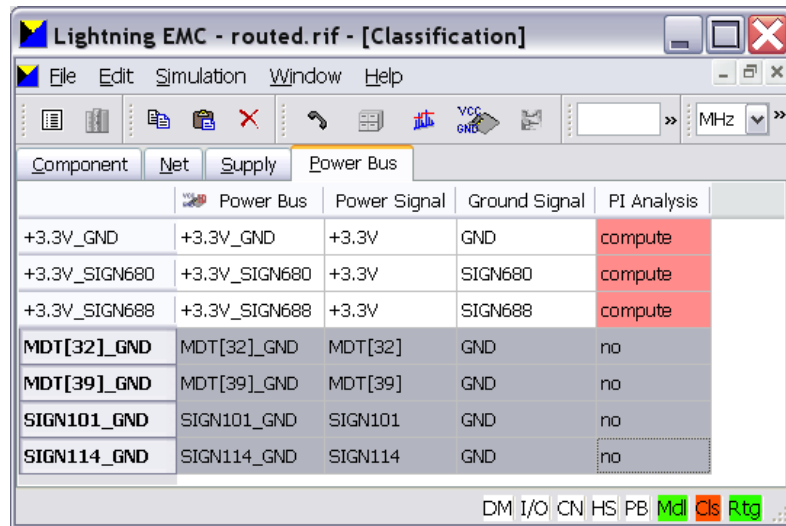


Bild 2.14-10: EMS Simulationsumgebung mit frei wählbaren Simulationstargets

Zusätzlich wurden im Berichtszeitraum Verfahren entwickelt, die frequenzabhängigen Ergebnisse der Impedanzberechnungen (u.a. aus AP1) von einer reinen frequenzbasierten Darstellung $Z(f)$ auch auf ortsabhängige Impedanzverteilungen für beliebige vom Anwender zu wählende Frequenz-Beobachtungspunkte darzustellen. Diese Ergebnisse werden direkt im CAD-System während des Entwurfsprozesses angezeigt und können so direkte Hinweise z.B. auf Platzierungsalternativen oder aber auf andere Abblockkonzepte geben.

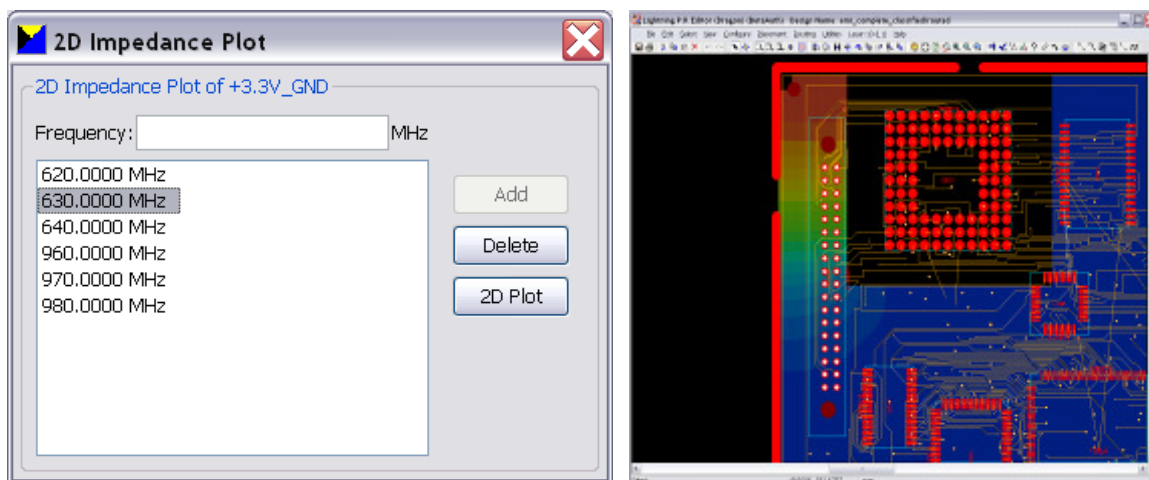


Bild 2.14-11: EMS Simulationsumgebung mit frequenzabhängigen Ergebnissen (hier Impedanzverteilungen auf dem Stromversorgungssystem mit ortsabhängigen Resonanzen)

AP5: EDA-Implementierung zur Beurteilung der elektromagnetischen Zuverlässigkeit

2.15 Beitrag 5.1.1: Entwicklungsprozess-orientierte Modellierung und Simulation der elektromagnetischen Zuverlässigkeit – Infineon Technologies AG

2.15.1 Einleitung

Die Erstellung von Modellen und die Simulation der elektromagnetischen Zuverlässigkeit muss für eine sinnvolle Verwertung in den IC-Entwurfsprozess integriert werden. Für die in Beitrag 2.1.3 geleisteten Arbeiten zum CLEX-Tool für die ESD-Simulation von Smart-Power-ICs hat die Integration in den Entwurfsprozess durch die Auswahl des CADENCE Design Framework als Modellierungs- und Simulationsplattform sozusagen automatisch stattgefunden und wird nicht mehr gesondert in diesem Beitrag erwähnt.

Beitrag 5.1.1 befasst sich ausschließlich mit der Optimierung von Simulationsmodellen für die elektromagnetische Emission von Microcontrollern, basierend auf den Infineon-eigenen Modellierungswerkzeugen NEMO und EXPO.

Das Tool NEMO leistet die Schaltstrom-Charakterisierung von Zellbibliotheken (Gatter, Speicherblöcke, usw.). Die Schaltströme werden durch SPICE-Stromquellen beschrieben und für die Modellerstellung eines Microcontrollers in die Netzliste des Spannungsversorgungsnetzwerks eingebunden. In EXPO wird der geometrische Aufbau (Floorplan) eines Microcontrollers graphisch erstellt. EXPO erzeugt aus diesen Geometrie-Angaben automatisch eine SPICE-Netzliste des kompletten On-Chip-Spannungsversorgungssystems. Diese Netzliste enthält alle Chip-Pads und wird noch mit einem IC-Gehäusemodell ergänzt. Dieses Gehäusemodell kann entweder direkt in EXPO erzeugt werden – dabei werden Leadframe- und BGA-Gehäuse unterstützt – oder es kann ein separat erzeugtes Gehäusemodell eingebunden werden.

Dieser Beitrag wurde mit fachlicher Unterstützung der Fraunhofer Gesellschaft (IZM Paderborn, später ENAS Paderborn) im Rahmen eines Unterauftrags durchgeführt.

2.15.2 Ziele der F+E Arbeiten

EXPO und NEMO sollten so optimiert werden, dass sehr frühzeitig im IC-Entwurfsprozess – wenn noch kein IC-Layout vorliegt – bereits Aussagen über die zu erwartende elektromagnetische Emission des betrachteten Microcontrollers getroffen werden können. Obwohl die EXPO-Netzlisten nicht aus einem existierenden IC-Layout abgeleitet werden, sondern nur auf dem groberen IC-Floorplan beruhen, hatten wir uns als Ziel eine maximale Abweichung von 6dB von gemessenen Emissionswerten gesetzt.

Parallel zur Modellierungsmethodik mit NEMO und EXPO war geplant, einen auf kommerziellen EDA-Tools basierenden Modellierungsprozess aufzusetzen, der auf dem fertigen Layout von Microcontrollern beruht und somit eine noch höhere Genauigkeit liefern sollte. Die auf diesem Prozess basierenden Simulationen sollten zur EMZ-Freigabe (Sign-Off) von Microcontrollern verwendet werden.

Für eine genaue Identifikation von Designschwachstellen durch suboptimale Anordnung von Funktionsmodulen oder Versorgungspins ist eine relativ hohe Modellgröße der in EXPO erzeugten IC-Gesamtnetzlisten notwendig.

Für eine Co-Simulation mit Leiterplatten sind die EXPO-Netzlisten allerdings zu groß. Hierzu ist ihre Verkleinerung auf ‚handliche‘ Größen notwendig, um sie als SPICE-Subcircuit in gängige Leiterplattensimulatoren wie z.B. Zuken CR5000 einbinden zu können und akzeptable Simulationsgeschwindigkeiten zu erreichen.

Aus diesen Anforderungen ergaben sich folgende Projektziele:

- Qualitative Optimierung der Infineon-eigenen Modellierungswerkzeuge NEMO und EXPO durch Korrelation mit Emissionsmessungen,
- Integration von NEMO und EXPO in den Entwurfprozess für Microcontroller,
- Installation eines kommerziellen EDA-Tools für die layout-basierte EMZ-Freigabe von Microcontrollern,
- Größenreduzierung der EXPO-Simulations-Netzlisten für die Erstellung von IC-Emissionsmodellen (ICEM) zum Einsatz in Leiterplattensimulatoren.

2.15.3 Technische Ergebnisse

Die genannten Projektziele wurden bis auf eines sämtlich erreicht.

Nicht zielführend war der Ansatz, mit einem kommerziellen EDA-Tool ein hochgenaues layout-basiertes Chip-Modell für elektromagnetische Emission aufzubauen. Das Tool unterstützte zwar die Generierung des elektrischen Versorgungsnetzwerk-Modells, war aber nicht in der Lage, Schaltstromprofile unter Berücksichtigung der Zellpositionen aus dem Chip-Layout zu extrahieren. Daher entschlossen wir uns während der Projektlaufzeit, diesen Tool-Ansatz nicht weiter zu verfolgen und konzentrierten uns auf unsere hauseigenen Tools NEMO und EXPO.

Die Einbindung der Modellierung und Simulation der elektromagnetischen Emission von Microcontrollern in den IC-Entwurfsprozess wurde vollständig beschrieben und an Produktdemonstratoren validiert. Es wurde eine Genauigkeit von kleiner 5 dB Abweichung von Emissionsmessungen erreicht (Bild 2.15-1). Dies ist ein sehr guter Wert für die Vorhersage von Microcontroller-Emissionen, da die Modellierung lediglich auf dem Floorplan (Anordnung der Module und Spannungsversorgungskonzept) beruht.

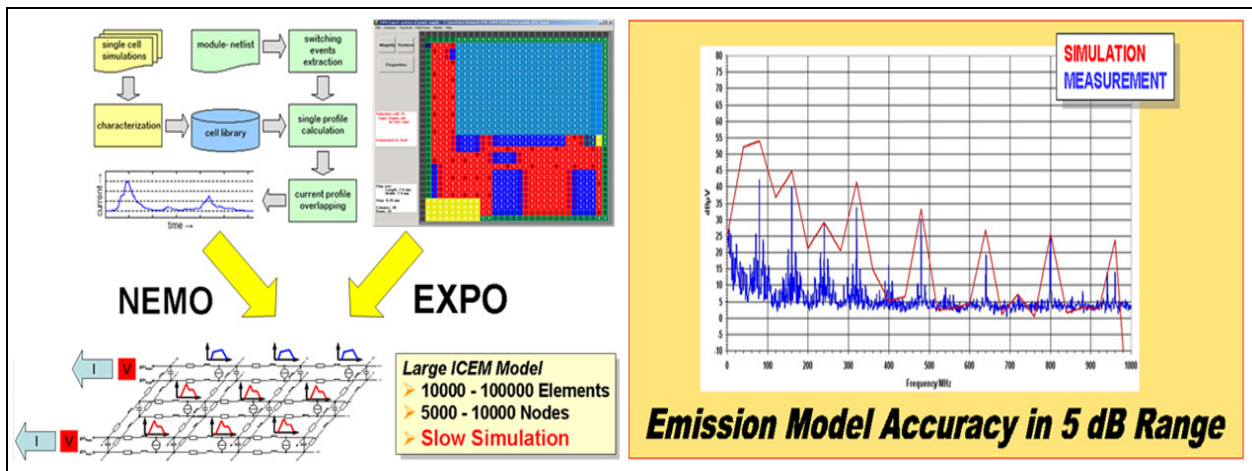


Bild 2.15-1: Großes IC-Emissionsmodell aus NEMO und EXPO (links); Erreichte Genauigkeit ist besser als 6 dB (rechts)

Mathematische MOR (Model Order Reduction) -Verfahren, die auf elektrische ICEM-/EXPO-Netzlisten angepasst wurden, konnten eine Größenreduktion der EXPO-Netzlisten um über 90 % realisieren (Bild 2.15-2). Dabei wurden alle IC-Pins erhalten und gleichzeitig das strukturelle IC-Innenleben, d.h. die RLC-Beschreibung des Versorgungssystems, extrem reduziert. So entstand ein *Blackbox-Modell*, das keine strukturellen Chip-Architekturinformationen mehr enthält. Insofern kann es bedenkenlos externen IC-Anwendern (z.B. Steuergeräteherstellern) für Systemsimulationen zur Verfügung gestellt werden, ohne IC-Design-Knowhow preiszugeben. Die Genauigkeit dieses reduzierten ICEM-Modells bleibt vergleichbar der Genauigkeit des Original-EXPO-Modells.

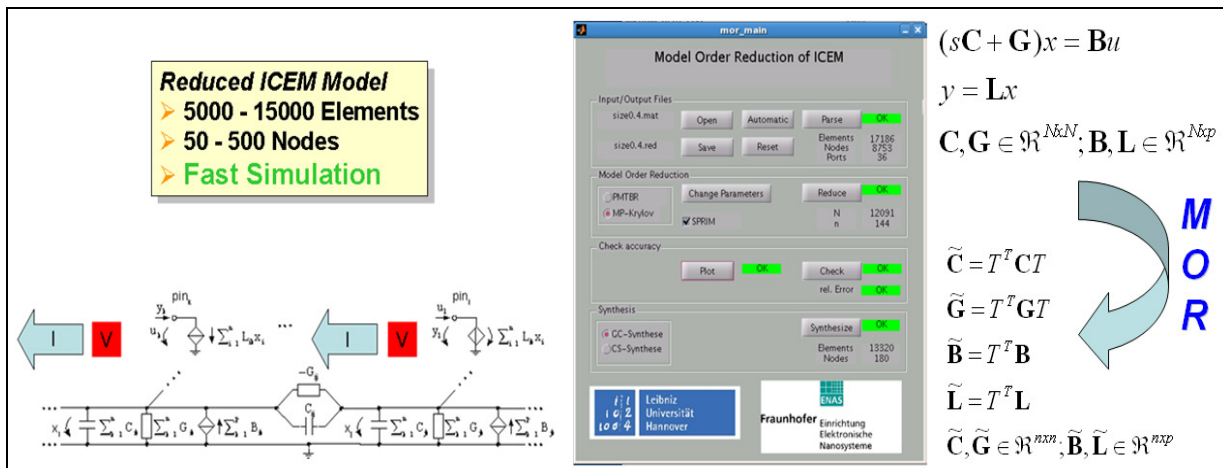


Bild 2.15-2: Extrem reduziertes IC-Emissionsmodell (links) durch Anwendung mathematischer Modellordnungsreduktions-Algorithmen auf elektrische Netzlisten (rechts)

Zusammen mit Bosch erfolgte die Erprobung von Microcontroller-ICEM-Modellen (am Beispiel der 32-Bit-Microcontroller Tricore-TC1766 und TC1796) für die Nutzung in Steuergerätesimulationen. Bosch konnte die Genauigkeit der ICEM-Modelle bestätigen.

Zuken hat die reduzierten ICEM-Netzlisten in seine EDA-Toolfamilie CR5000 eingebunden und anhand des Infineon-Testboards im Rahmen von Leiterplattensimulationen erfolgreich validiert.

2.15.4 Stand der Technik

Für die Generierung eines kompletten layout-basierten Chip-Modells, das sowohl die Verteilung der Störquellen als auch das komplette Versorgungsnetzwerk enthält, stehen heute ausgereifere kommerzielle EDA-Werkzeuge (z.B. von der Firma Apache Design Solutions, Inc.) zur Verfügung als in der ersten Projektphase von PARACHUTE. Daher macht es für Infineon Technologies AG keinen Sinn, weiter an der Entwicklung eines solchen Post-Layout Werkzeugs zu arbeiten. Interessant ist, dass solche Tools dieselben Ansätze implementieren, die wir in PARACHUTE vorgeschlagen haben: Vorcharakterisierung der Zellenbibliothek, vektorlose Stimuli und rekursive Stromquellen sind drei konkrete Beispiele für Methodiken, die wir mit NEMO genauso verfolgt haben. Insofern hat sich Infineon Technologies AG in PARACHUTE extrem umfangreiche und wertvolle Kenntnisse im Bereich der IC-Emissionsmodellierung erarbeitet. Die Möglichkeit, mit NEMO und EXPO vor Erstellung eines Chip-Layouts (Pre-Layout) bereits Fallstudien zur optimalen Modulanordnung und zum optimalen Versorgungskonzept durchzuführen, ist nach unseren Informationen weltweit einzigartig und verschafft der Infineon Technologies AG für das EMZ-gerechte Design von Microcontrollern echte Wettbewerbsvorteile.

2.15.5 Anwendungsbeispiele und Verwertung

NEMO und EXPO wurden auf mehrere 16- und 32-Bit-Microcontroller erfolgreich angewendet, um ICEM-Modelle für Kunden zu generieren. Mit NEMO wurden mehrere unterschiedliche Realisierungen von EMV-optimierten Taktbäumen auf Netzlistenbasis, d.h. ohne Layout, erfolgreich verifiziert und an einem Flexray-Controller-Demonstrator messtechnisch validiert. Die für optimal befundenen Designmethoden wurden in Infineon-internen Richtlinien für EMV-gerechtes IC-Design dokumentiert. Die Tools NEMO und EXPO sind Bestandteil des Infineon-Entwurfsprozesses für Microcontroller geworden und werden für alle neuen Microcontroller-Designs eingesetzt.

Die MOR-Methodik, um EXPO-Netzlisten extrem zu verkleinern und als ICEM-Modelle an Microcontroller-Kunden zu geben, ist ein wertvolles Resultat aus PARACHUTE, welches das Kundenvertrauen in die gute EMZ von Infineon-Microcontrollern verstärkt und die Position der Infineon Technologies AG im hart umkämpften Automobilmarkt festigt und stärkt.

ICEM-Modelle werden von den kommerziellen Zuken-EMV-Simulationswerkzeugen der CR5000-Produktfamilie unterstützt und damit weiter verbreitet.

2.15.6 Literatur - Entwicklungsprozess-orientierte Modellierung und Simulation der elektromagnetischen Zuverlässigkeit

- [2.15-1] T. Steinecke; *Emission Models for Integrated Circuits; Presentation on PARACHUTE/ROBIN Workshop*, Paris, 12.06.2007
- [2.15-2] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner; *High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy
- [2.15-3] T.Steinecke, D.Hesidenz; *VLSI IC Emission Models for System Simulation; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility*; 19th Intern. Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008
- [2.15-4] T. Steinecke; *EMC Design, Optimization, PARACHUTE Workshop – Modeling and Simulation of Automotive Components*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland
- [2.15-5] J. Kruppa; *Model Size and Simulation Options – Influence on Simulation Results*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland

2.16 B 5.1.2 EDA-Werkzeuge zur EMZ-Analyse von IC-Gehäusen und zur Simulation von IC-Emissionsmodellen (ICEM) - ZUKEN

B 5.2.4 EDA-Implementierung des Design to Noise Margin-Konzepts auf IC- und Modulebene (Top-Down – EMZ) - ZUKEN

2.16.1 Einleitung

Das Ziel der Arbeiten in den Beiträgen B 5.1.2 und B 5.2.4 war es, die in den Arbeitspaketen 1 und 3 entwickelten Modelle und Methoden in die ECAD-Softwareumgebung von Zuken zu implementieren. Hierbei standen Anwendungen auf Substratmaterialien (Leiterplatte, HDI-Strukturen) im Vordergrund. Ziel war dabei, auf schnelle Art und Weise u.a. den Einfluss der Power-Ground Strukturen auf das Störverhalten elektronischer Systeme bewerten und entwerfsbegleitend dann Entwurfsmaßnahmen auslösen zu können. Hierbei ist eine prototypische Implementation der verbesserten RLC-Grid Methode (variables adaptives Grid) in das High Speed Entwurfs-Werkzeug CR5000 Lightning im Rahmen der Projektarbeiten durchgeführt worden, um die Anwendbarkeit der entwickelten Methoden zu zeigen und um eine praktische Verifikation (u.a. auch mit realen Anwenderdaten), leisten zu können.

2.16.2 Ziele der F+E-Arbeiten

Es wurde prototypisch ein Ansatz zur Berücksichtigung von HDI-Fertigungsaspekten (u.a. Via Backdrilling) implementiert, um ein erstes Feedback prototypischer Anwender gewinnen zu können.

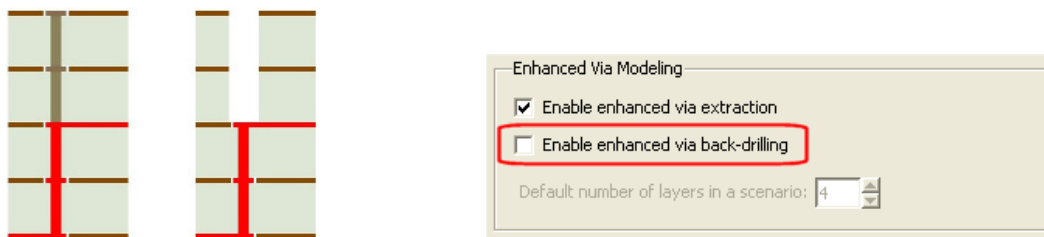


Bild 2.16-1: Durchkontaktierung (Via) mit/ohne Backdrilling und Berücksichtigung im EDA-Flow

2.16.3 Technische Ergebnisse

Impedanzberechnung des Versorgungssystem – Validierung/Test

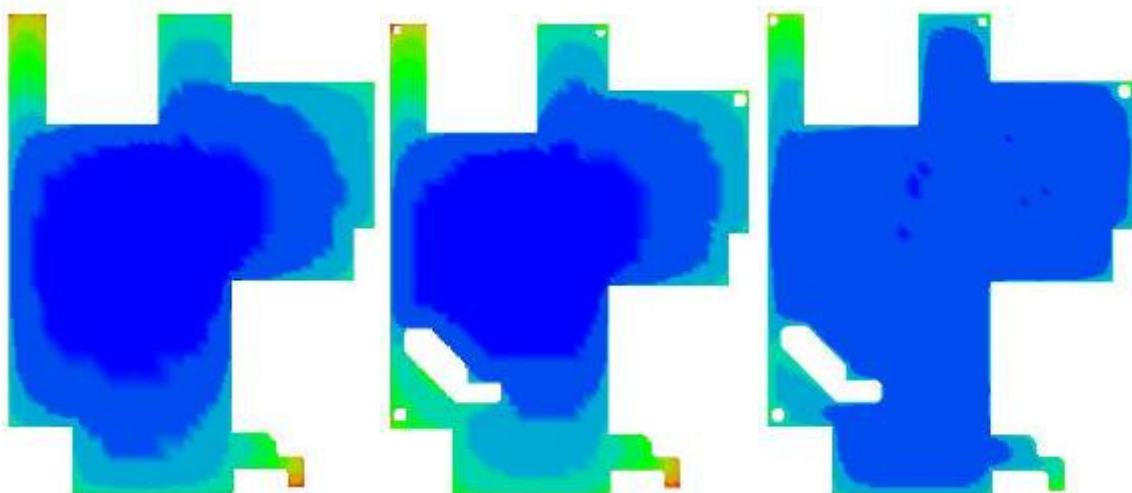


Bild 2.16-2: Impedanzverlauf einer HDI Struktur in unterschiedlicher Auslegung des Versorgungssystems (Plane Paar (links), mit Cutouts (Mitte), und Cutout mit Abblockkondensatoren (rechts))

Für die Verifikation der mithilfe der RLC-Grid Methode berechneten Impedanzen beliebig geformter HDI-Versorgungssystemstrukturen wurden konkrete Testaufbauten im Zuken ECAD Flow erstellt und konkret untersucht, die Ergebnisse wurden zudem analytisch (Cavity Mode Expansion) verifiziert. In Bild xx ist ein praktisches Beispiel einer HDI-Struktur aufgeführt mit unterschiedlicher Ausführung des Versorgungssystems und prototypischen Impedanz-Untersuchungen (ZDWest), hierfür wurde auch der Einfluss von Abblock-Kondensatoren untersucht (Struktur 3).

2.17 B 5.2.1 EDA-Entwurfsmethoden für hochperformante elektromagnetisch zuverlässige Steuergeräte – BOSCH

2.17.1 Einleitung

Aufgrund steigender Anforderungen an die Funktion und Leistungsfähigkeit, werden in den neuen Generationen von Kfz-Steuerungen Mikrokontroller mit Taktfrequenzen bis 150 MHz und darüber verwendet. Parallel dazu ist mit einer weiteren Zunahme der Integrationsdichte sowie der Komplexität des Designs und insbesondere des Layouts zu rechnen. Als eine direkte Folge dieser Entwicklung werden auch die EMV-Anforderungen an die Störfestigkeit der Produkte steigen, so dass der derzeit etablierte Produktentwicklungsprozess der zukünftigen geforderten Störfestigkeit nicht mehr gerecht wird. Aus diesem Grund ist ein systematischer, homogener Entwicklungsprozess erforderlich, welcher entsprechende Schnittstellen zu entwurfsbegleitenden Simulationen mit dem Ziel der Produktoptimierung und der Designregelerstellung und -verifikation zur Verfügung stellt. Eine Schlüsselrolle stellt in diesem Zusammenhang die Schnittstelle zwischen Schaltplan, Layout und der EMV-Simulation dar.

2.17.2 Ziele der F+E Arbeiten

Ziel der Arbeiten ist es, EMV-Probleme im Layout mittels Simulation zu analysieren, qualitative empirische EMV Layout Regeln mittels Simulation zu verifizieren und quantitative Regeln abzuleiten sowie diese (projekt- und technologiespezifisch) parametrieren zu können. Die so erstellten bzw. validierten Regeln sollen sich in eine prüfbare Form überführen und wenn möglich in das bei Bosch eingesetzte Layouttool integrieren lassen. Die Arbeiten sollen zum einen die Effizienz des Entwicklungsprozesses steigern und zum anderen sicherstellen, dass auch Entwickler ohne spezielles EMV Expertenwissen in der Lage sind, ein bezüglich der EMV qualitativ gutes Design/Layout zu erstellen.

2.17.3 Technische Ergebnisse

Vorüberlegungen/Herangehensweise

Zunächst wurden unterschiedliche kommerzielle Werkzeuge zur EMV-Layoutsimulation hinsichtlich ihrer grundsätzlichen Eignung (Verfahren), Vorhandensein und Qualität der Schnittstellen sowie Rechenzeit untersucht. Anschließend erfolgte eine Verifikation der Simulationsergebnisse anhand von Messergebnissen an repräsentativen Bosch Layout Teststrukturen. Hierzu wurde eine spezielle Testleiterplatte layoutet, gefertigt und vermessen. Basierend auf diesen Ergebnissen wurde eine Simulationsumgebung zur Problemanalyse, Validierung, Erstellung und Parametrierung von EMV Design und Layout Regeln erstellt und anhand von Beispielen getestet.

Ergebnisse

Layout Simulationsumgebung

Entscheidend für einen produktiven Einsatz von EMV Simulation im Entwicklungsprozess ist eine angepasste Toolkette. Hierbei wurden im Rahmen des Projektes kommerziell verfügbare Tools im Hinblick auf ihre Eignung für die Layoutsimulation evaluiert. Hierbei fanden u.a. Kriterien wie Rechenverfahren/Methodik, Rechenzeit, Schnittstellen, Import- und Exportmöglichkeiten Beachtung. In einem Benchmark wurden drei unterschiedliche Werkzeuge, welche speziell für die Layoutsimulation entwickelt wurden, miteinander und mit klassischen 3D Full Wave Feldlösern verglichen. Hierzu wurde eine spezielle Testleiterplatte (siehe Abbildung 2.17-1, rechter Teil) erstellt, welche unterschiedliche Teststrukturen enthält. Jede Teststruktur dient zur Analyse eines bestimmten Effektes, welcher für die Layoutsimulation von Bedeutung ist (z.B. Übersprechen). Sämtliche Teststrukturen wurden mit allen drei Tools berechnet (S-Parameter) und mit Messungen verglichen und bewertet. Dabei wurde ein Frequenzbereich bis 3 GHz betrachtet.

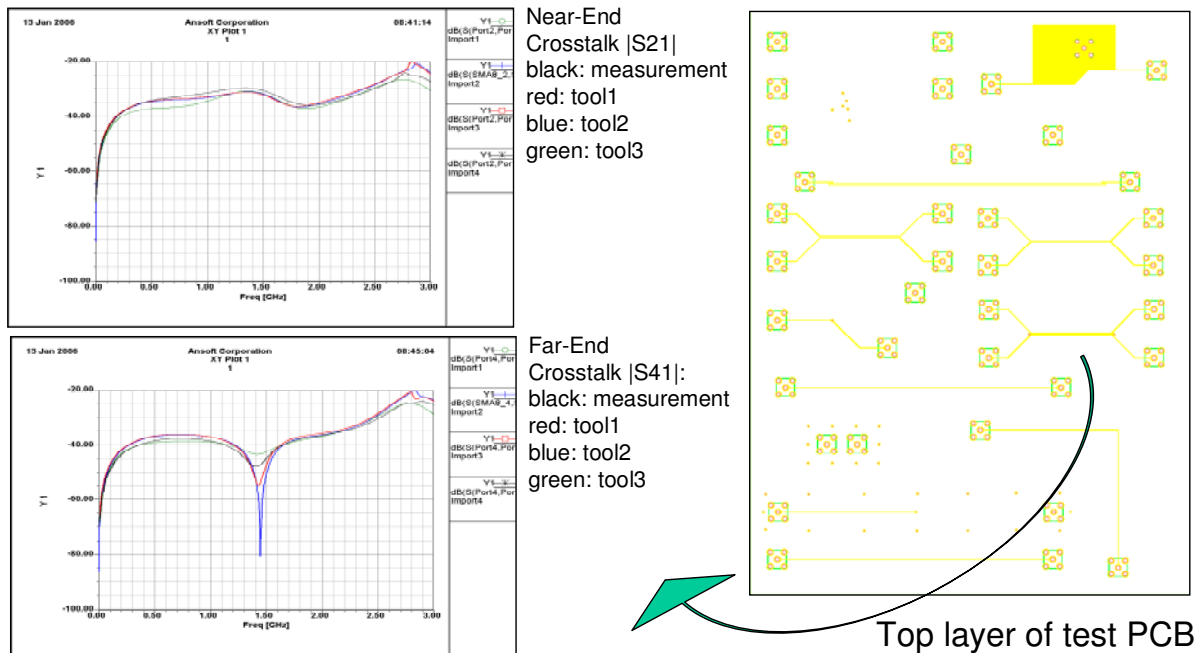


Bild 2.17-1: Layout der Oberseite der Testleiterplatte (rechts) und Vergleich unterschiedlicher Werkzeuge mit S-Parameter Messungen (Übersprechen (Crosstalk) von störender Leitung (z.B. Taktsignal) auf störempfindliche Leitung (z.B. Analogsignal vom externen Sensor))

Nach Auswertung aller Kriterien (Genauigkeit, Rechenzeit, Schnittstellen, Support etc.) wurde die Entscheidung für das Tool SiWave der Firma Ansoft getroffen. Aufgrund bestimmter Vereinfachungen und Annahmen, welche durch das eingesetzte Verfahren bedingt sind, bestand die Notwendigkeit für bestimmte Problemkategorien auch einen 3D Feldlöser mit in die Toolkette aufzunehmen. Die ausgewählten Werkzeuge gliedern sich wie in Bild 2.17-2 dargestellt in die Simulationsumgebung ein. Auch das Konzept für die Kombination von Schaltungs- und Layoutsimulation ist hier dargestellt.

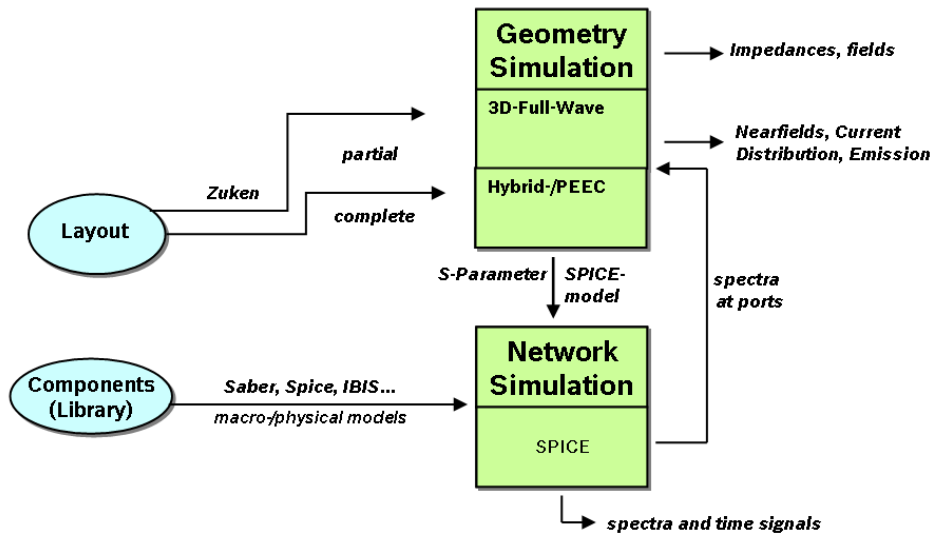


Bild 2.17-2: Konzept der Layoutsimulation mit Ablauf für Kombination von Schaltungs- und Layoutsimulation

Bussystemsimulation (Beispiel)

Für die Simulation von Bussystemen stehen von Seiten der IC Hersteller häufig IBIS Modelle als funktionale Quellenmodelle zur Verfügung. Modelle zur Analyse der Störfestigkeit liegen jedoch nicht vor. Am Beispiel eines Übersprechens von einer Busleitung auf ein anderes Netz mit nichtschaltendem Steuersignal wurde die Kombination von Schaltungs- und Layoutsimulation getestet. Hier wurde zunächst mit dem ausgewählten Layoutsimulationswerkzeug basierend auf errechneten S-Parametern ein Netzwerkmodell des Bussystems nebst Nachbarleitungen erstellt. Nach einer Passivitätserzwingung kann dieses im Zeitbereich verwendet werden.

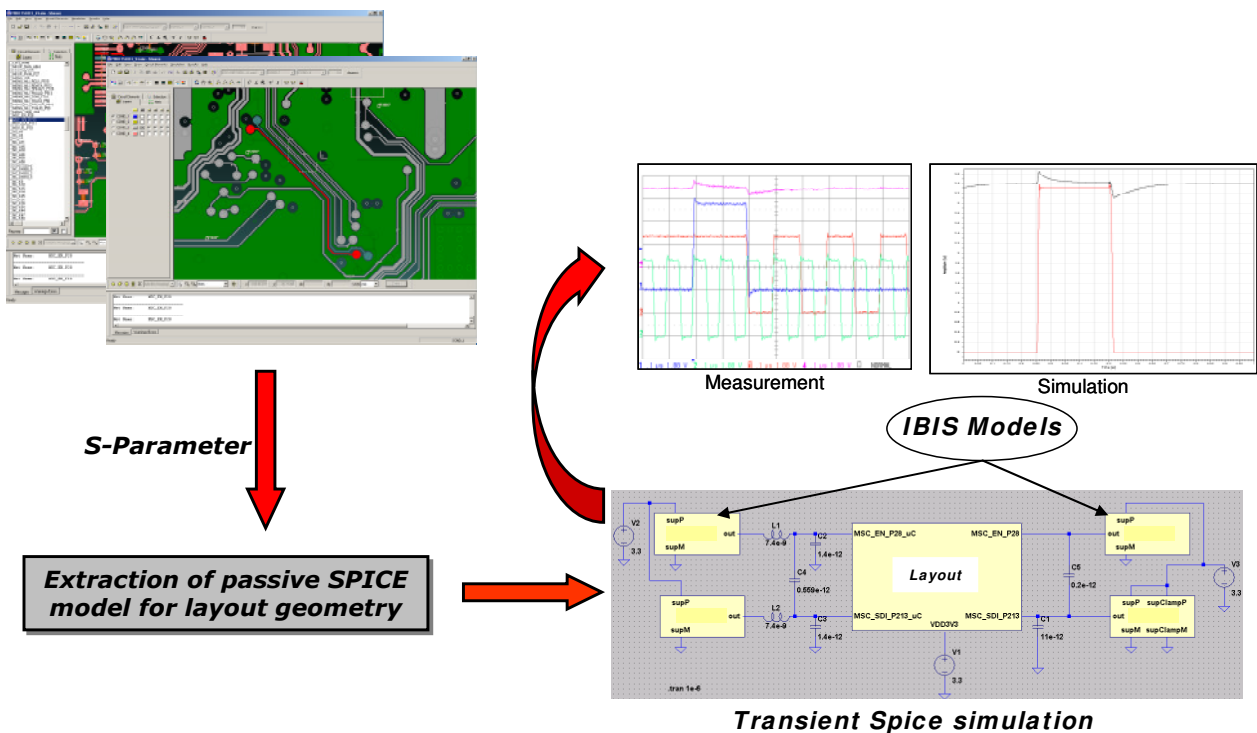


Bild 2.17-3: Ablauf der Bussimulation mit Ergebnissen

In einem SPICE Simulator wurden die Ports des Netzwerkmodells entsprechend mit den IC IBIS Modellen und Quellen beschaltet und eine transiente Simulation durchgeführt. Das Ergebnis wurde mit Zeitbereichsmessungen an den IC Pads verglichen. Dabei zeigte sich eine sehr gute Übereinstimmung von Simulation und Messung, insbesondere auch für das auf die passive Leitung übergekoppelte Signal. Basierend auf den Simulationsergebnissen konnten verschiedene Maßnahmen schnell (auch insbesondere hinsichtlich ihrer quantitativen Wirkung gemessen in maximal übergekoppelter Spannung) sowie der Einfluss des zur Messung verwendeten Tastkopfes analysiert werden. Auf Basis der Ergebnisse konnte auch eine spezifische Designregel für zukünftige Varianten abgeleitet werden.

Endstufenstörung (Beispiel)

In einem Motorsteuergerät befinden sich typischerweise Digital-, Analog- und Leistungsschaltungsteile aufgrund der hohen Packungsdichte und Miniaturisierung in unmittelbarer Nachbarschaft. Zur Vermeidung der Störung von empfindlichen Analogsignalen kommt der Layoutauslegung eine entsprechend hohe Bedeutung zu. Im Rahmen der durchgeführten Untersuchung wurde der Aspekt der Intrasystemstörung in Bezug auf die Endstufen analysiert. Hierbei stand quantitative Erfassung der resistiven und induktiven Kopplung von analogen und Endstufenleiterbahnen über die gemeinsame Masse (Masselage) im Vordergrund. Hierzu wurde eine Simulationsmethodik entwickelt und ein weiteres Werkzeug zur RL-Extraktion (Fast Henry) getestet. Im DC Bereich zeigte das Leiterplattenwerkzeug mit Fast Henry eine sehr gute Übereinstimmung. Bei höheren Frequenzen traten Abweichungen auf, welche durch die hybride Simulationsmethodik bedingt sind (Näherungen).

Demgegenüber zeigt der 3D Field Solver HFSS im HF Bereich Vorteile gegenüber Fast Henry, hat aber im DC und niedrigen Frequenzbereich Probleme.

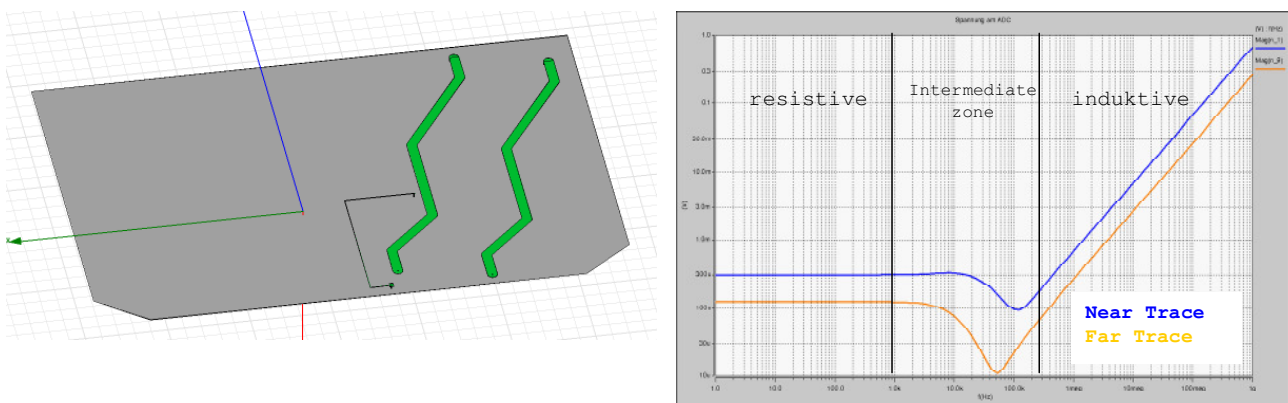


Bild 2.17-4: Vereinfachtes Simulationsmodell für die 3D Analyse (links), Simulationsergebnis der in die analog Leitung eingekoppelte Spannung über der Frequenz für eine AC Analyse mit Einteilung der verschiedenen Frequenzbereiche nach Effekt

Mit Hilfe von Simulation wurden verschiedene Routing Konzepten für analoge Netze untersucht, wobei z.T. die Einkopplung aus den Endstufenleitungen um den Faktor 10 bis 25 reduziert werden konnte. Basierend auf den Ergebnissen wurden Möglichkeiten zur Optimierung des Layouts erarbeitet.

Analyse und Optimierung Sensor Störfestigkeit (Beispiel)

Aufgrund der teilweise exponierten Lage im Fahrzeug werden an Sensoren besonders hohe Anforderungen an die Störfestigkeit gestellt. Zur Optimierung des EMI Verhaltens des Leiterplattenlayouts von Sensoren wurde eine angepasste Simulationsstrategie entwickelt. Hierbei standen die Teilaspekte direkte Einstrahlung und leitungsgebundene Störungen (Bulk Current Injection, BCI) im Vordergrund. Hierzu wurden 3D CAD Daten von Layout, Stecker, Leadframe und Package in die Simulationsumgebung eingelesen.

Da die Sensor Leiterplatten noch eine, im Vergleich zu Steuergeräten, moderate Komplexität aufweisen, konnte eine Full-Wave 3D Feldberechnung der gesamten importierten Geometrie nebst entsprechenden Antriebsstrukturen ohne weitere Vereinfachungen verwendet werden. Die berechneten S-Parameter werden zusammen mit der Anregung (Quelle bei Einstrahlung, gemessenes Kabel- und Zangenmodell bei BCI) in einem Schaltungssimulator verwendet. Die IC Ports wurden mit vereinfachten Ersatzschaltbildern (z.T. auf Basis von Messungen) abgeschlossen.

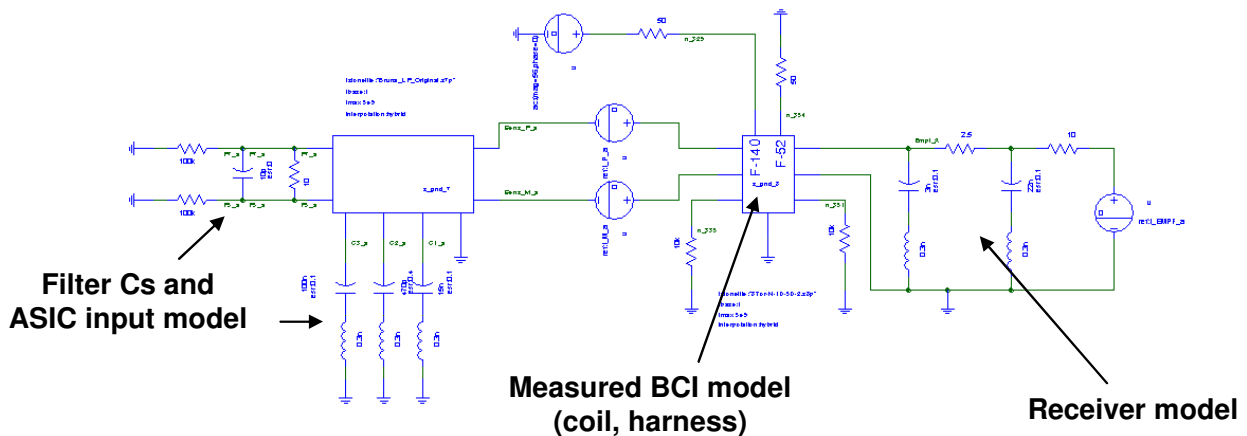


Bild 2.17-5: Aufbau der Schaltungssimulation mit simulierten bzw. gemessenen S-Parameter-Blöcken sowie externer Beschaltung für die BCI Simulation

Aufgrund der Tatsache, dass kein Gesamtmodell vom IC verfügbar ist, welches den Stör- und Ausfallmechanismus hinreichend beschreibt, ist eine quantitative Analyse mit konkreten Schwellen für die Störung bisher nicht möglich. Stattdessen wurden im Rahmen der Optimierung der Leiterplatte Deltabetrachtungen durchgeführt, um verschiedene Maßnahmen (Geometrie, Platzierung, Filterauslegung) hinsichtlich ihrer Tendenz/Wirksamkeit zu bewerten.

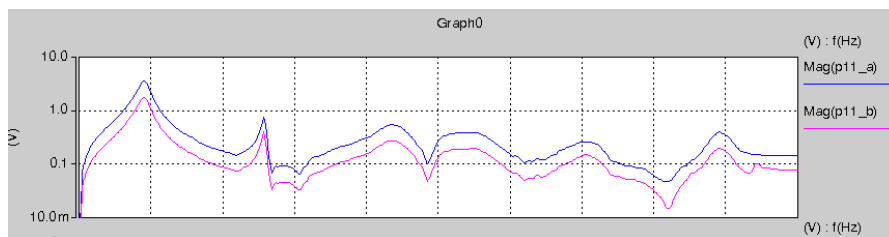


Bild 2.17-6: Simulationsergebnis der Spannung am Eingangspins des Sensor ICs über der Frequenz (für oben dargestelltes Setup), für den fall ohne (blau) und mit (pink) Maßnahme zur Verbesserung

Weiterhin ermöglichen die Simulationen ein besseres Verständnis der Einkoppelmechanismen und Ausbreitungspfade der Störungen auf der Sensorleiterplatte. Hierzu wurden verschiedene Layoutvarianten simuliert und Störspannungen an den IC Pins verglichen. Auf Basis der Ergebnisse können Design Hinweise und Regeln für zukünftige Varianten abgeleitet werden.

2.17.4 Stand der Technik

Die Arbeiten liefern erste Beiträge in Richtung auf Simulation von auf Systemebene. Sie machen sichtbar, welche zukünftigen Anwendungen möglich werden, sobald IC-Ebene und Steuergeräte-Ebene in der EMV-Simulation von Störfestigkeit zusammenwachsen.

2.17.5 Anwendungsbeispiele und Verwertung

Bosch arbeitete im Rahmen dieses Arbeitspaketes auf dem Gebiet der Störfestigkeit mit Schwerpunkt Layoutsimulation und Regelerstellung. Die Arbeiten schaffen die Voraussetzung für den simulationsgestützten Layoutentwurf bzw. der Layoutoptimierung hinsichtlich der Störfestigkeit. Die entwickelte Simulationsumgebung konnte erfolgreich an drei unterschiedlichen Beispielen angewandt und optimiert werden. Dabei konnte die Störfestigkeit simulatorisch erfasst und verbessert werden und Designregeln für zukünftige Produktvarianten abgeleitet werden.

Im Rahmen von Parachute lag der Schwerpunkt auf der Layoutsimulation bzw. der Kombination von Layout und Schaltung. Eine Projektion der Simulationsergebnisse auf die EMV Komponentenmessverfahren erfolgte nicht oder nur rudimentär (Sensor BCI Beispiel). Weiterhin stellt der Einsatz von speziellen EMV geeigneten (vereinfachten) IC Modellen (Emission als auch Störfestigkeit) im Rahmen einer Systemsimulation vom IC bis zur Komponentenmessung (Antenne etc.) eine Herausforderung für zukünftige Projekte dar. Hierbei bildet auch die Modellierung des Steuergeräte Gehäuses als auch des Kabelbaums nebst Lasten ein zentrales Forschungsthema.

Die oben dargestellt Simulationsumgebung sollten zukünftig zur Layout- und Designoptimierung von Steuergeräten für Bremssysteme eingesetzt werden. Beispiele wurden erarbeitet (siehe oben) für:

- a. Bussysteme
- b. Endstufen
- c. Sensor-Auswertung.

2.18 B 5.2.2 3D-Miniaturisierung und Platzierung von nanoelektronischen Bauelementen auf HDI/HDP-Substraten - GFal

Quasi 3D Platzierung

2.18.1 Einleitung

Die Aufgabe der GFal bestand in der Entwicklung einer effektiven Platzierungsmethode für HDI/HDP-Substrate, wobei eine Quasi-3D-Platzierung auf quaderförmig zusammengefalteten PCB angestrebt wurde.

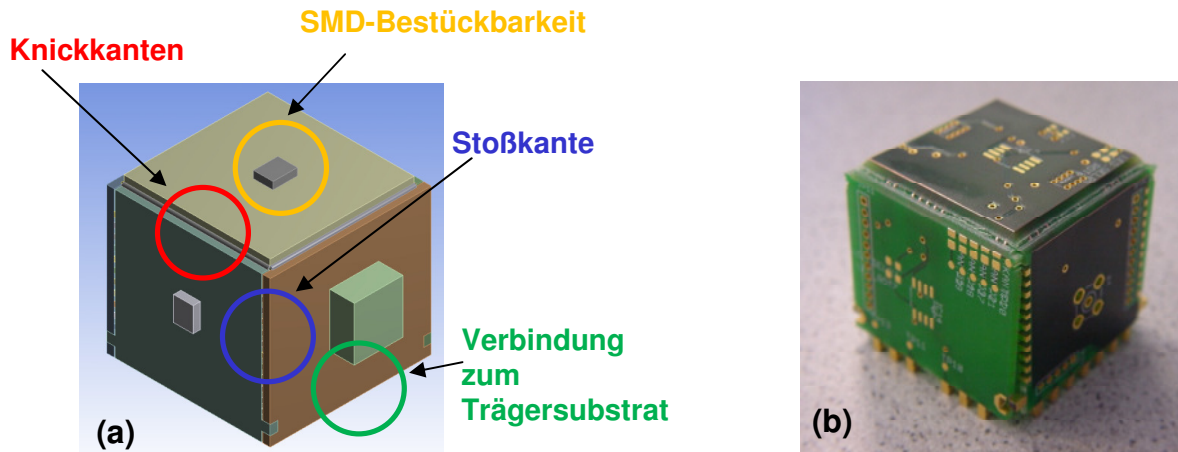


Bild 2.18-1: 3D AVT Modell (a) und bzgl. AVT realisiertes Testobjekt (b)

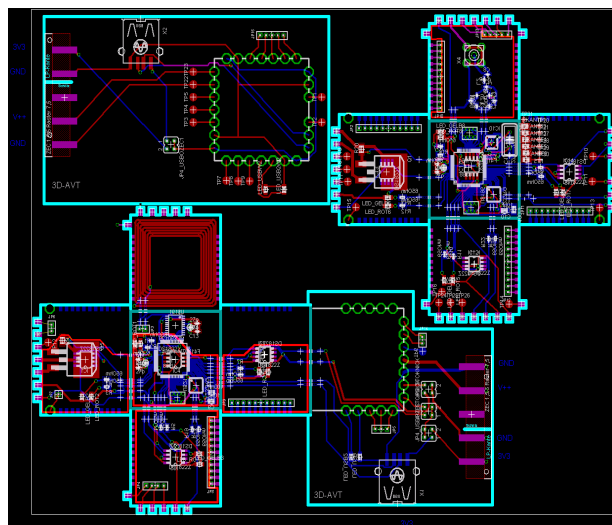


Bild 2.18-2: Ergebnis Platzierungstest (Handentwurf) – Grundlage für Algorithmtest

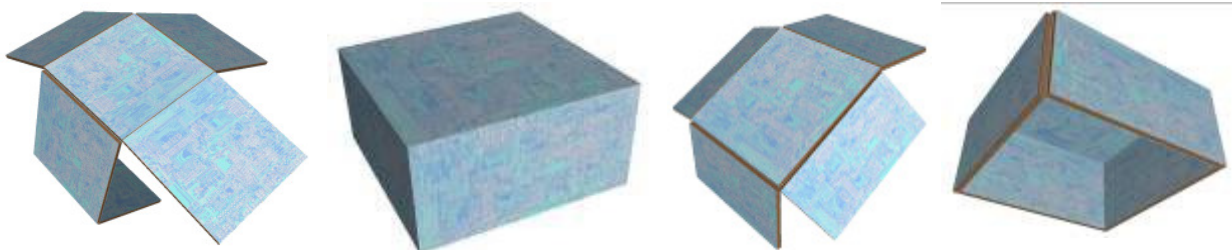


Bild 2.18-3: Abstraktes Analyseobjekt 3D-Quader

Dabei waren die folgenden drei Themengebiete zu bearbeiten:

- Konfiguration der gewünschten Struktur und Geometrie der PCB
- Partitionierung der Bauelemente, d.h. Zuordnung zu den Segmenten des Quaders
- Platzierung innerhalb der einzelnen Segmente des Quaders.

Zur Lösung der Aufgabe wurde die Applikation *EICubusLay* (Layout elektrischer Schaltungen auf würfelförmigen bzw. quaderförmigen PCB - 3D-Aubauten) entwickelt.

2.18.2 Ziele der F+E Arbeiten

Eine neue Herausforderung stellt die Optimierungsaufgabe dar, Komponenten bei miniaturisierten 3D-Aubauten zu platzieren. Für die Lösung dieser Aufgabe müssen effiziente Verfahren untersucht und bereitgestellt werden, die sowohl unter Berücksichtigung von wirtschaftlichen Optimierungskriterien (z.B. Kosten der Komponente als SMD - Kosten einer Innenlage - EMZ/EMV-Eigenschaften der Platzierung) als auch im Hinblick auf 3D-Miniaturisierungsaspekte berechnen, welche Variante der Komponente bei der Platzierung verwendet wird, und auf welcher Metallisierungslage ihre optimale Anordnung - unter Berücksichtigung der bisher schon mannigfaltigen EMZ/EMV/HF-Entwurfsregeln - ist. Ein weiteres zu berücksichtigendes Optimierungsziel ist die Anforderung, dass die Anzahl der verschiedenen Komponententypen auf jeder internen Platzierungslage minimal sein sollte (Wärmeabfuhr).

In einer Phase der Problemanalyse wurde u.a. die Frage untersucht, ob eine allgemeine Lösung für alle denkbaren Faltungen von Quadern und partiellen Quadern (Quader, bei denen Seitenflächen fehlen) möglich ist. Dazu musste eine Übersicht über alle Teilnetze der elf Würfelnetze erstellt werden. Da sich eine überschaubare Gesamtzahl von (theoretisch) 27 partiellen Würfelnetzen ergab, wurde ein allgemeiner Ansatz entwickelt. Dazu gehört auch, dass die Verhältnisse zwischen den Seitenflächen durch Nachbarschaftsgraphen modelliert werden. In ihnen können für die Layout-Verfahren wichtige Informationen gespeichert werden, so dass sie nicht für konkrete PCB-Strukturen konzipiert werden müssen, sondern für alle geeignet sind.

Die Allgemeinheit des Ansatzes ist deshalb von praktischer Bedeutung, weil es von der Art der Vernetzung einer Schaltung abhängt, welche PCB-Struktur für sie besonders geeignet ist. In dieser Phase des Projektes mussten bereits zuvor implementierte Platzierungsalgorithmen reaktiviert werden. Es war auch zu klären, wie die unter Linux entwickelten Programme in einem Windows-System eingesetzt werden können. Ferner mussten für die übrigen anstehenden Layout-Probleme Strategien erarbeitet werden.

Eine weitere wichtige Analysearbeit bestand darin, die Software-Plattform für die Parachute-Software der GFal auszuwählen. Siehe auch [2.18-5] und [2.18-6]6].

2.18.3 Technische Ergebnisse

EICubusLay wurde als eine **ForGE**-Applikation unter Windows realisiert. *ForGE* ist die Weiterentwicklung des an der GFal entwickelten Windows-basierten Frameworks **CASTool**, siehe [2.18-3].18-3] und basiert auf der *WX*-Bibliothek [2.18-1]. Wie bereits *CASTool* unterstützt *ForGE* sowohl die schematische Darstellung vernetzter Strukturen als auch die Erstellung von GUI.

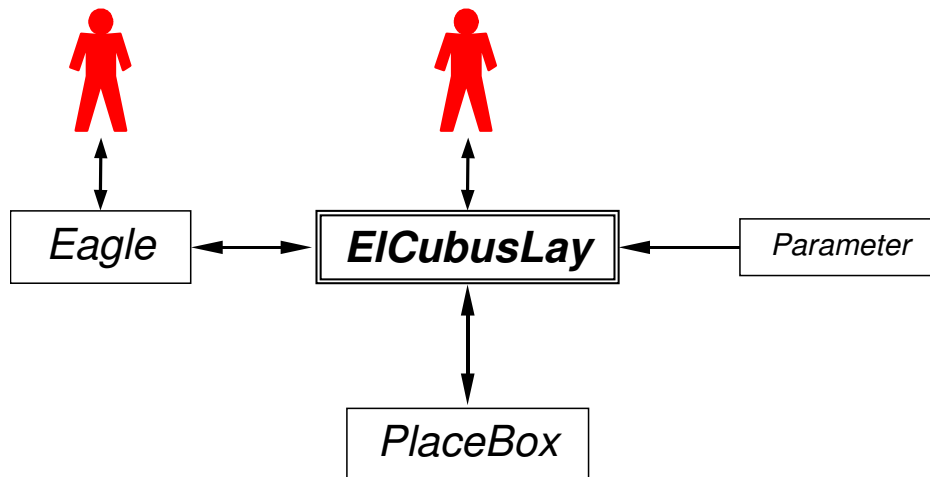


Bild 2.18-4: Grobes Systemkonzept

EICubeLay kommuniziert über File-Schnittstellen mit den Programmsystemen *Eagle* und der *PlaceBox*. Von *Eagle* werden die Schaltungsbeschreibung und die schaltungsspezifischen Constraints bezogen. Technologische Parameter, wie z.B. Sicherheitsdistanzen werden aus Parametern in Form von Script-Dateien gelesen. In *EICubusLay* wird die konkrete Form des Layout-Gebietes bestimmt und auf dieser Grundlage die Schaltung partitioniert. Daraus werden die Platzierungsprobleme für die einzelnen Quaderflächen erzeugt und an das Programmsystem *PlaceBox* übergeben.

Die vorhandenen Programme der *PlaceBox* zum Interface und zur Platzierung können unverändert eingesetzt werden. Dazu gehört auch, dass sie nicht per Hand nach Windows portiert werden. Die Portierung erfolgt über Cygwin [2.18-1]. PBD-Files entsprechen einem Dateiformat, welches von der ehemaligen Arbeitsgruppe EMC Placement der GFal verwendet wurde, siehe[2.18-3]. Die Platzierungsprogramme geben die Platzierungslösungen an *EICubusLay* zurück, wo sie grafisch dargestellt werden und per Interaktion modifiziert werden können.

Von *EICubusLay* muss dann die gesamte Platzierungslösung über eine Fileschnittstelle an *Eagle* übergeben werden. Die Seiten der GUI von *EICubusLay* werden durch *HTML* beschrieben. Mit den Seiten bzw. mit Ereignissen sind Funktionen verknüpft, die in *JAVA-Script* implementiert wurden. Da die *Script-Sprache* nicht geeignet ist, um umfangreiche Datenstrukturen und komplizierte Algorithmen zu entwickeln, werden durch die *JAVA-Script-Funktionen* *CPP-Funktionen* aufgerufen: Kommandos sowie Member-Funktionen von *CPP-Klassen*. Dazu müssen die Funktionen in der *Invoke-Schnittstelle* der entsprechenden Klassen deklariert sein. Die entsprechenden Mechanismen werden von der *ForGE-Basis* bereitgestellt.

Modell

Die wichtigste *ForGE*-Datenstruktur ist *ELADO* (**E**rweitertes **L**ayout-**D**atenmodell). Sie ist ein universelles Werkzeug zur Modellierung netzartiger Strukturen. Die Mechanismen zur schematischen grafischen Visualisierung von Netzwerken, die in *ELADO* abgelegt sind, in Zeichenfenstern, liegen in *ForGE* vor. Im Laufe der Entwicklung von *ForGE* wurde eine Datenstruktur *INES* (**I**nternal **N**etwork **S**tructure) – eine Art *ELADO light* - speziell für Layout-Algorithmen entwickelt. Sie abstrahiert von vielen Netzwerkeigenschaften, die für das Layout nicht von Interesse sind. Andererseits stellt sie eine Reihe von Methoden zur Verfügung, die von Layout-Verfahren genutzt werden können. Eine Ableitung *ICIS* (**I**nternal **C**ircuit **S**tructure) von *INES* erlaubt es, elektronische Schaltungen zu modellieren. Sie ist im Wesentlichen *INES*, jedoch erweitert um Eigenschaften, die beim Layout von Schaltungen zu beachten sind: EMV-Constraints sowie Constraints zur Wärmeemission. Für die Vermeidung von Kollisionen der Bauelemente auf den Innenseiten des PCB-Quaders sind die Komponentenhöhen im Modell zu halten. Die *ICIS-Daten* lassen sich in *ELADO* modellieren und in einem Zeichenfenster schematisch darstellen.

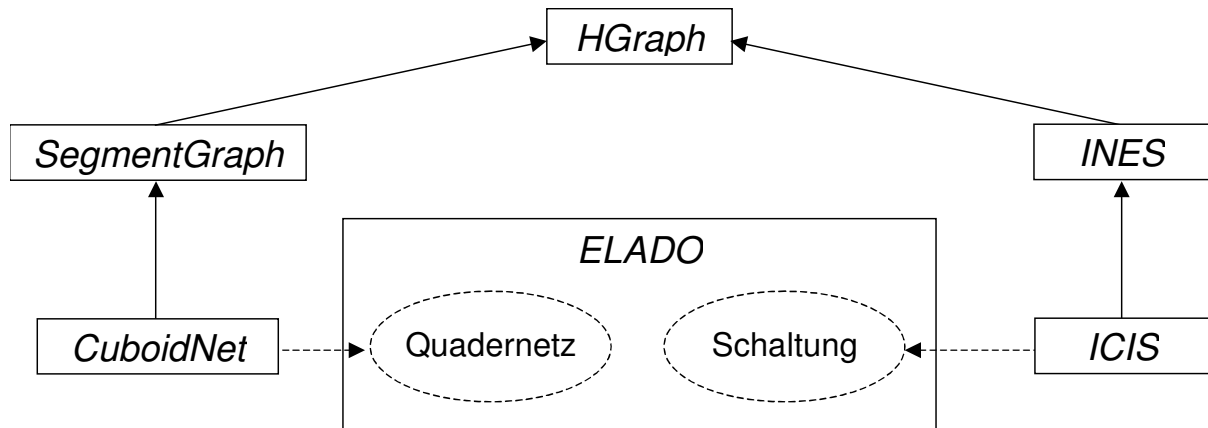


Bild 2.18-5: Vereinfachte Darstellung der Beziehungen zwischen den wesentlichen Datenstrukturen in *EICubusLay*

Auch die Datenstruktur *CuboidNet* (Quadernetze) des Layout-Gebietes ist mit den Datenstrukturen *ELADO* und *INES* verbunden. Das konfigurierte Quadernetz lässt sich in *ELADO* abbilden und damit visualisieren, siehe Bild 2.18-11. *CuboidNet* ist von der Datenstruktur des Segmentgraphen abgeleitet und diese wiederum von der Datenstruktur *HGraph*. Von dieser ist auch *INES* abgeleitet. Die Datenstruktur *HGraph* beschreibt hierarchische Hypergraphen, deren Kanten über Pins mit den Komponenten inzidieren. Die Datenstruktur *SegmentGraph* dient der Modellierung des Nachbarschaftsgraphen der Segmente (Seitenflächen des PCB-Quaders).

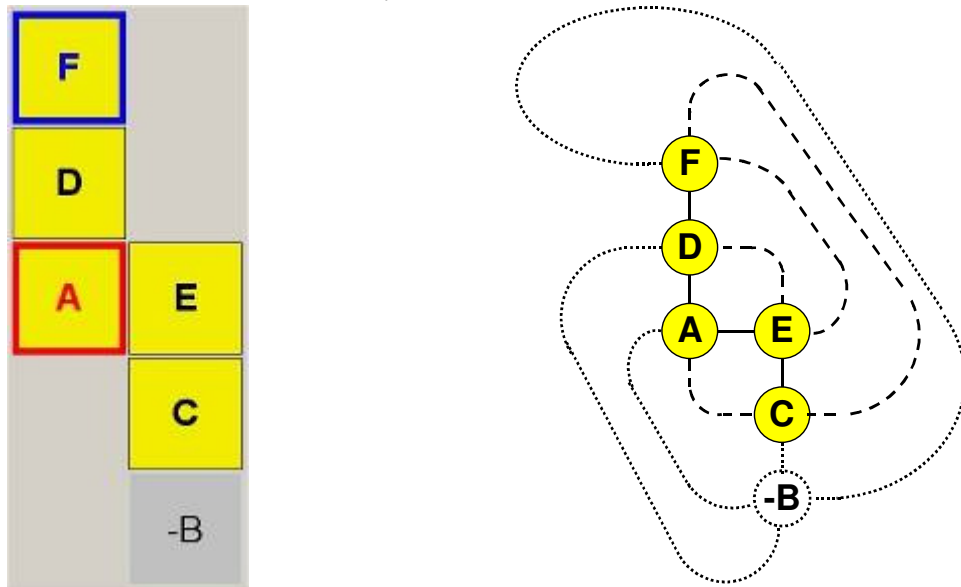


Bild 2.18-6: Partielles Würfelnetz P58 und dazugehöriger Nachbarschaftsgraph

Die Knoten des Graphen entsprechen den Segmenten des Würfelnetzes. Das Segment -B bezeichnet das Fehlen der Seitenfläche B. Die Knoten haben jeweils vier Pins, die den Himmelsrichtungen East, North, West und South entsprechen. Der Graph weist drei Sorten von Kanten auf: Knickkanten —, Stoßkanten ---, und Randkanten Randkanten bezeichnen die Nachbarschaft zu einer fehlenden Quaderseite. Wird eine fehlende Seite zum Bottom-Segment erklärt, dann kann man über die Randkanten diejenigen Seitenstrecken von Segmenten ermitteln, die auf dem Motherboard *aufliegen*. Auf diese ist dann das Footprint zu mappen. An den Knick- und Stoßkanten lassen sich Verbindungskapazitäten speichern, um sie insbesondere beim globalen Routing verwenden zu können.

Anwendungsbeispiele und Verwertung

EICubusLay ist eine Windows-Applikation, die auf dem ForGE-Framework (GFal) sowie auf der CANVAS-Bibliothek aufbaut. Das GUI wurde nach dem NodeBook-Prinzip aufgebaut und legt die natürliche Bearbeitungsreihenfolge nahe.

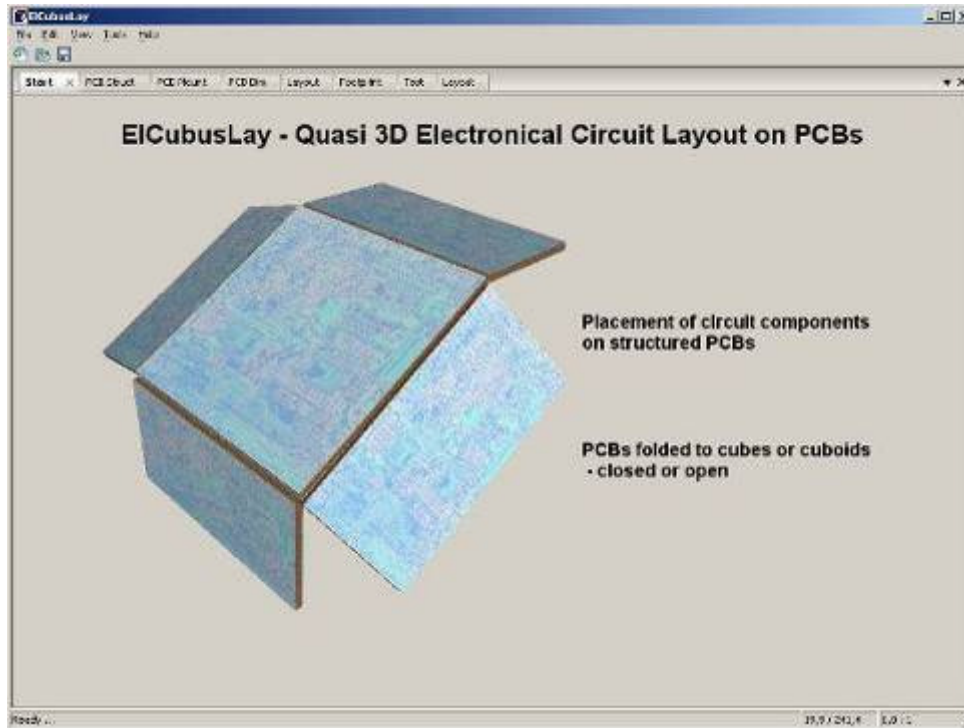


Bild 2.18-7: Titelseite Werkzeug EICubusLay

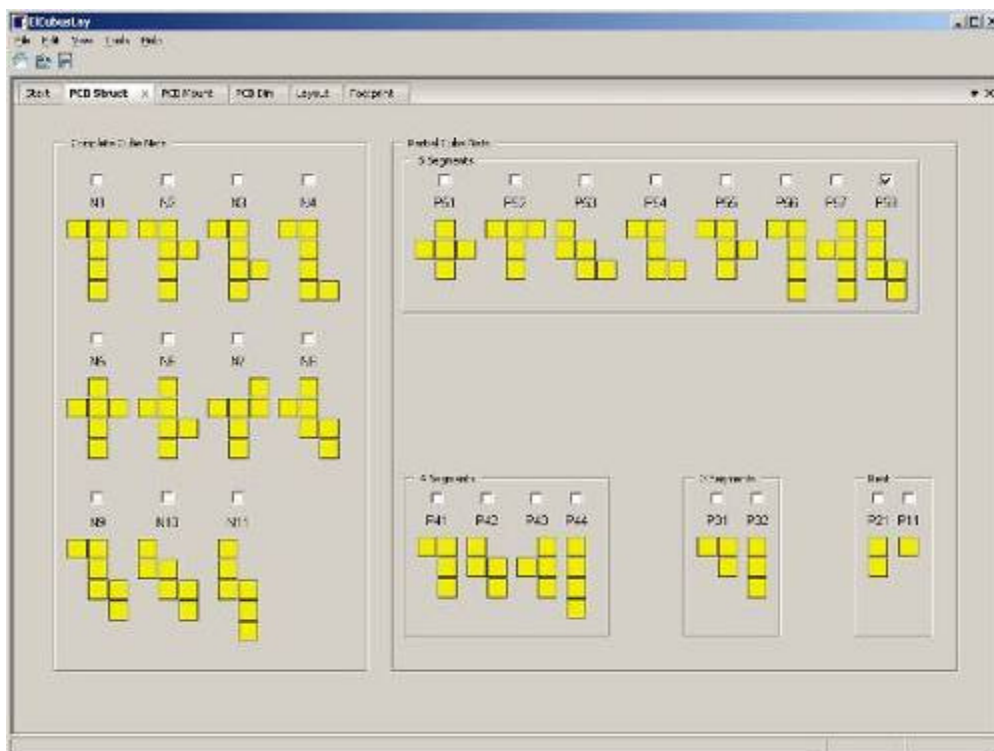


Bild 2.18-8: PCB-Struktur auswählen

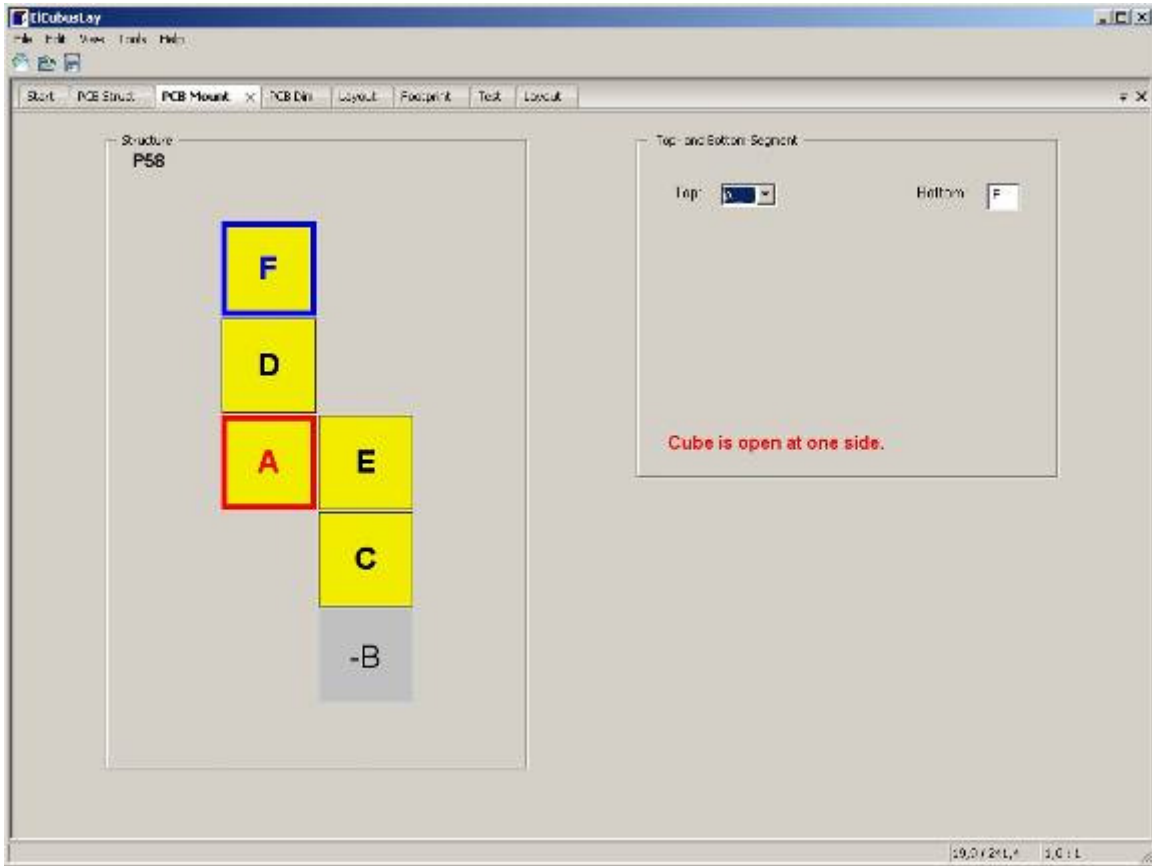


Bild 2.18-9: PCB-Montage (Top- und Bottom-Segment festlegen)

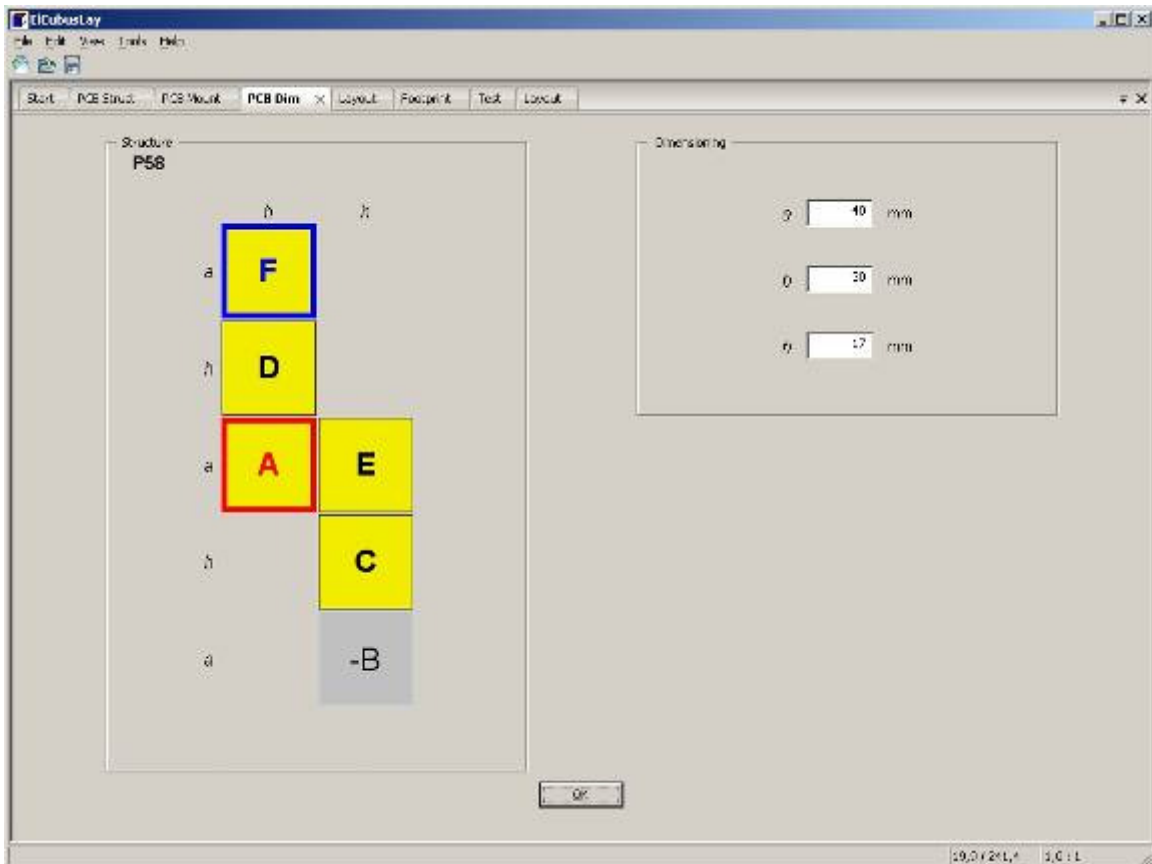


Bild 2.18-10: PCB-Dimensionierung

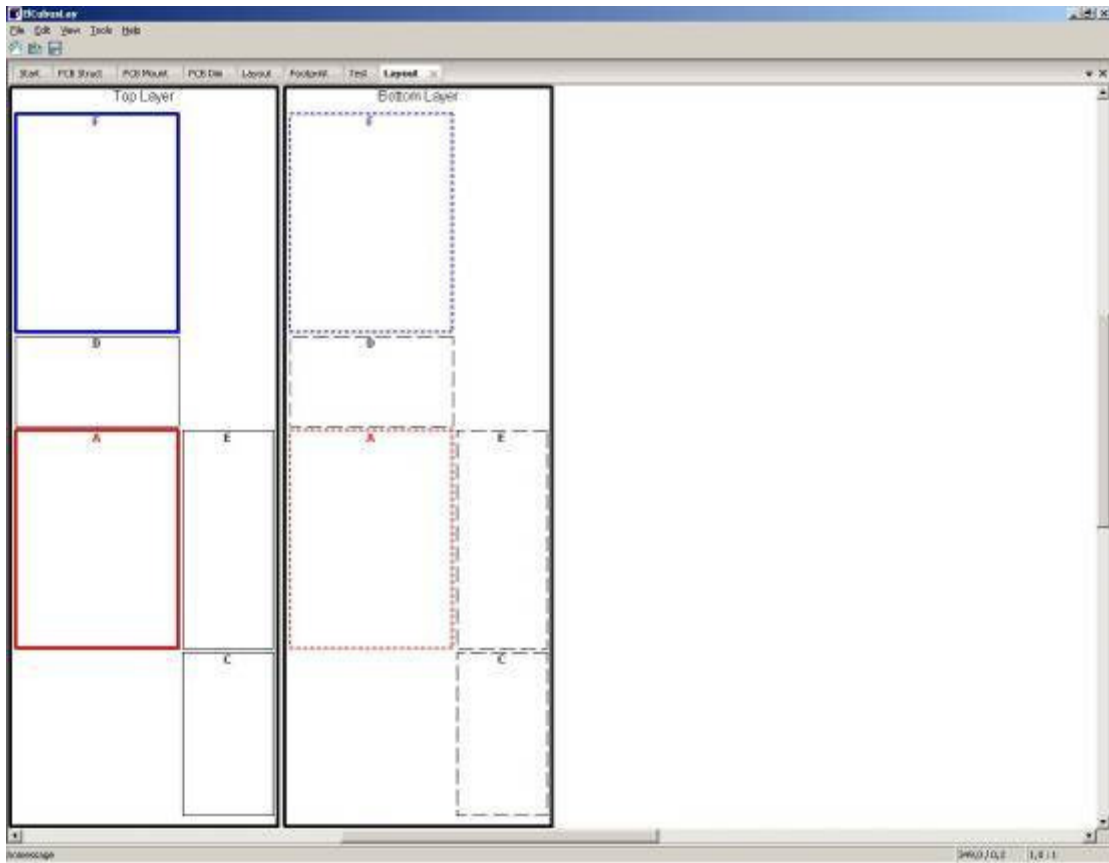


Bild 2.18-11: Layout-Seite mit Quadernetz (Außen- und Innen-Layer)

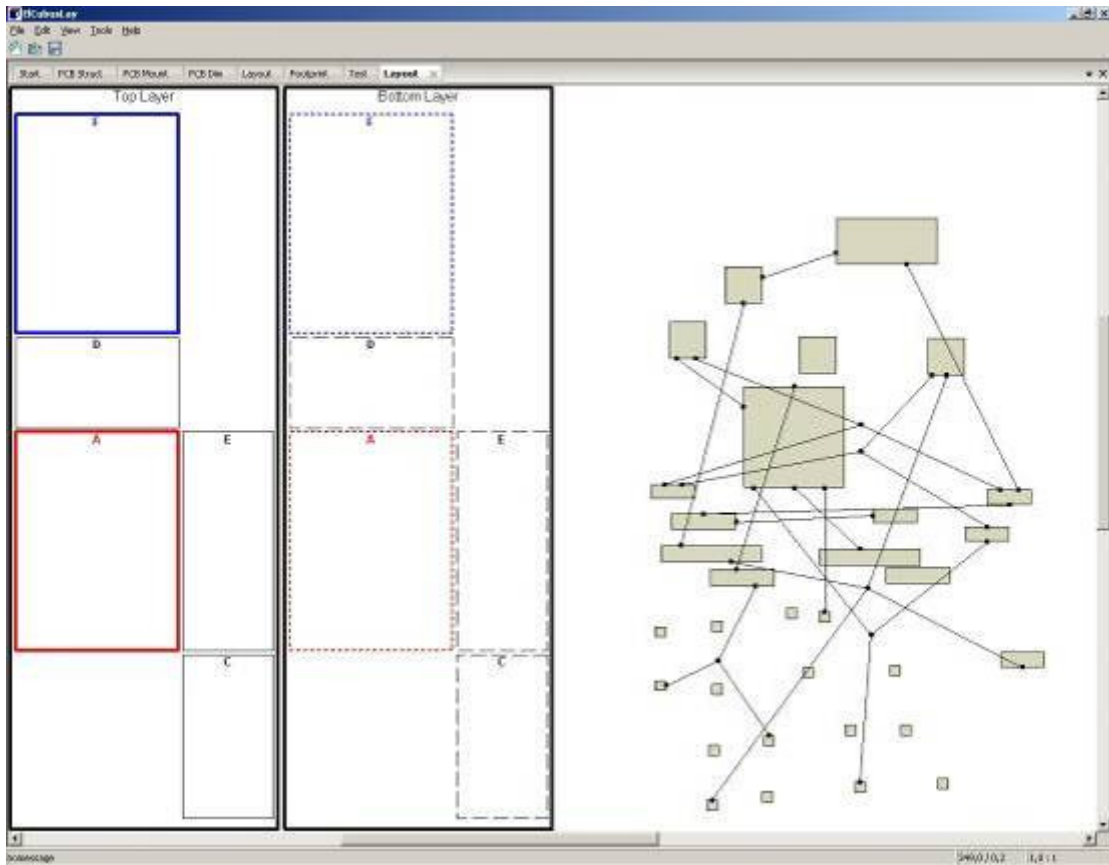


Bild 2.18-12: Layout-Seite mit eingelesener Schaltung

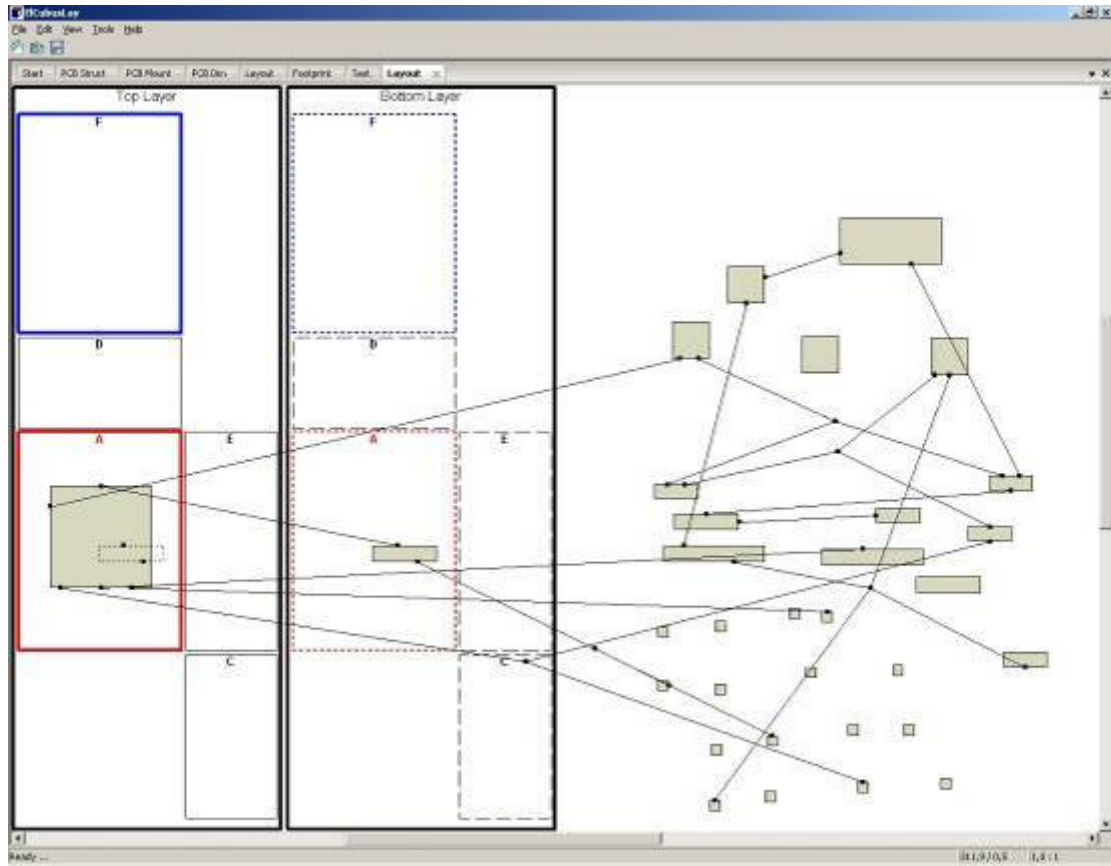


Bild 2.18-12: Interaktives Partitionieren und Platzieren der Bauelemente

2.18.4 Literatur - Quasi 3D Platzierung

- [2.18-1] <http://de.wikipedia.org/wiki/Cygwin>
- [2.18-2] <http://www.wxwidgets.org>
- [2.18-3] Schröder, B.; PBD File Syntax Description; Widis GmbH Berlin, Oktober 2001
- [2.18-4] Wrobel, G., Ebert, R.-E., Pleßow, M.; *Graph-Based Engineering Systems - A Family of Software Applications and their Underlying Framework*; Electronic Communications of the EASST, Volume 6, 2007
- [2.18-5] Goetze, B.; *Problemanalyse zu Aufgaben der GFal*; GFal-Parachute-3-08, Mai 2008 (Version 1.8)
- [2.18-6] Goetze, B.; *Die partiellen Würfelnetze – Problemanalyse*; GFal-Parachute-6-08, Juli 2008 (Version 1.2)

2.19 B 5.2.3 Zuverlässigkeitsanalyse (EMZ-Analyse) digitaler, nanoelektronischer Schaltungen bei induzierten parasitären Interferenzen in komplexen Systemen - UPB

Kritische Pfadanalyse für komplexe AVT-Strukturen

2.19.1 Einleitung

Das Problem der Analyse schneller, parasitärer Interferenzen (z.B. ESD und Burst) bekommt mit der rasanten Entwicklung neuer Bauelementtechnologien (nanoelektronische Bauelemente) und hochdichten Packagingstrukturen in komplexen Systemen (Hetro System Integration), steigenden IC-Betriebsfrequenzen und niedrigeren Versorgungsspannungsniveaus immer mehr an Bedeutung.

Schnelle Impulse werden durch kurze Anstiegszeiten und hohen Amplituden charakterisiert und besitzen damit erhebliche Hochfrequenzanteile. Diese Hochfrequenzanteile im Spektrum koppeln dann in andere Komponenten eines elektronischen Systems ein – diese Situation wird durch die fortschreitende Miniaturisierung auf Systemebene noch weiter verschärft.

Digitale Systeme weisen im Allgemeinen aufgrund ihrer höheren Empfindlichkeit ein höheres Gefährdungspotential auf - analoge elektronische Systeme sind nur für die Dauer der Störung betroffen. Die eingekoppelten Überspannungen auf den IC-Ports verursachen eine Signaldegradation oder überschreiten die zulässigen Störgrenzwerte. Verfälschungen des Nutzsignals führen zu Funktionsfehlern oder auch zum Ausfall des gesamten elektronischen Systems. Die genaue Kenntnis der Schadensmechanismen sowie kritischer Verbindungen und empfindlicher Pinanschlüsse ist von entscheidender Bedeutung für die Entwicklung wirksamer Schutztechnologien bzw. Entwurfsmaßnahmen.

2.19.2 Ziele der F+E Arbeiten

Die vollständige Bewertung aller Parameter bezüglich ihres Einflusses auf die Zuverlässigkeit der digitalen Komponenten gegen induzierte parasitäre Interferenzen erfordert jeweils die Analyse des vollständigen Signalpfades im Gesamtsystem. In der Literatur ist bereits ein effizientes Verfahren zur Extraktion kritischer Störausbreitungspfade, die eine Störquelle und ein Komponentenpin verbinden, entwickelt worden. Dieses Verfahren ermöglicht es die Übertragungseigenschaften der einzelnen Ausbreitungspfade im Frequenzbereich für mittelgroße Schaltungen mit passiven Abschlüsse zu bewerten. Dieser Ansatz erlaubt die Reduktion der Komplexität durch Berücksichtigung von elementaren Verbindungsstrukturen.

Durch diese elementaren Verbindungsstrukturen werden alle existierenden physikalischen Pfade in einer Schaltung approximiert. Die Analyse umfasst Verbindungsstrukturen unterschiedlicher Geometrieconfigurationen sowie passive diskrete Komponenten. Um das Signalverhalten eines vollständigen Ausbreitungspfades genauer analysieren zu können, müssen zusätzlich nichtlineare aktive Komponenten sowie flächige Versorgungssysteme berücksichtigt werden. Der Einfluss der letzteren auf der Ausbreitung der schnellen Störimpulse im System und deren Wirkung am IC- Pin im Zeitbereich wird in diesem Beitrag untersucht. Die Simulation und Analyse im Zeitbereich soll durch die Bereitstellung genauer und effizienter Algorithmen, die den Frequenzinhalt der Störimpulse beibehalten, ermöglicht werden. Die Eigenschaften nanoelektronischer Bauelemente werden in die Entwicklung der neuen Algorithmen einbezogen.

2.19.3 Technische Ergebnisse

Es wurde an der Weiterentwicklung eines Verfahrens gearbeitet, das die Analyse der kritischen Ausbreitungspfade (Leitungen + IC) von induzierten, transienten Impulsen auf Systemebene ermöglicht. Diese bestehen aus Störquellen, Sender- und Empfängerkomponenten und AVT-Elementen (Leiterbahnen, Vias, usw.).

Ein kritischer Pfad setzt sich damit aus Verbindungselementen sowie passiven diskreten Komponenten zusammen und lässt sich im Frequenzbereich anhand von charakteristischen Streuparametern beschreiben und bewerten.

Das Auffinden von kritischen Pfaden erfolgt durch die Anwendung von effizienten graphentheoretischen Suchalgorithmen. Für die Simulation des vollständigen Pfades mit Berücksichtigung des nichtlinearen Verhaltens aktiver digitaler Komponenten wird eine sog. Hybrid-Analyse durchgeführt (Kombination mit Verfahren wie z.B. Harmonic Balance Method). Die Streuparameter der kritischen Verbindungen werden für die Durchführung einer transienten Analyse in eine SPICE-Netzliste (HSPICE) eingefügt. Der Einfluss von Störimpulsen auf das Nutzsignal am IC-Eingang kann dann mit dieser Simulation ermittelt werden.

Weiterhin wurden Untersuchungen zur Beschreibung von Leitungsstrukturen als sog. SubCircuits begonnen. Diese SubCircuits sollen zukünftig im Algorithmus berücksichtigt werden können. Damit kann die Schaltungsgröße erheblich reduziert werden. Die Methode kann eingesetzt werden, wenn zum lokalen Verhalten innerhalb eines sog. SubCircuits keine weiteren Analyse-daten benötigt werden.

Dies ist z.B. bei fest vorgegebenen Leitungsstrukturen, für die keine Entwurfsänderungen zugelassen sind, der Fall. Das Aktivieren dieser Analyseoption hat keinen Einfluss auf die Ergebnisse der kritischen Pfadanalyse für die Gesamtschaltung.

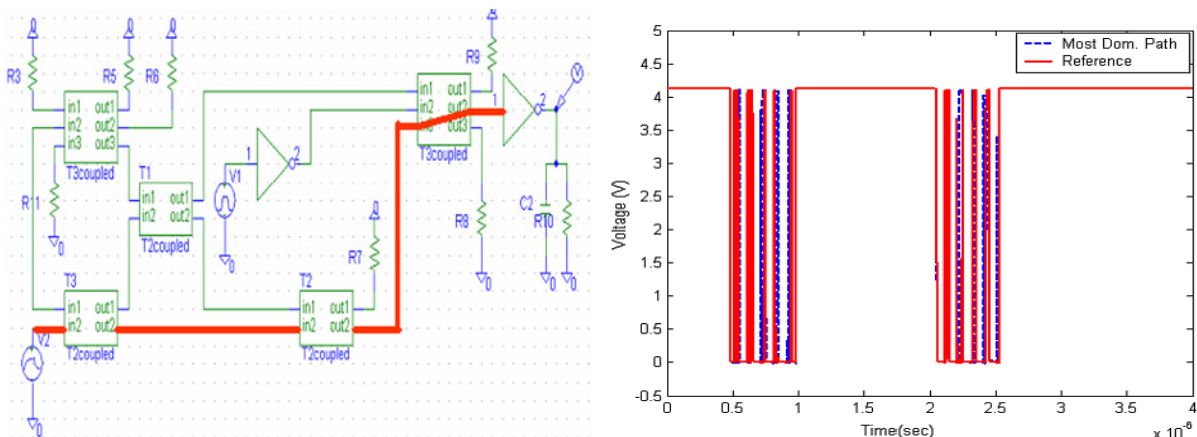


Bild 2.19-1: Beeinflussung einer digitalen Signalsequenz durch einen trapezförmigen, periodischen Störimpuls (links: Schaltung; rechts: Signal am Inverter-Eingang – mit Fehler)

In diesem Beispiel wird der Einfluss eines trapezförmigen, periodischen Störimpuls ($t_r/t_f = 5 \text{ ns}$, Periode = 100 ns) auf eine Signalsequenz der Abfolge (10110111) am Eingang eines Inverters gezeigt. Die Ergebnisse (siehe rot markierten Signalpfad in der Schaltung) wurden mit denen aus einer SPICE-Simulation verglichen. Es konnte eine sehr gute Übereinstimmung zwischen beiden Verfahren erreicht werden. Durch das Störsignal werden Fehler für die Zustände logisch Null (low-state bits) bei Stör-Amplituden von größer 1 KV erzeugt.

Berücksichtigung von lokalen Substrukturen

Die Ausbreitung induzierter transienter Impulse unter Berücksichtigung von lokalen Signalpfaden innerhalb von Substrukturen wurde untersucht worden. Es gibt typische drei Situationen, die betrachtet wurden:

1. Verkettung von Gruppen verbundener Strukturen für die Systemreduktion
2. Identifikation lokal dominanter Signalpfade innerhalb einer Teilschaltung (Subsystems)
3. Extraktion eines dominanten Signalpfades außerhalb eines Teilsystems.

Alle drei Fälle wurden mittels der Schaltung nach Bild 2.19-2 (Substrukturen grau gekennzeichnet). Im ersten Fall wurden diese Substrukturen zu einem einzigen äquivalenten Multiport reduziert. Die dominanten Signalpfade, die die Störquellen und den Ziel-Inverter verbinden, sind identisch mit denjenigen, die ohne diese Modifikation berechnet worden sind. Im zweiten Fall wurden lokale dominante Signalpfade innerhalb des Subsystems extrahiert, um die kritischen Kopplungspfade zwischen den zugehörigen Anschlüssen zu ermitteln. Die innerhalb des Subsystems identifizierten dominanten Teilpfade verlaufen über dieselben Knoten wie die dominanten globalen Pfade im Gesamtsystem. Indem globale dominante Signalpfade bestimmt werden, lassen sich daraus lokale kritische Verbindungsstrukturen identifizieren. Im dritten Fall wurde ein dominanter Signalpfad, der spezifische Strukturen nicht einschließt, identifiziert. Dieser Fall kann angewendet werden, wenn die Entwurfsverbesserungen auf einen Teil des Leiterplattenentwurfs beschränkt werden müssen. Es werden damit weitere dominante Signalpfade extrahiert, die keine gemeinsamen Knoten mit den Strukturen besseren Störverhaltens aufweisen.

Der Einfluss von Einzel-Impulsstörungen auf die Funktion von digitalen Komponenten wurde exemplarisch untersucht. Zu diesem Zweck wurden zwei Störspannungsquellen, aus einem ESD RC-Modell ($R = 330 \Omega$, $C = 150 \text{ pF}$, $E = 1 \text{ kV}$), mit den Knoten 1 und 2 der Schaltung nach Bild 12 verbunden. Die entsprechenden Störimpulse wurden zu den Zeitpunkten $t = 0.3 \mu\text{s}$ bzw. $t = 0.9 \mu\text{s}$ gestartet. Die Fehler an dem Ausgang (Knoten 5) des Inverters (CMOS $V_{CC} = 1.8 \text{ V}$ - Texas Instruments) wird auf der rechten Seite von Bild 2.19-2 dargestellt.

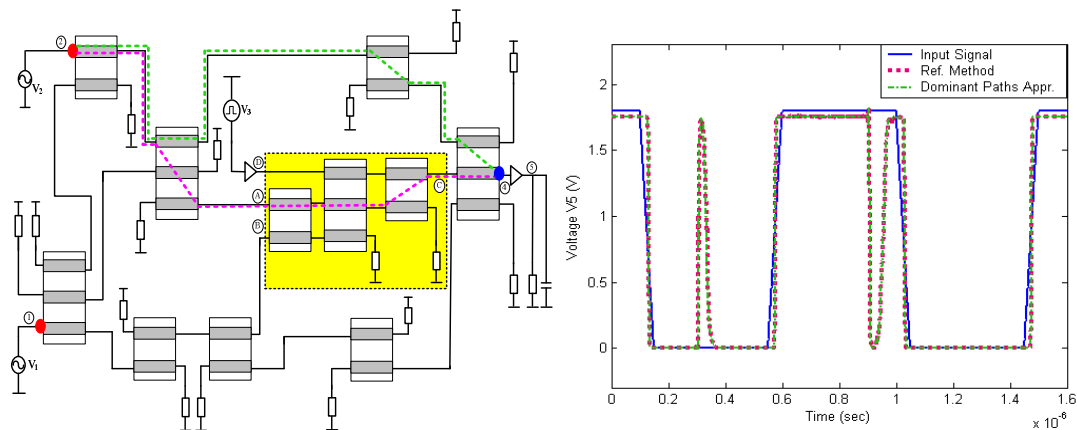


Bild 2.19-2: Testschaltung (rechts) – zugehörige Simulationsergebnisse (mit Referenzmethode)

Einfluss von Lastimpedanzen auf die dominanten Störpfade

Der Einfluss der Abschlussimpedanzen von Verbindungsleitungen auf die dominanten Störpfade zwischen der Spannungsquelle V_2 und dem Zielinverter wurde untersucht. In Bild 2.19-3 werden die Pfade $s_{14}(P_1)$ und $s_{24}(P_1)$ der analysierten Testschaltung dargestellt [2.19-7]. Die dem dominanten Ausbreitungspfad $s_{24}(P_1)$ zugeordneten s-Parameter und die zeitlichen Spannungsverläufe wurden für unterschiedliche Werte der Lastwiderstände berechnet: 50Ω , 100Ω , 500Ω , und $1 \text{ k}\Omega$.

Der Betrag der Transmissionskoeffizient $s_{24}(P_1)$ wird auf der linken Seite der Bild 2.19-4 dargestellt. Durch Erhöhung der Lastwiderstände entstehen periodisch auftretende Resonanzen.

Die reflektierte Störleistung, die von den Lastwiderständen abhängt, wird den dominanten Störpfaden überlagert und breitet sich durch diese in der Schaltung weiter aus. Die Störspannungen der zwei Erregungsquellen wurden mittels des ESD- Modells nach [2.19-8] generiert. Die an den linearen Abschlusswiderständen auftretenden Koppelimpulse werden ebenfalls in Abbildung 2.19-4 (rechts) dargestellt.

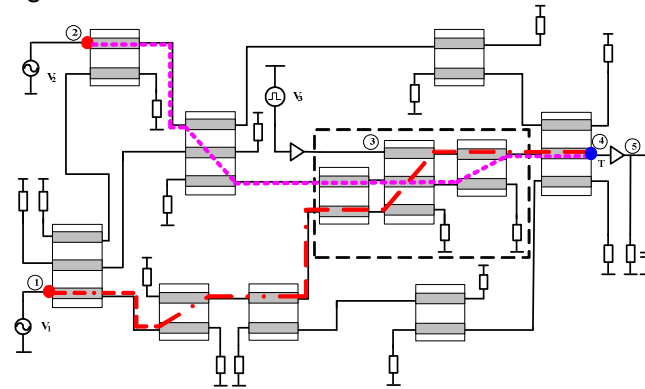


Bild 2.19-3: Dominante Ausbreitungspfade s14(P1) und s24(P1)

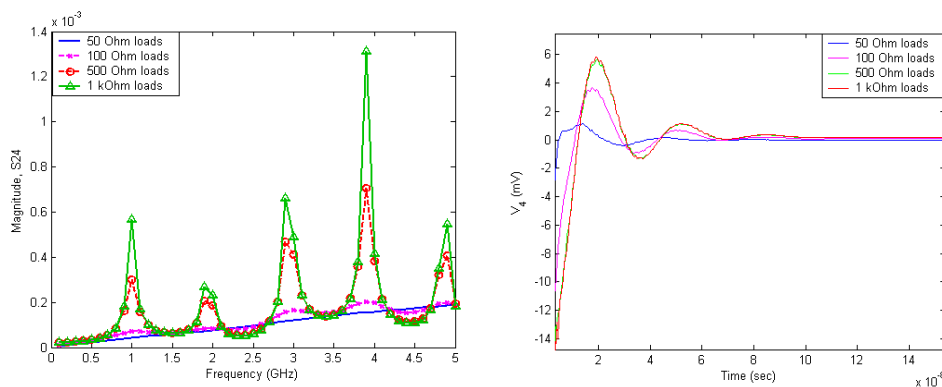


Bild 2.19-4: Transmissionskoeffizient $s_{24}(P_1)$ als Funktion der jeweiligen Abschlussimpedanz und zugehöriger zeitlicher Spannungsverlauf

Der Einfluss der linearen Abschlussimpedanzen auf die dominanten Ausbreitungswege kann zusätzlich zur Berücksichtigung der parasitären Effekte des jeweiligen HDI/HDP-Layouts analysiert werden. Damit ist eine vollständige Analyse der kritischen Leitungen im Netzwerk möglich. Zum diesem Zweck können geeignete lineare Modelle für die Abschlüsse (IC-Pins) zur Simulation verwendet werden.

Automatische Erkennung von sensitiven Komponenten-Anschlüssen

Die automatische Erkennung von kritischen Pins kann durch Modifikation des bisherigen Signal Tracing Ansatzes erfolgen. Statt mehrere Pfade zwischen zwei spezifischen Schaltungsknoten zu suchen, wird hier auf einen einzigen dominantesten Pfad von der Störquelle zu den jeweiligen Komponentenpins konzentriert. Die Bewertung solcher Pfade über die Bandbreite des Störimpulses ermöglicht eine Klassifikation in kritische und nicht kritische Pfade. Entsprechend werden die assoziierten Zielpins klassifiziert. Ein Beispiel aus [2.19-5] (Veröffentlichungen) wird in der Abbildung 2.19-5 dargestellt.

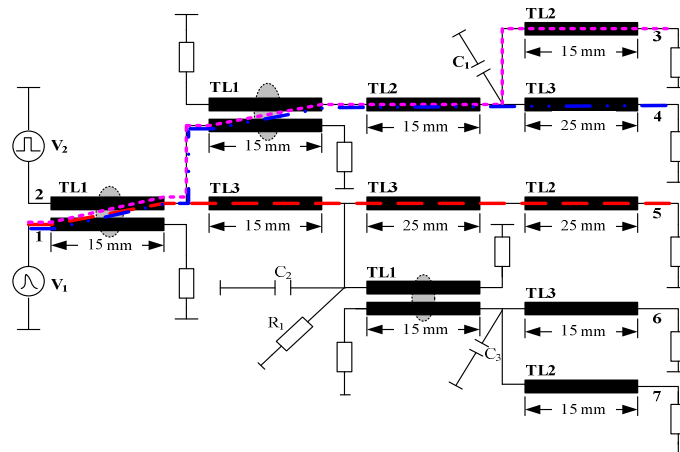


Bild 2.19-5: Ausbreitung eines eingepprägten Impulses

Die dominanten Störpfade von der Störquelle (Pin 1) zu den Lasten an den Pins 3, 4 und 5 wurden in Bild 16 eingezeichnet. Alle anderen sind im Vergleich dazu vernachlässigbar. Die quantitativen Ergebnisse im Frequenz- und Zeitbereich werden in der Abbildung 2.19-6 dargestellt. Die Streuparameterkoeffizienten der einzelnen Pfade werden mit den genaueren Referenzwerten verglichen. Für die Zeitbereichsanalyse wurden die Lastwiderstände mit 1.8 V CMOS Invertern vom Typ SN74AUC1GU04 ersetzt. Die Ergebnisse werden für eine Störspannung am Pin 5 (EFT-Impulspaket - Zeitkonstanten 30 ns und 40 ns) und 0.5 kV dargestellt.

Um die kritischen Quellen in Bezug zu einem bestimmten IC-Pin zu identifizieren kann bei mehreren Störquellen der gleiche Ansatz verwendet werden. Dafür sollte der Anfangs-Knoten und der Ziel-Knoten vertauscht werden.

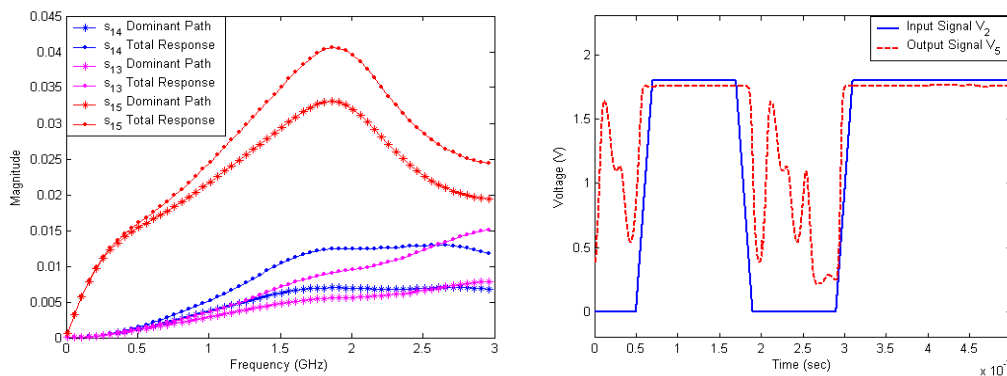


Bild 2.19-6: Simulationsergebnisse: (links) Betrag der Transmission- Koeffizienten zwischen dem Port 1 und die Ports 3, 4 und 5, (rechts) Spannung des Datensignal an Pin 5

Weiterhin wurde an der Weiterentwicklung des Ansatzes zur Erkennung von kritischen Verbindungen auf der Systemebene gearbeitet. Es wurde Schaltungsbeispiele mit mehreren Lagen simuliert und die Ergebnisse validiert ([2.19-4] und [2.19-6]).

Zeitbereichsanalyse einzelner kritischer Signalpfade auf Multilayer Strukturen

Für die Evaluierung der einzelnen Störpfade im Zeitbereich wurde die Schaltung nach Abbildung 2.19-7 verwendet. Sie besteht aus vier Metall-Lagen, zwei davon sind Signallagen und zwei Versorgungssysteme (Power/Ground- Flächen). Die Lagen sind von oben nach unten geordnet. Dabei sind die Niveaus 1 und 3 Signalniveaus und die Niveaus 2 und 4 entsprechen dem Versorgungssystem. Die Metallschichten sind durch ein dielektrisches Material mit einer relativen Dielektrizitätskonstante von 4.2 getrennt. Um eine effiziente Simulation zu erzielen, wurde die Schaltung in einfache Strukturen geteilt. Diese sind Mikrostreifen-Leitungen, Streifenleitungen bzw. Vias, die beide Leitungsarten miteinander verbinden. Die Leitungen und das flächige Versorgungssystem werden als verlustlos angenommen. Die horizontalen and vertikalen Leiter auf dem Schaltungsträger sind Mikrostreifen- bzw. Streifen-Leitungen. Alle Leitungen haben eine Breite von 200 µm und eine Höhe von 365 µm.

Der Abstand zwischen den verbundenen Leitungen beträgt 200 µm. Deren Längen sind auf der Schaltung angegeben (L1 = 10 mm, L2 = 20 mm und L3 = 30 mm). Die Signalübertragung zwischen den Ebenen 1 und 3 erfolgt mit einfachen Vias von einem Durchmesser von 200 µm.

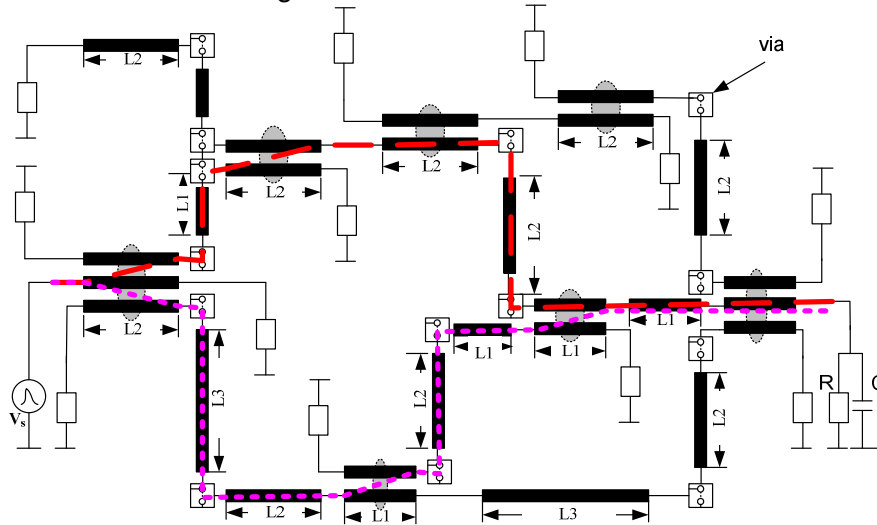


Bild 2.19-7: Analyzierte Schaltung mit zwei dominanten Störpfaden

Die Spannung V_s repräsentiert die Störquelle, von der Impulse zur Last RC ($R = 1 \text{ k}\Omega$, $C = 30 \text{ pF}$) übertragen werden. Die Wechselwirkungen zwischen den entsprechenden Toren (Ports) sind durch die Extraktion der dominanten Störpfade ermittelt. Die ersten zwei dominanten Pfade wurden bei der Frequenz von 10 MHz berechnet. Deren Bewertung wurde auf einem Frequenzbereich von 1 GHz durchgeführt. Der Vergleich der einzelnen Pfade wird in der Abbildung 2.19-8 gezeigt.

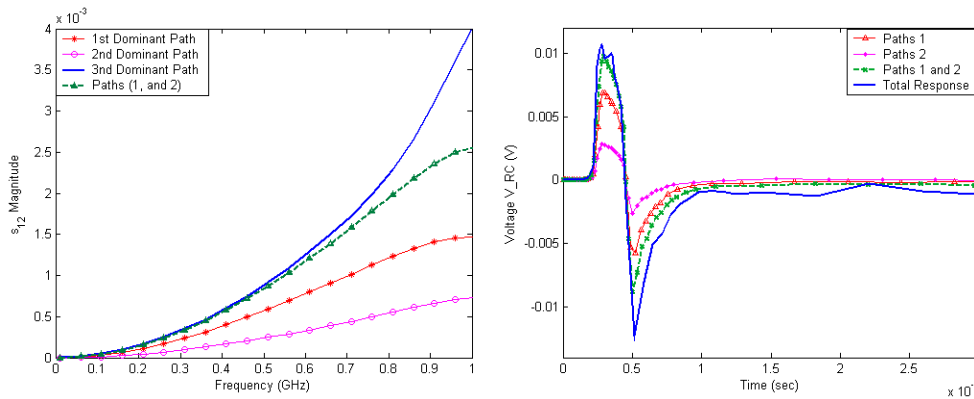


Bild 2.19-8: Analyseergebnis für Test-Schaltung mit zwei dominanten Störpfaden

Wie in der Schaltungsdarstellung gezeigt wird, sind beide Pfade P_1 und P_2 durch Crosstalk zwischen den Leitungen entstanden. Die Überlagerung der Signale beider Pfade liefert eine gute Approximation bis zur Frequenz 900 MHz. Die Transmissionskoeffizienten $s_{12}(P_1)$ und $s_{12}(P_2)$ werden in der Abbildung 2.19-8 (links) dargestellt. Diese werden mit deren Superposition als auch mit den exakten Ergebnissen verglichen. Es zeigt sich, dass die parasitären Effekte zwischen der Störquelle und der Ziellast nur durch diese Pfade beschrieben werden können. Der Transmissionskoeffizient kann dann näherungsweise geschrieben als:

$$s_{12} = s_{12}(P_1) + s_{12}(P_2) \tag{2.19-1}$$

Für die Zeitbereichsanalyse der einzelnen Störpfade wurden zusätzlich die Reflexionskoeffizienten berechnet. Die äquivalente Systemmatrix wurde dann in eine HSPICE Netzlist importiert um die Transientanalyse durchzuführen.

Um die gekoppelten Signale der einzelnen Pfade zu vergleichen, wurden die entsprechenden Koeffizienten berücksichtigt. Als Störquelle wurde ein Standard ESD-Impuls ($R_d = 330 \text{ Ohm}$, $C_s = 150 \text{ pF}$, Entladungsspannung $E = 1 \text{ kV}$) verwendet. Die Simulationsergebnisse werden in der Abbildung 2.19-9 (rechts) dargestellt. Die Ordnung der extrahierten Pfade wurde wie bei der Frequenzbereichsanalyse beibehalten.

Störimpulseinkopplung bei unterschiedlichen Störabständen

In diesem Teilbericht wird die Zeitbereichsanalyse der dominanten Pfade aus der Multilayer-Struktur nach [2.19-1] vorgestellt. Die Pfadextraktion wird hier unter Berücksichtigung von Leitungsabschlußimpedanzen aus parallelen RC-Lasten ($1 \text{ k}\Omega/10 \text{ pF}$) durchgeführt. Die hochohmigen Eingänge von CMOS-Gattern können in erster Näherung durch passive RC-Abschlüsse im Frequenzbereich modelliert werden. Die reflektierten Störimpulse überlagern sich auf den Signalpfaden, inklusiv, den dominanten und werden so zum Zielchip übertragen. Aus der Dominantpfadextraktion wird eine Systemmatrix unter Berücksichtigung von zwei Pfaden P_1 und P_2 synthetisiert, die den linearen Teil der Schaltung charakterisiert. Abhängig von der Struktur und Topologie der Verbindungsleitungen kann die Anzahl der benötigten Pfade variieren. In der Schaltung nach [2.19-1] wird ein Datensignal auf dem anderen Ende der Verbindungsleitung mit der Zielimpedanz RC angelegt. Die resultierende Schaltung aus Invertern und Verbindungsstrukturen wird in Bild 2.19-9 gezeigt.

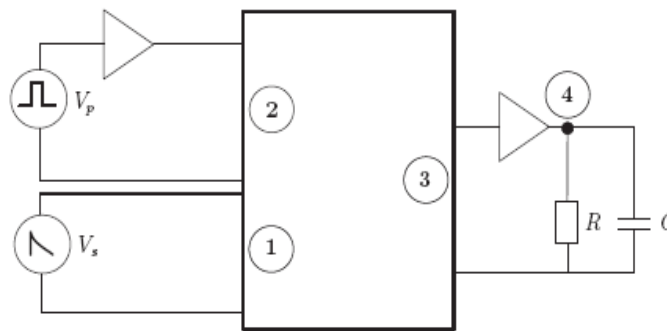


Bild 2.19-9: Vereinfachtes Netzwerk für die Zeitbereichssimulation der kritischen Signalpfade

Diese reduzierte Schaltung mit aktiven Komponenten und Spannungsquellen kann mittels HSPICE simuliert werden. Als transiente Störung wurde eine EFT-Impulsfolge V_s mit der Periode 200 ns , der Anstiegs- und Abfallstiegszeit von 5 ns und der Amplitude von 2 kV gewählt (Bild 2.19-10).

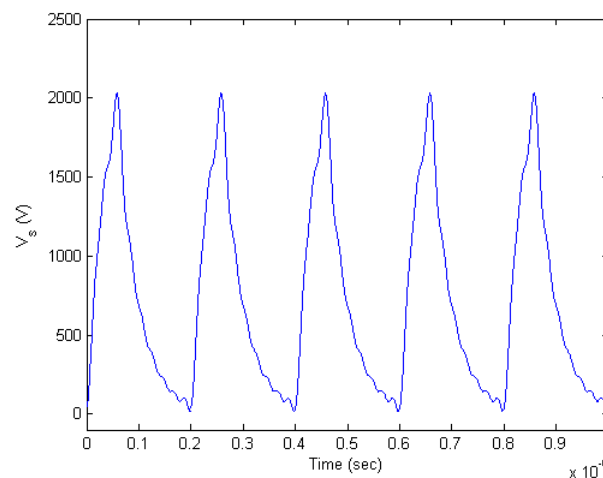


Bild 2.19-10: Doppelsexponential EFT-Impulse

Die Zeitbereichssimulation der dominanten Pfade P_1 und P_2 und deren Superposition wurde für drei Inverterbeispiele in CMOS-Technologie durchgeführt [2.19-2] (Advanced High-Speed (AHC) und Advanced Ultra Low Voltage (AUL)).

Die Störimpulse der dominanten Pfade an den Signaleingängen der Receiver SN74AHC04 ($V_{cc} = 3.3\text{ V}$), SN74AUC1G04 ($V_{cc} = 2.5\text{ V}$) und SN74AUC1GU04 ($V_{cc} = 1.8\text{ V}$) wurden verglichen. Die Simulationsergebnisse für die Inverter SN74AHC04, SN74AUC1G04 und SN74AUC1GU04 werden in den Bildern 2.19-11 bzw. 2.19-12 dargestellt. In Bild 2.19-11 werden die Störimpulse an den Gattereingängen dargestellt.

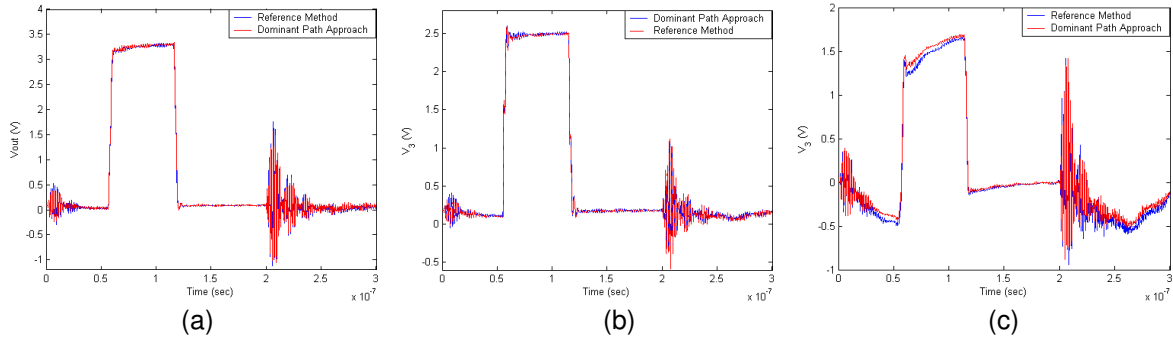
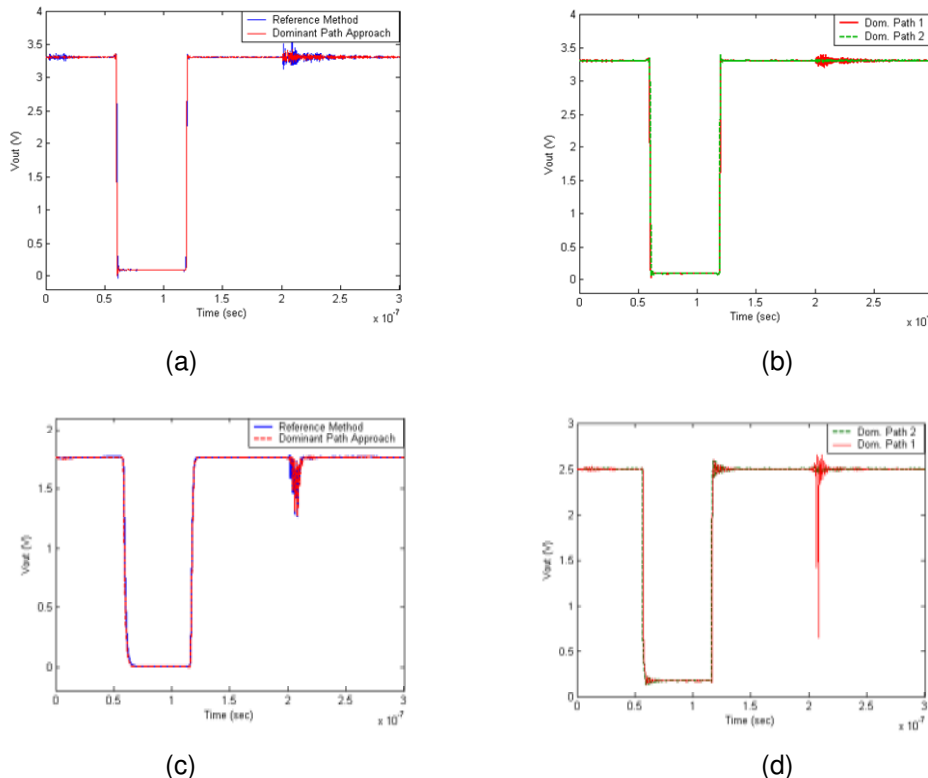


Bild 2.19-11: Signal am Eingang 3: (a) SN74AHC04 $V_{cc} = 3.3\text{ V}$ - (b) SN74AUC1G04 $V_{cc} = 2.5\text{ V}$ - (c) SN74AUC1GU04 $V_{cc} = 1.8\text{ V}$

Der Vergleich zeigt eine gute Übereinstimmung zwischen den Simulationsergebnissen unter Berücksichtigung von dominanten Pfaden und der HSPICE-Transientanalyse.

In den Abbildungen 2.19-12 (a), (c) und (e) werden die Ergebnisse aus der Superposition der beiden dominanten Pfade mit der genaueren HSPICE-Simulationen verglichen. Es lässt sich eine sehr gute Übereinstimmung zwischen den Ergebnissen aus dem Algorithmus zur Extraktion der kritischen Pfade und aus den HSPICE Simulationen erkennen. Wie aus Bild 2.19-12 (a) entnommen werden kann, tritt für den Fall des Bauelementes SN74AHC04 keine Verfälschung des Nominalsignals auf. Im Gegensatz dazu sind bei Verwendung der Bauelemente SN74AUC1G04 und SN74AUC1GU04 statische Fehler für den Logikzustand HIGH zu beobachten. Die Bilder 2.19-12 (b), (d) und (f) zeigen die Simulationsergebnisse im Zeitbereich für die beiden betrachteten Signalfade. Es ist offensichtlich, dass bei allen verwendeten Gattern der Beitrag des Pfades P2 keinen Einfluss auf das Signal am Ausgang des Receivers hat.



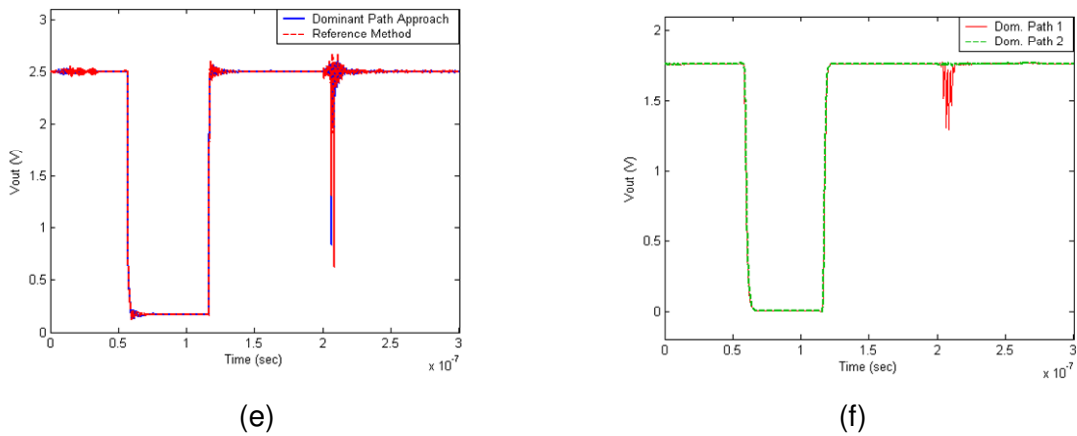


Bild 2.19-12 (a-f): Signalverlauf an der Last-Impedanz RC: (a)/(b) SN74AHC04 - (c)/(d) SN74AUC1G04 - (e)/(f) SN74AUC1GU04

Empfindlichkeitsanalyse kritischer Signalpfade

Um die eingekoppelten Störimpulse an einem bestimmten Komponentenanschluss zu reduzieren, werden sog. Schutzschaltungen verwendet. Die Schutzschaltungen integrierter Bauelemente werden üblicherweise unabhängig von PCB-Entwurf entwickelt und realisiert. Auf der PCB-Ebene zum Beispiel müssen dann die Leitungsparameter und/oder die -topologie so eingestellt werden, dass eine Reduktion der Störimpulse erreicht wird.

Eine Veränderung der Topologie von Leitungsstrukturen führt üblicherweise zu einer Änderung der Eigenschaften von kritischen Signalpfaden. Die Ergebnisse für ein Beispiel, bei dem die kritischen Verbindungsstrukturen [2.19-2] durch einen einfachen und zweifachen Knick (bend) ersetzt wurden, werden in Bild 2.19-13 gezeigt. Typisch für derartige Strukturen ist es, dass die Signalverläufe ähnlich sind. Die Reduktion des übertragenen Störimpulses im Vergleich zur Originalschaltung mit parallelen Leitungen ist deutlich ausgeprägt. Im gleichen Bild (rechts) wird der zeitliche Verlauf der eingekoppelten Störimpulse bei Variation des Abstandes zwischen den Leitungen dargestellt (eine Vergrößerung des Abstandes führt zu einer Reduktion der durch den dominanten Pfad übertragenen Störimpulse).

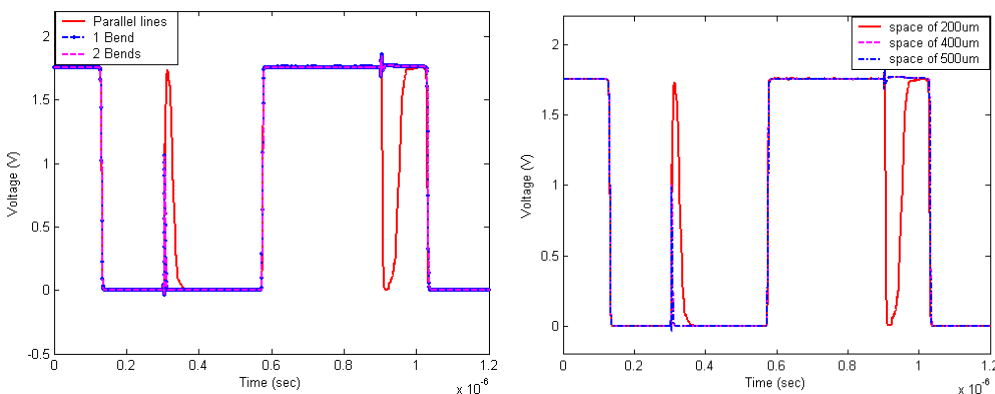
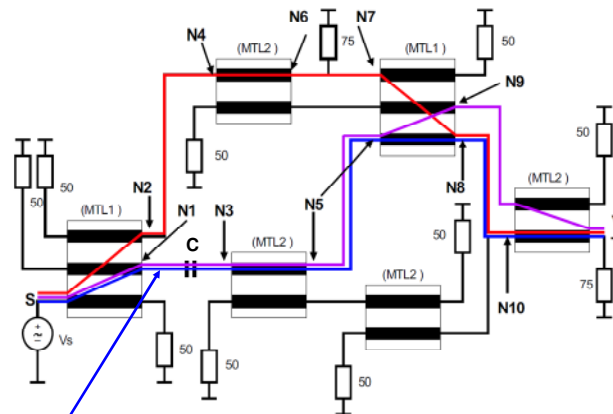


Bild 2.19-13: Zeitlicher Verlauf der eingekoppelten Störimpulse für unterschiedliche Leitungsstrukturen

Nachfolgend wird die Empfindlichkeit des ersten kritischen Pfades für verschiedene Werte einer Schaltungskapazität C (1 pF/3 pF/5 pF/10 pF) analysiert [2.19-3].



1. kritischer Pfad: S-N1-N3-N5-N8-N10-T

Bild 2.19-14: Analysierter kritischer Pfad mit Schaltungskapazität C [2.19-3]

Die Ergebnisse im Frequenzbereich werden in Bild 2.19-15 (links) gezeigt. Es wird deutlich, dass im betrachteten Analysebereich, der Betrag der übertragenen Störleistung für die Kapazität von 1 pF eine starke Dämpfung am betrachteten Zielwiderstand aufweist (Punkt T). Die weiteren Ergebnisse zeigen einen Anstieg des Betrages der übertragenen Störleistung auf dem kritischen Pfad. Die Ordnung und die geometrische Struktur des dominanten Pfades ändern sich für alle Werte der Schaltungskapazität nicht.

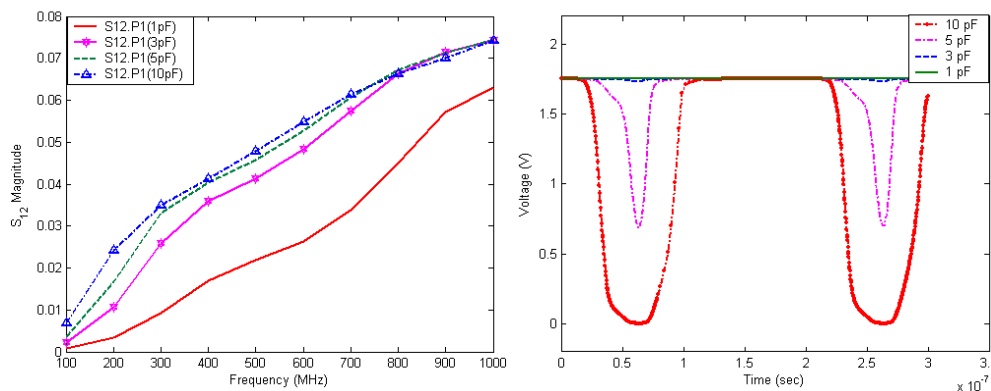


Bild 2.19-15: Übertragungsverhalten $|S_{21}|$ des ersten kritischen Pfades im Frequenz- und Zeitbereich für unterschiedliche Werte einer Schaltkapazität [2.19-3]

Die Simulation des Übertragungsverhaltens des dominanten Pfades wurde für jeden Wert der Schaltungskapazität durchgeführt. Die Ordnung der Pfade im Zeitbereich bleibt erhalten. Damit werden die Ergebnisse im Frequenzbereich und die Ermittlung der kritischen Verbindungen bestätigt.

Visualisierung von kritischen Störpfaden

Zur Visualisierung von kritischen Störpfaden in einem System von Verbindungsstrukturen wurden vorbereitende Arbeiten zur Integration der SignalTracing-Algorithmen in das Werkzeug FREDI begonnen. Dieses Werkzeug verfügt über eine graphische Oberfläche zur abstrakten Darstellung von gekoppelten Leitungssystemen und einer begrenzten Anzahl von Bauelementen.

Zur Analyse von Schaltungsdateien aus dem Editor FREDI wurde ein Parser implementiert, der die Konvertierung des FREDI-Dateiformats in eine SPICE-ähnliche Netzliste ermöglicht. Das Einbinden der Signalverfolgungsalgorithmen in den Editor FREDI dient zum einen der vereinfachten Darstellung von dominanten bzw. kritischen Pfaden auf Schematic-Ebene. Zum anderen können damit auch Schaltungen mittlerer Größe schneller dargestellt und analysiert werden.

Zur Einbindung der Algorithmen in diesen Editor wird eine geeignete Formatdarstellung der Schaltungsnetzliste benötigt. Eine Konvertierung des FREACS-Formats (ZUKEN) in ein für das SignalTracing-Werkzeug lesbares Format muss durchgeführt werden. Die extrahierten Pfade können dann an den Schematic- Editor FREDI weitergegeben und dargestellt werden.

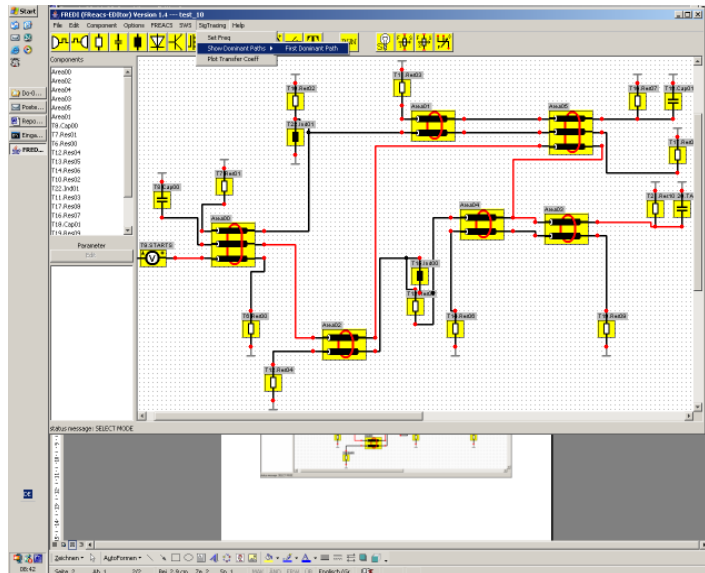


Bild 2.19-16: Darstellung von komplexen Signalpfaden durch FREDI

Für die Einbindung der Tracing-Algorithmen in den Editor FREDI wurde eine geeignete Formatdarstellung der Schaltungsnetzliste erstellt. Die Konvertierung des FREACS-Formats (ZUKEN) in ein für das SignalTracing-Werkzeug lesbares Format wurde implementiert. Die extrahierten Pfade können damit an den Schematic-Editor FREDI übergeben und dargestellt werden.

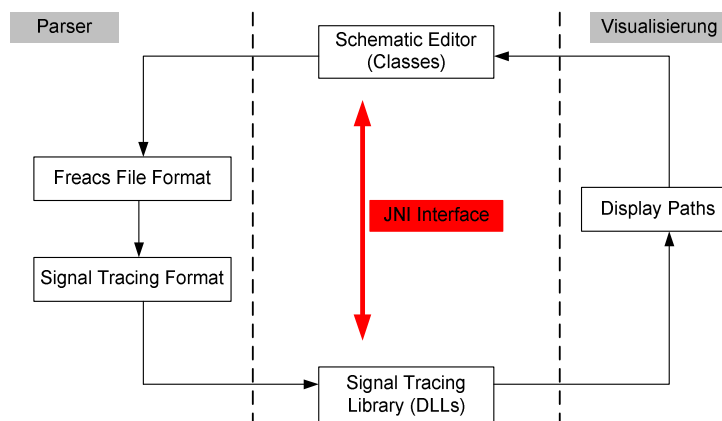


Bild 2.19-17: Kopplung Schematic-Editor FREDI/SignalTracing-Algorithmus

Bei der Analyse werden drei Arten von Dateien erzeugt, die schrittweise eine Umwandlung in eine Multiport-Datei ermöglichen. Bei dieser Umwandlung werden die Abschlussimpedanzen berücksichtigt und für die Reduktion des entsprechenden Multiport-Blocks verwendet. Für jeden Verbindungsknoten mit dem Grad größer als zwei wird zusätzlich ein Multiport-Element, das den Signalfluss an diesem Knoten beschreibt, hinzugefügt. Die erzeugten Dateien weisen ein SPICE-ähnliches Format auf. Der Syntax für die Beschreibung der Schaltungselemente wurde definiert.

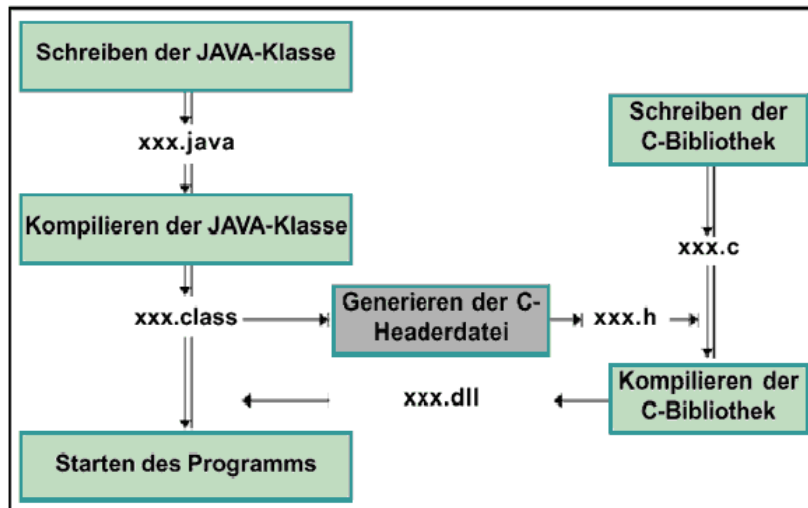


Bild 2.19-18: Verbindung von C++ Bibliotheken und Java-Klassen zur Kopplung FREDI/SignalTracing-Werkzeug

Der SignalTracing-Algorithmus liegen in Form von dynamischen Link-Bibliotheken vor; während der Schaltungseditor FREDI in Form von Java-Klassen vorliegt. Die Einbindung der C++ Algorithmen erfolgt durch Java Native Interface (JNI). Die Schematic-Parameter können automatisch an den Algorithmus zur NoiseTracing-Analyse weitergegeben werden.

Eine Konvertierung zwischen den Datentypen von JNI und C++ muss durchgeführt werden. Die FREACS-Netzliste enthält die Leitungparameter, die Werte der Abschlusskomponenten, die Spannung- und Stromquellen und die Verbindungsinformationen (Input für FREDI). Diese Netzliste in eine für den Algorithmus verständliche Eingabedatei konvertiert. Zur den Eingabeparameter gehören zusätzlich die Start- bzw. Zielknoten, der Frequenz-Bereich für die Analyse. Die Ausgabe-Parameter stellen die kritische Verbindungen und deren entsprechende Transmissions-Koeffizienten dar (Ergebnis der NoiseTracing-Analyse).

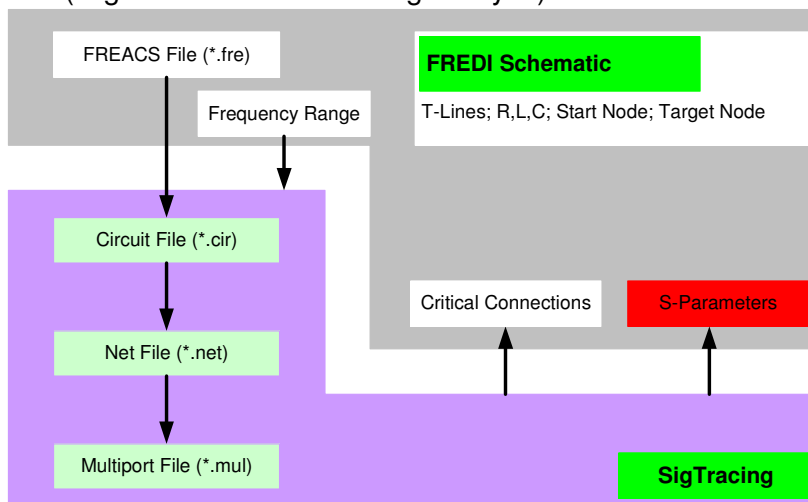


Bild 2.19-19: Parameter-Eingabe und -Übergabe zwischen FREDI-Editor und dem neuen SignalTracing-Algorithmus

2.19.4 Anwendungsbeispiele und Verwertung

Simulation einzelner Störpfade – Betrachtung unterschiedlicher Technologien

Die Schaltung nach Bild 2.19-3 wird unter Berücksichtigung der dominanten Signalpfade $s_{14}(P_1)$ und $s_{24}(P_1)$ im Zeitbereich simuliert. Es wurden drei Typen von CMOS-Invertern (TI: 3.3 V - 2.5 V - 1.8 V) betrachtet [2.19-9;2.19-10]:

- SN74ALVC04 (Advanced Low Voltage CMOS)
- SN74AHC04 (Advanced High Speed CMOS)
- SN74AUC04 (Advanced Ultra Low Voltage CMOS).

Das Ziel dieser Analyse ist die Untersuchung der Empfindlichkeit der verwendeten IC-Typen bzgl. schneller parasitärer Impulse. Als Störimpulse wurde eine RC-ESD Erregungsspannung gemäß [2.19-11] verwendet. Für eine effiziente Simulation werden die Inverter durch ihre äquivalenten IBIS-Modelle beschrieben. Das nachfolgende Bild 2.19-20 zeigt die jeweiligen Spannungsverläufe am Ausgang des Ziel-Inverters.

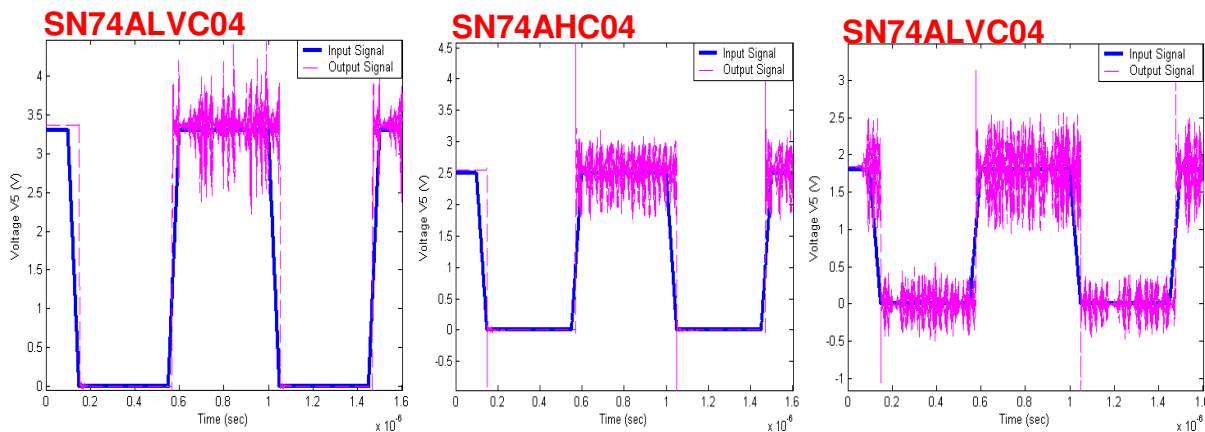


Bild 2.19-20: Störimpulsverlauf für drei unterschiedliche Leitungsabschlüsse (Schaltung gemäß Bild 2.19-3)

Signalpfade in Multilayer-Strukturen

Im Verlauf der bisherigen Arbeiten wurden ausschließlich SingleLayer-Strukturen betrachtet. Der hier vorgestellte Ansatz zur Identifikation von dominanten Störpfaden kann auch auf die Analyse von MultiLayer-Strukturen angewendet werden. Es wurde eine Struktur nach Abbildung 2.19-21 (links) analysiert. Sie besteht aus vier Lagen, davon zwei Signallagen und zwei Referenzlagen (Power/Ground) (siehe auch Bild 2.19-21 rechts). Die Breite der Leitungen (MSL/StripLine) beträgt 200 μm . Die Abstände zwischen den gekoppelten Leitungen betragen ebenfalls 200 μm . Die Verbindungen zwischen den Leitungen erfolgen mit einfachen Vias (Durchmesser 200 μm). Das Substratmaterial weist eine Dielektrizitätskonstante von 4.2 auf. Für die Simulation wurden die Verbindungen in Leitungssegmente (MSL/StripLine) und Vias unterteilt.

In den Knoten 1 der Schaltung wurde ein ESD-Impuls eingespeist [siehe: F. Centola, D. Pommerenke, W. Kai, T. Van Doren; *ESD Excitation Model for Susceptibility Study*, IEEE Symposium on EMC, Boston, USA, 18. – 22. August 2003]. Die Streuparameterkoeffizienten zwischen den Ports 1, 2 und 3 und die entsprechenden Signalpfade wurden berechnet. Die Abbildung 2.19-22 (links) zeigt den Betrag des Transmissionskoeffizienten $s_{12}(P_1)$.

Die erzielten Ergebnisse wurden mit den Werten nach exakten Berechnungsverfahren (HSPICE) verglichen. Die Ergebnisse im Zeitbereich (V_2) - unter Berücksichtigung der dominanten Störpfadepfade - werden in Bild 2.19-22 (rechts) dargestellt. Im Vergleich zur exakten Systemantwort kann eine zeitliche Verschiebung des approximierten Signalverlaufs festgestellt werden.

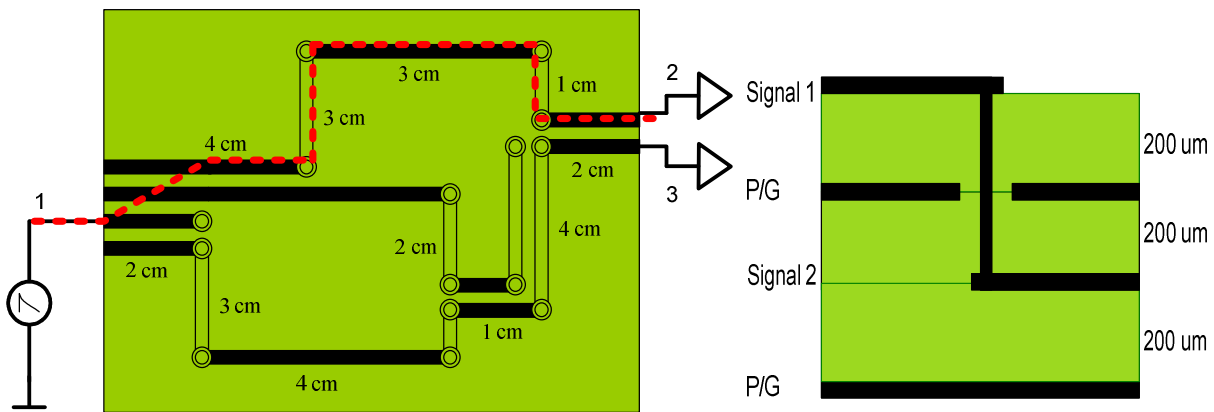


Bild 2.19-21: Analyzierte MultiLayer-Struktur

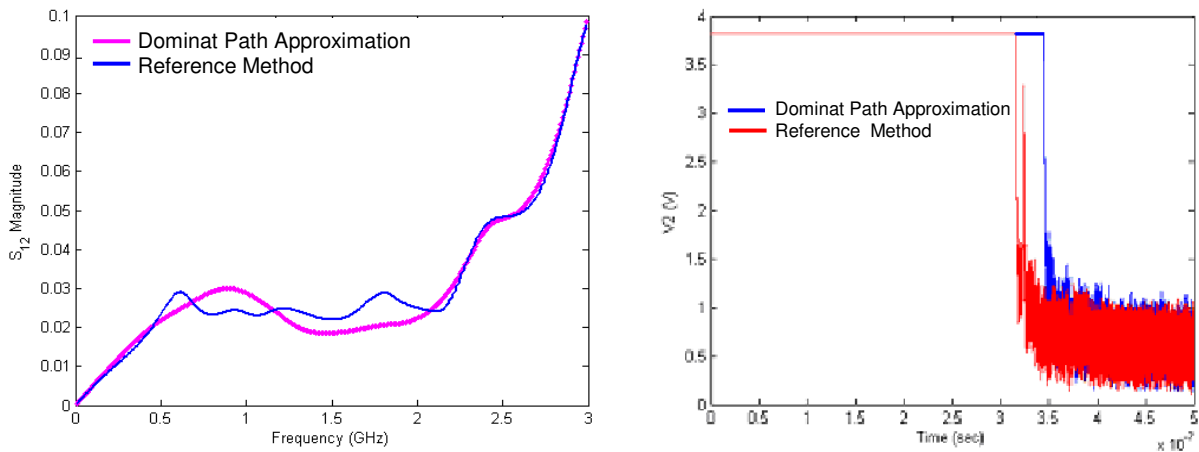


Bild 2.19-22: Simulationsergebnisse im Zeit- und Frequenzbereich (MultiLayer-Struktur nach Bild 2.19-21)

Zusammenfassung (B 5.2.3)

Der SignalTracing-Algorithmus wurde zur Behandlung von Admittanz-Parametern erweitert. Die Erweiterung wurde implementiert und anhand kleiner Netze getestet. Es wurden SPICE-Makromodelle zur Erzeugung von transienten Impulsen implementiert; die Beispielsimpulse aus der Literatur entnommen. Der Einfluss von Störimpulsen auf das Nutzsignal am IC- Eingang kann aus der Störimpuls-Analyse (Simulation) hergeleitet werden - darauf aufbauend kann zukünftig eine zuverlässigere Schaltung entwickelt werden.

Die weiteren Arbeiten konzentrierten sich auf die Themengebiete: Fertigstellung der Visualisierung von kritischen Störpfaden (FREDI-Kopplung), Bildung von AVT-Gruppen zur Reduktion der Analyse-Komplexität, Extraktion von lokalen dominanten Pfaden in SubCircuits und Extraktion von dominanten Pfaden außerhalb der SubCircuits.

Der im Institut FhG IZM ASE entwickelte Editor FREDI (Unterstützung der Signalintegritäts-Analyse von komplexen AVT-Strukturen) konnte mit dem hier vorgestellten SignalTracing-Algorithmus zur Visualisierung von kritischen Störpfaden in einem System von Verbindungsstrukturen gekoppelt werden. Die Kommunikation zwischen die Schematic-Klassen (FREDI) und den SignalTracing-Bibliotheken erfolgt über ein sog. Java Native Interface (JNI). Damit werden die Parameterübergabe und die Konversion zwischen unterschiedlichen Programmiersprachen möglich.

2.19.5 Literatur - Kritische Pfadanalyse für komplexe AVT-Strukturen

- [2.19-1] M. Taki, C. Hedayat, W. John, and U. Hilleringmann; *Noise Propagation Paths at PCB-level: A Simulation tool*; in Proc. 19th International Wroclaw Symposium and Exhibition on EMC, Wroclaw, Poland, June 2008, pp. 34–39
- [2.19-2] M. Taki and W. John; *Determination of Propagation of Fast Induced Transient Impulses on PCB-Level*; in Proc. IEEE International Symposium on Electromagnetic Compatibility, ISBN: 1-4244-1350-8, Honolulu, Hawaii, USA, July 2007
- [2.19-3] M. Taki, P. Kralicek, U. Keller, and W. John; *Extraction of Critical Noise Propagation Paths in High-density Interconnect Environment*; Proc. 17th International Wroclaw Symposium and Exhibition on EMC, Wroclaw, Poland, June 2004, pp. 308–313
- [2.19-4] M. Taki, C. Hedayat, W. John, U. Hilleringmann; *Noise Propagation Paths At PCB-Level: A Simulation Tool*; 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11 - 13 June, 2008
- [2.19-5] M. Taki, C. Hedayat, W. John; *An Approach for The Prediction of Sensitive I/O Ports using Noise Distribution on PCB-Level*; IEEE International Symposium on Electromagnetic Compatibility, 18-22 August 2008, Detroit, Michigan, USA
- [2.19-6] M. Taki; *Identification and Simulation of Critical Interconnect Paths With Respect To Transient Noise at PCB-Level*; MEDEA+ Design Automotive Conference, 26. -28.05. 2008, Leuven, Belgium
- [2.19-7] M. Taki, W. John, C. Hedayat, U. Hilleringmann; *Noise Propagation for Induced Fast Transient Impulses on PCB-Level*; 18th International Zurich Symposium on EMC; 22. - 24. September 2007, Munich/Germany
- [2.19-8] F. Centola, D. Pommerenke, W. Kai, T. Van Doren; *ESD Excitation Model for Susceptibility Study*, IEEE Symposium on EMC, Boston, USA, 18. – 22. August 2003
- [2.19-9] *PCB Design Guidelines for Reduced EMI*, Dallas, Texas, USA, 1999 - online available: <http://focus.ti.com>;
- [2.19-10] *Logic Selection Guide*, Dallas, Texas, USA, 2001 - online available: <http://focus.ti.com>
- [2.19-11] S. E. Meiners; *An Impulse Generator Simulation Circuit*; Master Thesis - University of Pittsburgh (USA), Nov. 2002

AP6: Neue Messmethoden zur Validierung der Simulationsmodelle

2.20 B 6.1.1 Implementierung eines Nahfeldscan-Messplatzes für die EMZ-Charakterisierung von Steuergeräten – CONTINENTAL

2.20.1 Einleitung

Betrachtet werden in diesen Arbeitspaket die Entwicklung eines komplexen Messsystems zur Bestimmung der elektromagnetischen Felder, welche von elektrischen und elektronischen Baugruppen emittiert werden. Das Messsystem besteht aus verschiedenen Teilsystemen. Neben der hochpräzisen Positioniereinheit, umfasst das System eine hochauflösende optische Kontourabtasteinheit, eine Signalaufbereitung, einen vektoriiellen 2 Kanal Messempfänger und weitere Komponenten, wie optische Sensoren, Pegelwandler I/O Module etc. Gesteuert wird das Messsystem durch eine spezielle Software, dessen Entwicklung ebenfalls Bestandteil dieses Arbeitspaketes war.

Ziel der F+E Arbeiten

- Analyse und Bewertung der bisherigen NFS-Systeme
- Konstruktion eines hochgenauen 3D Positionierungssystem
- Entwicklung eines 3D Konturerfassungssystem
- Entwicklung einer Methode zur schnellen Erfassung breitbandigen Signalen über einem großen Dynamikbereich
- Entwicklung eines Datenmanagement Konzeptes zur Verarbeitung großer Messdatenmengen
- Entwicklung einer Steuer- und Mess-Software zum automatisierten Nah-Feld-Messen.

2.20.2 Technische Ergebnisse

Das Konzept des Nahfelds-Scanners wurde am Begin des Projektes definiert. Dabei wurde ein nutzbares Scan-Volumen vom 500 x 800 x 500 mm (x/y/z) gefordert. Untersuchungen haben gezeigt, dass ein Portal-Robotsystem einen nennenswerten Einfluss auf die Messungen hat. Es wurde in dieser Untersuchung gezeigt, dass der Störeinfluss der Metallstruktur des Portal-Robotsystem nicht durch konstruktive Maßnahmen oder durch Absorber für alle Feldkomponenten und alle Frequenzbereiche hinreichend kompensiert werden kann. Aus diesem Grund muss der Halbraum über den Referenzebenen des Scanners weitgehend frei von metallener Strukturen sein, die einerseits die abgestrahlten Wellen reflektieren und andererseits den Verlauf der Feldlinien beeinflussen. Somit ergibt sich eine Konstruktion, bei der das DUT unter einer festmontierten Feldsonde bewegt wird. Die Fixierung der Feldsonde kann hierbei aus nichtmetallischen Werkstoffen, z.B. Polycarbonat, Glas etc., hergestellt werden.

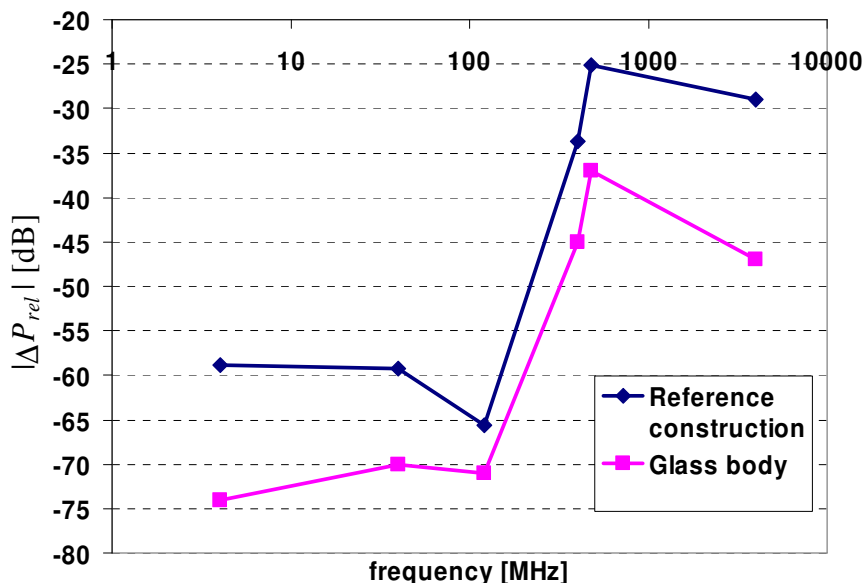


Bild 2.20-1: Einfluss von Metall auf die Messergebnisse

Realisierung Positionierungssystem

Das Positionierungs-System wurde durch die Firma Anfotec gefertigt. Die ersten Tests zeigten eine gute Positionierungsgenauigkeit des Systems. Bei Belastung einer Ecke um ca. 500N in Z-Richtung ergab sich eine Änderung der absoluten Position von weniger als 4 µm. Bei diesem Test zeigte sich auch, dass der Abstand zwischen der oberen Linearführung und der Ground-Plane zu gering ist (Bild 20-3). Dadurch können Kabel und Steckverbinder, die an der Unterseite des DUT's angeschlossen sind, zu stark belastet werden, wenn die Ground-Plane in einer der Eckpositionen ist. Deshalb wird der Abstand um 500 mm erhöht.

Zu Beginn jeder Nahfeld-Messung, muss die absolute Position der Nahfeld-Sonde bekannt sein, da es sonst zu Kollisionen mit dem DUT kommen kann, die zu einer Zerstörung der Nahfeld-Sonde bzw. des DUT's führen kann. Die Bestimmung der Position wird mittels zweier Gabel-Laser-Lichtschranken durchgeführt, welche in die Ground-Plane eingelassen sind, siehe Bild 2.20-4. Nach der Positionserfassung kann das System mit einem Decke und verschlossen werden. Durch ein spezielles EMV-Dichtsystem, welches in einer Schwalbenschwanz-Nut eingelassen ist, wird eine galvanische Verbindung zur Gound-Plane hergestellt, so dass für die anschließende Nahfeld-Messung eine homogene Massefläche vorhanden ist.



Bild 2.20-2: Stoßabsorbierendes Positionierungssystem

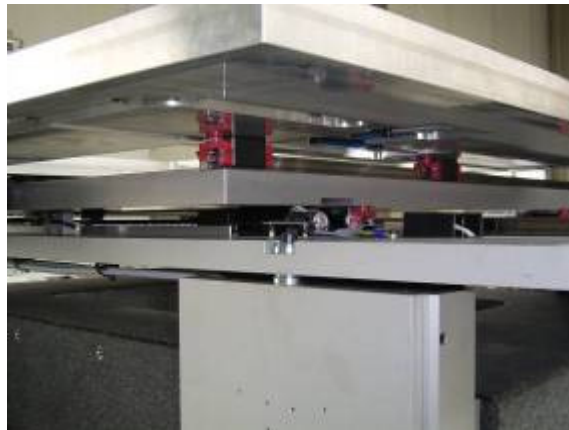


Bild 2.20-3: Abstand zwischen Führungsschiene und Ground-Plane

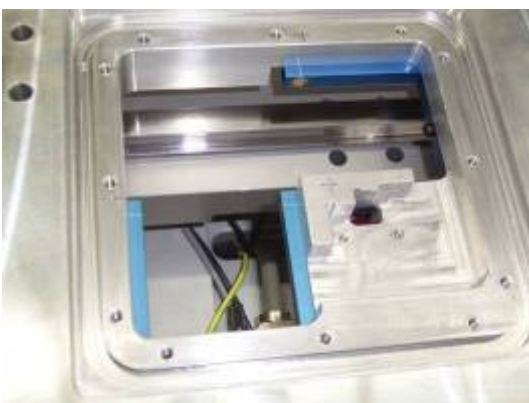


Bild 2.20-4: Gabel-Laser-System

Die Konstruktion des Geräteträgers wurde abgeschlossen. Im Verlauf der Konstruktion trat das Problem auf, dass fast alle benötigten Teile am Markt nicht erhältlich waren. So mussten auch Norm-Teile, wie z.B. Kugellager, Antriebsscheiben etc. extra angefertigt werden, da es diese nicht in metallfreier Ausführung gab.

Dieses verzögerte den Konstruktionsprozess sehr, da erst sichergestellt werden musste, ob diese Teile durch Zulieferer gefertigt werden können, was umfangreich Marktrecherchen und Angebotsverhandlungen nach sich zog. Ein weiteres Problem lag in der Beschaffung des Plexiglas® Blocks, auf dem der Geräteträger gefertigt werden soll. Das ursprüngliche Design musste mehrmals modifiziert werden, da dieses Material nur in einer Materialstärke vom 100 mm bei 2000 mm Länge beschafft werden kann.

Die optische Konturerfassung, sowohl für Chipabmessungen als auch für Steuergeräteabmessungen, erfordert verschiedenen Fokusslängen des Objektivs, da Anforderungen an der Bildbereich, die Tiefenschäfte und die Auflösung unterschiedlich sind. Somit ergeben sich verschiedene Distanzen zwischen der Referenz-Masse-Ebene und der Kameragewindeebene, die im Bereich zwischen 180mm und 380mm liegen. Um dieses auszugleichen wurde eine spezielle Kamerahalterung entwickelt, die es ermöglicht die Kamera hochgenau entlang der optischen Achse zu verschieben. Ebenfalls muss zur Aufnahme von verschiedenen langen Sonden die drehbare Halterung in der Länge adaptierbar sein. Erzielt wurde dieses durch eine spezielle Teleskophalterung, welche aus einem äußeren, durch einen Antrieb drehbaren, Rohr und einem inneren, absenkbaaren Rohr besteht, siehe Bild 2.20-4 und Bild 2.20-5. Als Material wurde PEEK (Polyether Ketone) gewählt, da es gut maschinell bearbeitbar ist und positive elektrische und mechanische Eigenschaften. Die Teleskophalterung hat den Nachteil, dass das innere und das äußere Rohr keinen festen Bezug zueinander haben und sich gegeneinander verdreht werden können. Daher muss auf dem inneren Rohr ein Reflexionsstreifen eingelassen werden um die 0-Grad-Lager der Sonde mittels eines Lasers zu erfassen.

Der Nahfeld-Scanner besteht aus mehreren Sub-Systemen, wie z.B. Kamerasystem, Linien-Laser, Gabellichtschranke, Multi-I/O-System, Roboter-Steuerung, ADC, DAC, etc. Alle Sub-Systeme müssen an einen speziellen Verteiler angeschlossen werden. Hier werden auch die verschiedenen Spannungen erzeugt. Zum Anpassen der verschiedenen Signalpegel und Impedanzen, wurden noch eine Reihe von Adaptern entwickelt, die z.B. die analogen Ausgangsspannungen der DAC soweit verstärken, dass damit Lasten von mehreren 100mA getrieben werden können.

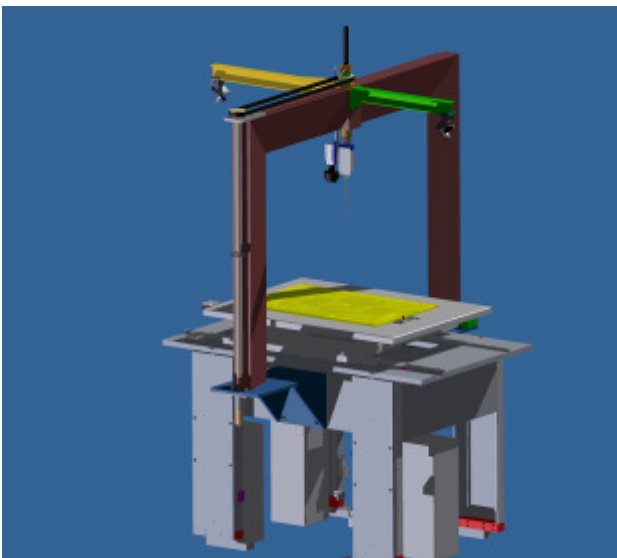


Bild 2.20-5: Roboter mit Geräteträger

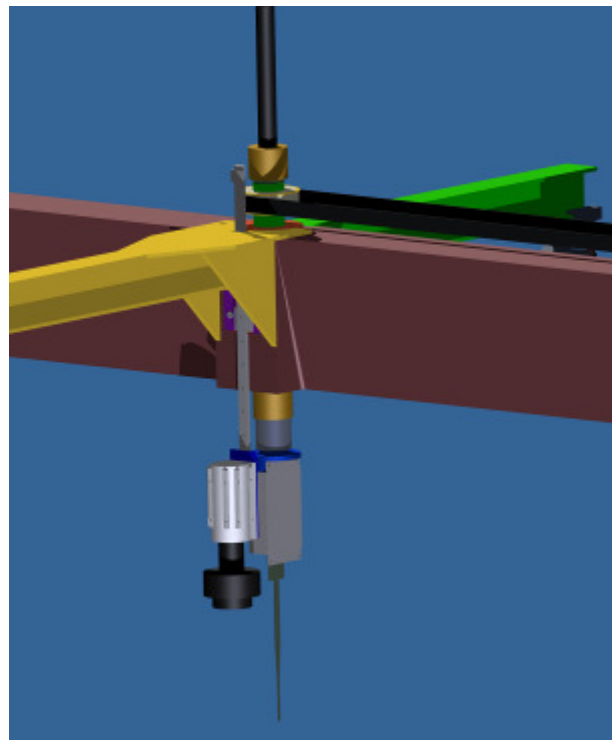


Bild 2.20-6: Teleskop Sondenhalter und Kamera

Das Empfangssystem des Nahfeld-Scanners muss gegen hohe Eingangsleistungen geschützt werden, da diese den Eingang der Signal Precondition Unit (SPU) nach wenigen Sekunden zerstören würde. Die SPU hat einen Kontrollausgang, welcher eine Spannung proportional der Eingangsleistung am sog. Power-Limiter der Eingangsstufe liefert. Übersteigt die Spannung einen kritischen Grenzwert, so wird mittels eines parametrierbaren Komparators, ein 24 V-Pegel erzeugt, der direkt in die Robotersteuerung eingespießt wird. Beim Anlegen des High-Pegels wird zum einen die Feld-Sonde sofort vom DUT nach oben weggefahren und zum anderen wird die 230 V Versorgungsspannung an einer Speziellen Steckdose ausgeschaltet, an der alle kritischen Geräte, die zur Messung benötigt werden, angeschlossen sind. Nur somit kann die Sicherheit auch bei einer Fehlfunktion des Windows-Steuerrechners sichergestellt werden. Dafür muss die Firmware der Robotersteuerung modifiziert werden. Des Weiteren werden über den Messbus, GPIB, LAN, Firewire etc., das Kommando *Output Off* an alle angeschlossenen Geräte gesendet.

Der Nahfeld-Scanner inklusiv Lasermesseinrichtungen wurde im Rahmen einer Sicherheitsbegehung durch die Organisation BAD überprüft und für sicher befunden. Der Betreiber in abgeschlossenen Räumen unter Einhaltung der allgemeinen Sicherheitsvorschriften für den Umgang mit Lasern der Klasse 3b wurde stattgegeben.

Verringerung der Gesamtmesszeit des Vector Signal Analysers (VSA)

Die Gesamtmesszeit des VSA wird maßgeblich durch die Messzeit für ein Basis-Band bestimmt. Dieses setzt sich wie folgt zusammen:

- (1) Setzen der Geräte-Parameter (Frequenzbereich, Abtastbandbreite etc.)
- (2) Messzeit
- (3) Sichern der Daten auf Festplatte.

Die Schritte 1. und 2. werden durch die Agilent VSA-Software gesteuert, welche über das sog. Component Object Model-Interface aufgerufen wird. Ein einzelner Programmaufruf zum Setzen der Center-Frequenz benötigt ca. 100 - 150 ms, die eigentliche Messung dauert 150 – 950 ms. Beide Zeiten werden maßgeblich durch die Anzahl der Frequenzpunkte im Basisband bestimmt. Der Aufruf der Messung kann asynchron zum Speichern der Daten erfolgen. Da die Messung länger dauert als der Speicher der Daten, kann die Speicherung der vorherigen Daten parallel zur aktuellen Messung erfolgen, so dass die Gesamtmesszeit nur von 1. und 2. bestimmt wird. Eine weitere Verkürzung ist nur durch einen direkten Eingriff in die Agilent VSA-Software bzw. VSA-Firmware möglich. Die derzeitige Messzeit für ein Basisband liegt je nach Anzahl der Frequenzpunkte bei ca. 500 bis 100 ms.

Daten-Struktur für schnellen Zugriff auf große Datenmengen von Nahfeldmessungen

Zum Abspeichern der Messdaten wurde eine hierarchische, mehrfach indizierte Datenstruktur entwickelt und untersucht die auf Datenfiles basiert. Diese Datenstruktur weist ein gutes Verhältnis von Index Größe zu Daten Größe auf (i. d. R. Index < 5 %), bei vertretbarer Zugriffszeiten. Dabei ist der Zugriff auf viele Raumpunkte bei einem Frequenzpunkt optimiert. Die Balance zwischen Indextiefe und Anzahl verwendeter Dateien kann dabei individuell angepasst werden. Zusätzlich kann eine Archivierungsfunktion implementiert werden, damit kann das Datenvolumen stark verringert werden bei einer längeren Zugriffszeit. Es wurden verschiedene APIs für Mathematische Objekte/ Operationen und Einheiten evaluiert.

Implementierung

Die Gestaltung und Implementierung der Benutzeroberfläche und weiterer Komponenten wurde fortgesetzt.

Folgende Software Komponenten wurden bearbeitet:

- FileDataStore zum Ablegen der Messdaten
- Ansteuerung IO-Box wurde für die Verwendung mehrerer Devices erweitert
- Integration der Hightmap Informationen
- Bearbeiten von Messungen/ Messaufgaben
- Start Ansteuerung der Positionierung Systems
- Integration von JavaHelp™ als kontextsensitive Hilfe
- Implementierung erster Unit Tests.

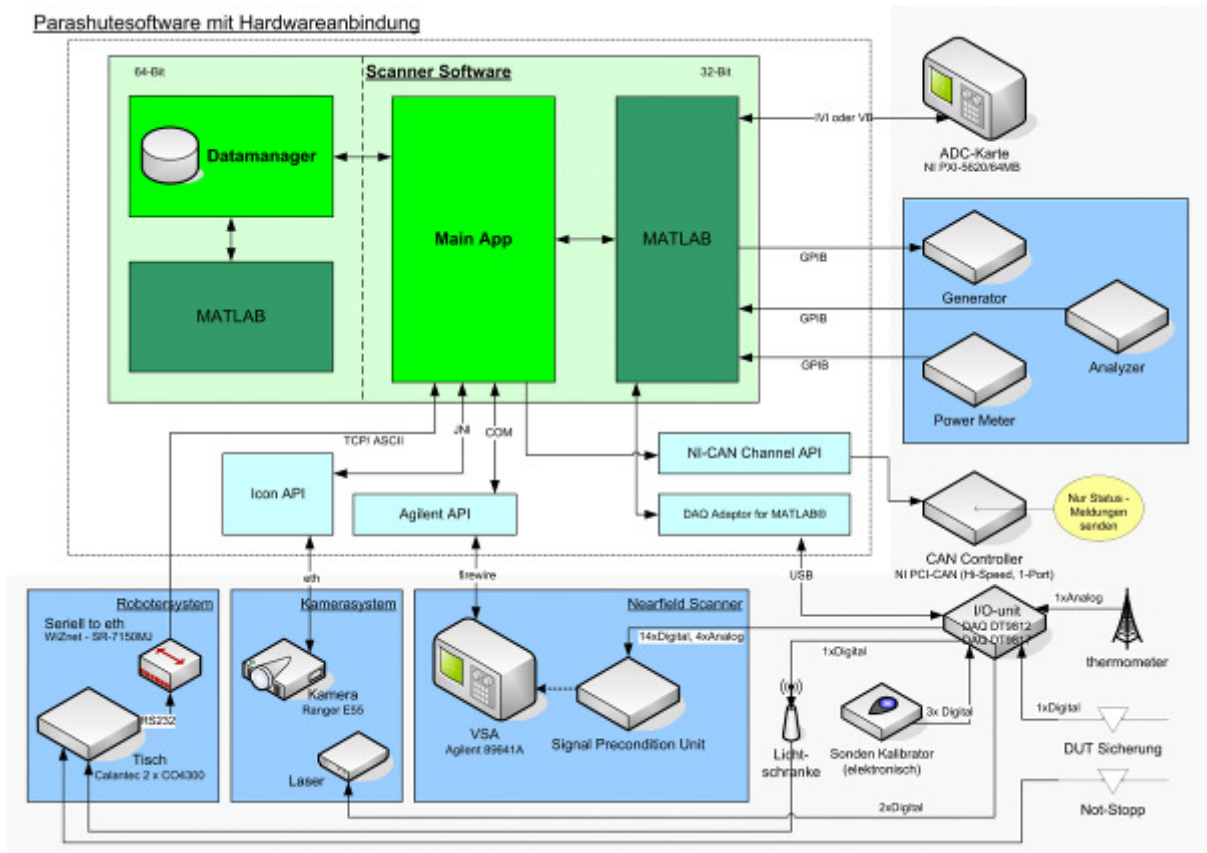


Bild 2.20-7: Soft- und Hardware Komponenten des Nahfeld-Messsystems

Measurement Control Software (GUI)

Auf Grundlage der VSA Parameter wurde die Konfiguration der Messung erarbeitet. Dazu zählen die Einstellungen zum DUT, die elektrischen Eigenschaften (in Abhängigkeit zu den VSA Parametern), die Definition der Messpunkte (Bahndaten) und weitere (teilweise Hardware bezogene) Parameter sowie die Konfiguration des Messablaufs.

Die Steuerung des Messablaufs wurde weiter konkretisiert. Der Ablauf wird durch drei Scripte gesteuert (Pre-Measurement, Measurement, Post-Measurement). In den Scripten soll der Zugriff auf die Konfiguration, die verwendeten Geräte und die Messdaten möglich sein. Es kann für eine Messung ein Set von vordefinierten Messscripten (sog. Makros) ausgewählt werden und diese bei Bedarf individuell angepasst werden.

Die für die Konturdatenerfassung benötigten Geräte und dessen Schnittstellen und Abhängigkeiten bestimmt. Den Erfassungsprozess mit dem Benutzerführung abgestimmt.

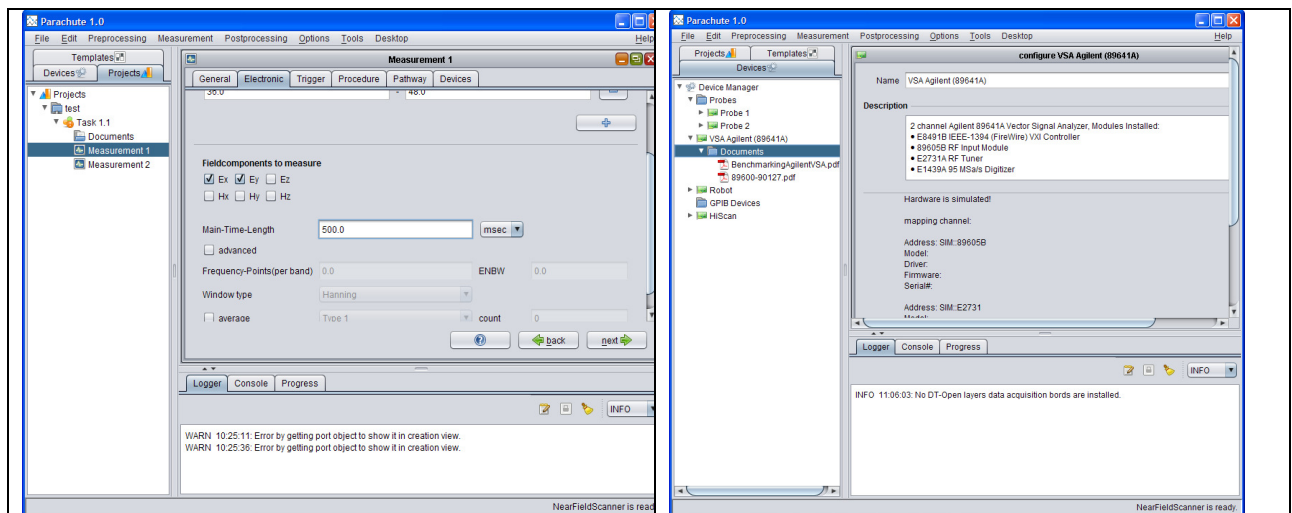


Bild 2.20-8: Measurement Control Software

Messpfad-Berechnung – Anti-Kollision Berechnung

Die effiziente Bestimmung der Messpunkte und die kollisionsfreie Bewegung ist aufgrund der Vielzahl Parameter der verschiedenen Scan-Verfahren und aufgrund der hohen räumlichen Skalierbarkeit eine komplexe Problemstellung. Eine Vielzahl Datenstrukturen und Algorithmen sind dafür notwendig, so bspw. die Höhenmap des DUT, die Kontur der Sonde inkl. benötigter Rotationen, und die Umsetzung des meist abstrahiert definierten Messbereichs in einen Pfad aus konkreten Messpunkten. Das Augenmerk bei der Implementation liegt auf deren Übersichtlichkeit und einer guten funktionalen Kapselung, um spätere Erweiterungen oder sich ergebene Änderungen mit geringem Aufwand einpflegen zu können. Zudem sind zeitkritische Teilalgorithmen häufig bereits das beste Ergebnis eines Benchmarkvergleichs verschiedener Ansätze. Im groben wurden folgende drei Teile implementiert:

- Messpfad-Configs: Datenstrukturen, um eine Messung gemäß der verschiedenen Scan-Verfahren mit all deren Parametern zu definieren. Hierfür gibt es eine abstrakte Klasse `AbstractMeasPathConfig`, von der die jeweiligen Scan-Verfahren erben.
- Messpfad-Factories: Effiziente Algorithmen, um aus jeder Messpfad-Config einen konkreten Messpfad aus kollisionsfreien Sonden-Messpositionen zu erstellen. Hierzu gibt es eine abstrakte Klasse `AbstractMeasPathFactory`, von der für jede konkrete Messpfad-Config eine eigene Messpfad-Factory-Klasse erbt. Die Teilabläufe innerhalb der verschiedenen Messpfad-Factories sind überwiegend sehr verschieden und zu umfangreich, um sie hier im Detail darzustellen.
- Bewegungs-Strategien: Effiziente Algorithmen, um das kollisionsfreie Verfahren (inkl. möglicher Sondenrotation) von einem Punkt A zu einem Punkt B über dem DUT durch ggf. notwendiges Anfahren von Zwischenpunkten zu ermöglichen. Effizienz bezeichnet hier insbesondere auch, dass die durch die Sonde zurückgelegte Wegstrecke möglichst minimal sein soll: Der triviale Ansatz, vor jeder xy-Bewegung stets die Sonde nach ganz oben zu fahren ist zu langsam. Ebenso wäre in vielen Fällen auch der bessere MinMax-Ansatz noch zu ineffizient, bei dem vor jeder xy-Bewegung stets die Sonde auf eine solche Höhe gefahren wird, dass ihr tiefster Punkt über dem höchsten Punkt des gesamten vom vertikalen SONDENSCHATTEN überstrichenen DUT-Bereiches liegt. Konkrete Bewegungs-Strategien erben von der abstrakten Klasse `AbstractMoveStrategy`. Eine solche ist mit `DownsampleMoveStrategy` implementiert. Deren Grundansatz ist folgender: Ein Fahren der Sonde von A nach B wird dadurch auf Kollisionen (und ggf. minimale zwischenzeitliche SONDENANHEBUNG) überprüft, indem an 'genügend vielen' Zwischenpositionen eine Kollision zwischen Sonde und DUT überprüft wird. Die Schrägfahrt bedarf hier besonderes Augenmerk.

Da dies bei voller Auflösung extrem lange Berechnungszeiten verursacht, wird diese Überprüfung mit geringerer Auflösung durchgeführt, anstelle einer mikrometergenauen Auflösung könnte etwa eine nur millimetergenaue Auflösung zum Einsatz kommen. Dies führt letztlich dazu, dass in speziellen Fällen die Sonde zwar unnötigerweise einen längeren (höheren und sicheren) Weg von A nach B entlangfahren muss (obwohl ein direkterer Fahrweg möglich wäre und bei voller Auflösung ggf. erkannt würde), aber führt meist zu besseren Lösungen als der MinMax-Ansatz.

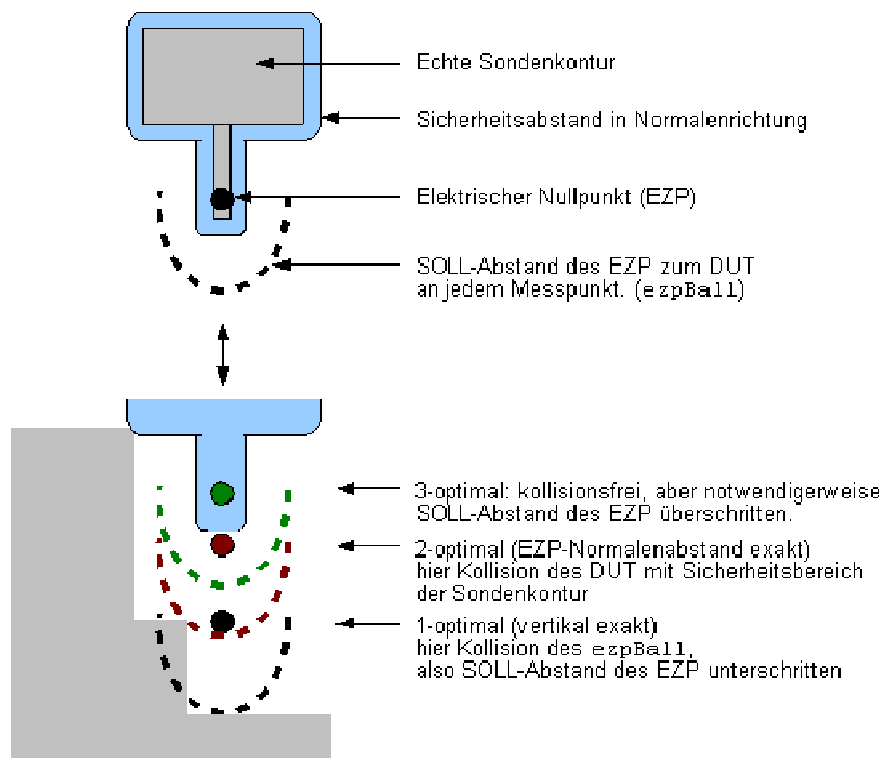


Bild 2.20-9: Positionierung der Sonde über dem DUT

2.20.3 Stand der Technik

Auf dem Markt gibt es einige kommerzielle Systeme von Nahfeld-Scannern, diese bestehen i.d.R. aus einem 2-Achsen Positioniersystem welches mit einem Spektrumanalyser verbunden wird. Die z-Position wird statisch eingestellt. Eine Software koordiniert die Bewegung des Positioniersystems und verknüpft die angefahrenen Positionen mit der Amplitude des gemessenen Signal. Störeinflüsse durch die metallische Konstruktion oder die zum Teil recht massiven Sonde, besonders H-Feldsonden, werden nur bedingt berücksichtigt.

2.20.4 Anwendungsbeispiele und Verwertung

Das Positionierungssystem wurde konstruiert und aufgebaut. Nach den ersten Tests hat sich gezeigt, dass die Firmware der Positionierungssteuerung nicht 100 % zuverlässig läuft und einige Funktionen nicht optimal für die Anwendung als Nearfield Scanner sind. Deshalb wurde die gesamte Firmware analysiert und neu programmiert.

Es wurde ein System zur automatischen, optischen Konturerfassung entwickelt. Das auf dem Prinzip der triangulation basierende System aus CCD-Kamera und Linien-Lasern wurde aufgebaut. Die Fehler durch optische Verzerrung, Spiegelung, Laser-Speckel, Absorption etc. wurde durch ein komplexes Postprocessing weitestgehend kompensiert. Probleme gibt es noch mit der Linienbreite der Linienlaser, die gerade für die Anwendung der Chip-Abtastung noch nicht optimal ist.

Hierbei zeigte sich, dass die am Markt verfügbaren Linienlaser-Module zur Zeit nicht alle benötigten Anforderungen erfüllen. Es besteht ein enger Kontakt zu dem Unternehmen Laser2000, mit der zusammen nach einer Lösung gesucht wurde.

Das Design der Geräte Trägers ist abgeschlossen und wurde an eine Spezialfirma für Fertigung von hochpräzisen Spezialmaschinen übergeben. Zuvor mussten viel Normteile wie Kugellage, Antriebssysteme, EMV-Dichtungen etc. neu entwickelt und gefertigt werden, da diese Komponenten mit der für den Nearfield Scanner benötigten Spezifikationen am Markt nicht verfügbar waren. Somit hat sich auch die Konstruktion des Geräteträgers verzögert, da in vielen Phasen des Designs geklärt werden musste, ob die benötigten Teilkomponenten auf gefertigt werden können. Da es noch für einige Teile und Halbzeuge Lieferschwierigkeiten gibt, kann zum derzeitigen Zeitpunkt nicht garantiert werden, dass alle Komponenten bis zum Ende des Projektes fristgerecht hergestellt und ausgeliefert werden

Es wurde ein spezielles Signalvorverarbeitungs-Stufe entwickelt und realisiert. Diese Stufe ist für die optimale Anpassung an den Vector Signal Analyser essentiell, zudem hat er auch eine Schutzfunktion für dieses Gerät. Nach Auslieferung dieses Gerätes wurden zugesicherten die Spezifikationen überprüft. Dabei stellte sich heraus dass einige Spezifikationen vom Hersteller nicht erfüllt wurden, so dass es einige Nachbesserungen durch den Hersteller am diesem Gerät geben muss. Diese liegen im Wesentlichen in der Schutzfunktion und nicht im Konzept dieses Gerätes, so dass die anstehenden Messungen noch innerhalb der Projektlaufzeit durchgeführt werden können.

Die Steuerung des Messablaufes wird durch eine komplexe Mess- und Steuerungssoftware durchgeführt. Diese Software ist in zwei unabhängige Teilprozesse unterteilt. Der eine Prozess ist nur für die Datenerfassung mittels VSA zuständig und schreibt die Daten auf die Festplatte. Der zweite Prozess greift unabhängig von dem ersten auf diese Daten zu. Somit kann schon während die eigentliche Messung läuft schon mit der Vorverarbeitung der Messdaten begonnen werden.

2.20.5 Literatur - Implementierung eines Nahfeldscan-Messplatzes für die EMZ-Charakterisierung von Steuergeräten

- [2.20-3] T.Mager, C. Reinhold, M. Spang, G. Schubert, T. Steinecke; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; PAcA Security Trends in Embedded Security (PASTIS) 2008, Workshop, Gardanne – France, 2nd and 3rd of December, 2008
- [2.20-4] N. Uddin, M. Spang, A. Thiede; *Integrated Magnetic Loop Probe in GaAs Technology for Active Near-Field Sensor*; 38th European Microwave Conference (EuMC), 27.-30. Oct. 2008, Amsterdam, The Netherlands
- [2.20-5] C. Reinhold, A. Tankielun, T. Mager, G. Schubert, T. Steinecke; *Challenges in Near-Field-Measurement of Electromagnetic Emissions*; Miltenberg; 22.-25 September 2008 (in conference without proceedings)
- [2.20-6] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, W. John; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum; University Booth; Sophia Antipolis – France, 8.-9. October, 2008;
- [2.20-7] Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of Major Challenges and Applications for Vector EMI Scanner System*; EMC 2008 - 19th International Wrocław Symposium and Exhibition on Electromagnetic Compatibility; Wrocław; 11. –13. June, 2008;
- [2.20-8] T. Fischer, M. Spang, M. Albach; *Easy De-embedding of Symmetrical Coax-to-Microstrip Transitions*; 12th IEEE Workshop on Signal Propagation on Interconnects (SPI), Avignon, France, 12 - 15 Mai 2008,
- [2.20-9] M. Spang, G. Schubert, M. Albach; *Response of a Magnetic Loop Probe to the Current and Voltage on a Microstrip Line*; IEEE International Symposium on Electromagnetic Compatibility, Detroit, Michigan 18-22 Aug. 2008
- [2.20-10] N. Uddin, M. Spang, A. Thiede; *Miniature Loop Antenna for Active Near-Field Sensor*; German Microwave Conference GeMiC 2008, Hamburg, Germany, 10-12 Mar. 2008

2.21 Beitrag 6.1.2: Entwicklung eines Nahfeldscan-Messplatzes mit hoher Ortsauflösung und Empfindlichkeit für IC-Messungen – Infineon Technologies AG

2.21.1 Einleitung

Im Vergleich zu den gängigen IC-Emissionsmessverfahren, die Störungen nur auf kompletten Netzen oder nur vom gesamten IC bewerten können, bietet ein Nahfeldscan die Möglichkeit zur örtlichen Lokalisierung von Störungen. Das Verfahren ist nicht neu, allerdings haben heutige Nahfeldscanner mehrere Nachteile:

- ein Scan kann nur bei einer Frequenz durchgeführt werden.
- ein Scan dauert abhängig von der Scanfläche und Schrittweite bis zu vielen Stunden.
- grobe Sonden erlauben keine Ortsauflösung im Mikrometerbereich.
- grobe Berücksichtigung unterschiedlicher Bauelementhöhen; keine Möglichkeit, Messungen am offenen Chip unter Berücksichtigung der Bonddrähte durchzuführen.

Die Ansätze in PARACHUTE sollten diese Nachteile eliminieren.

Dieser Beitrag wurde mit fachlicher Unterstützung des UA IZM/ENAS durchgeführt. Die Spezifikation der Scanner-Hardware und Software erfolgte unter maßgeblicher Beteiligung des Projektpartners CONTINENTAL, der den Nahfeldscanner für die EMZ-Vorserienqualifikation seiner Steuergeräteplatinen einsetzen wird.

2.21.2 Ziele der F+E Arbeiten

Das Hauptziel in PARACHUTE bestand im Aufbau eines gut funktionierenden Scan-Roboters mit fixierter Sonde und bewegtem Testobjekt (um die Umgebungsstörungen durch wandernde Kabel auf die Sonde zu eliminieren). Dazu war auch eine umfassende Software-Spezifikation und Programmierung notwendig – dieser Teil wurde vom UA Magh und Boppert GmbH bearbeitet.

Entsprechend der zum Projektstart ermittelten Nachteile (siehe auch oben) von heute verfügbaren Nahfeldscannern hatten wir uns in PARACHUTE folgende Ziele gesteckt:

- Entwicklung und Implementierung eines sehr fein auflösenden optischen Konturscans, der sogar Bonddrähte im geöffneten IC-Gehäuse erkennt.
- Erfassen von Zeitbereichssignalen inklusive Phasenbezug zu einem Referenzsignal, um später durch FFT beliebige Frequenzanteile extrahieren zu können; d.h. alle Frequenzen bis größer als 3 GHz sollten mit einem Scan erfasst werden.
- Erfassen mehrerer Feldkomponenten mit einer Multi-Sonde.
- Entwurf passiver Miniatursonden mit Störkompensation; diese Kompensation war notwendig, da mit Sondengrößen im Mikrometerbereich nur sehr kleine Feldstärken erfasst werden.

2.21.3 Technische Ergebnisse

Der Prototyp des Nahfeldscanners wurde bei der Fraunhofer Gesellschaft in Paderborn installiert und seine Funktion validiert. Damit sind grundlegende Emissionsmessungen möglich. Der optische Konturenskan mithilfe zweier Laserstrahlen und einer Kamera funktioniert ebenfalls.

Die Messwerterfassung im Zeitbereich ist funktional; die Koordination der äußerst umfangreichen Rohdaten ist im Griff. Software-Algorithmen zur gezielten Messdatenauswertung sind zurzeit in Arbeit. Die Konfiguration des Nahfeldscanners soll bis Ende 2009 so umfangreich und flexibel sein, dass mit dem produktiven Einsatz begonnen werden kann.

Zu den Multi-Sonden wurden Studien durchgeführt und ein Patent von Continental und Fraunhofer Gesellschaft angemeldet. Hier sind aber vor einer geeigneten Implementierung noch einige Vorstudien notwendig, so dass hierzu in PARACHUTE keine hardware-mäßige Realisierung stattgefunden hat.

Wohl aber wurden in PARACHUTE passive Miniatursonden mit Strukturgrößen (Dipol, Leiter-schleife) von einigen 10 Mikrometern entwickelt. Die Nutzbarkeit dieser Sonden wurde anhand von IC-Testmessungen validiert.

In einem DFG-Projekt der Universität Paderborn wurde an der Schaltungstechnik von aktiven Miniatursonden gearbeitet. Einige Sonden-Prototypen mit integriertem HF-Verstärker standen während PARACHUTE zur Verfügung und wurden im Nahfeldscanner evaluiert (UPB HFE).

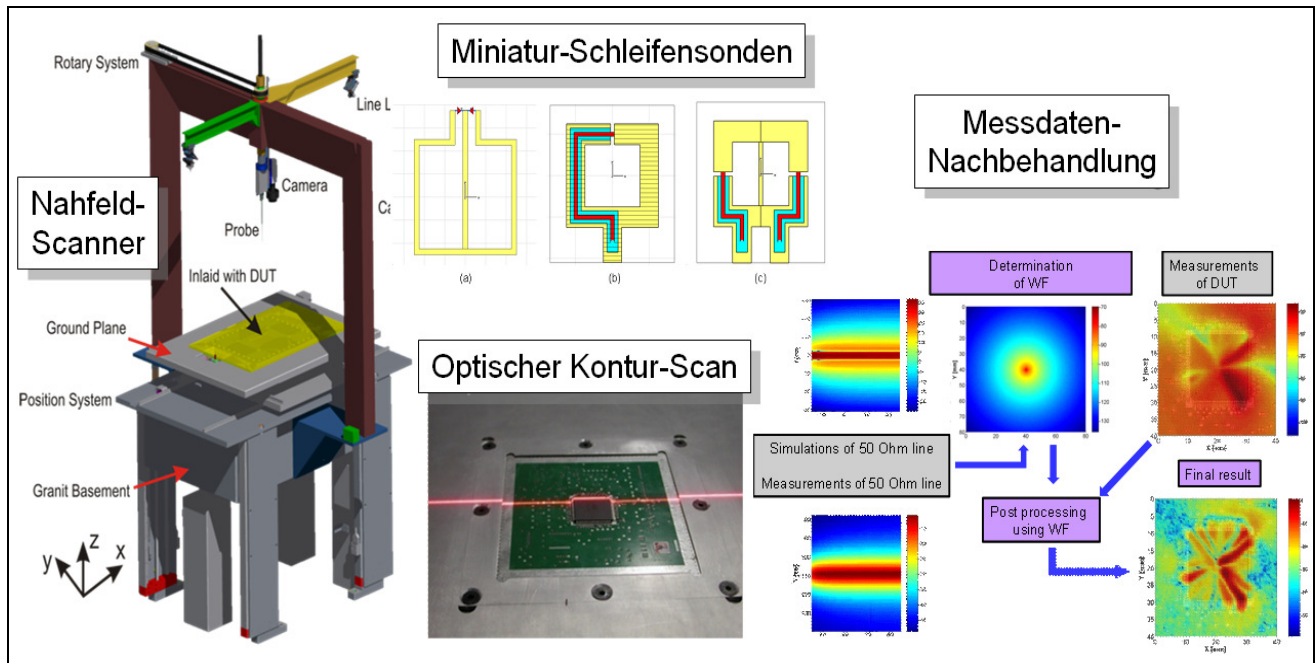


Bild 2.21-1: Bestandteile des Nahfeld-Scanner-Systems: Roboter mit fester Sonde und bewegtem Objektträger (links); Optischer Oberflächen-Scan des Prüflings mit Laserstrahlen (Mitte unten); Magnetfeldsonden für Chip-Messungen in Mikrometer-Auflösung (Mitte oben); Messdaten-Nachbehandlung durch Faltung (Deconvolution) (rechts)

2.21.4 Stand der Technik

Das in PARACHUTE erarbeitete und realisierte Konzept für einen EMV-optimierten, schnellen, hochauflösenden Nahfeldscanner mit hochauflösendem Konturscan ist weltweit das fortschrittlichste Nahfeldscanner-Konzept. Der funktionale Prototyp muss noch durch umfangreiche Software-Erweiterungen für den produktiven Einsatz aufgerüstet werden. Sobald dies erreicht ist, liegt hier eine sehr wertvolle Messtechnik vor, aus deren Messdaten durch Post-Processing die unterschiedlichsten Aussagen über Störquellen und Störausbreitung gewonnen werden können.

2.21.5 Anwendungsbeispiele und Verwertung

Durch den hochauflösenden Konturscan und hochauflösende Sonden ist der PARACHUTE-Nahfeldscanner nicht nur für Leiterplatten, sondern auch für ICs einsetzbar. Der Zugriff auf den Software-Quellcode und die breite Palette an Daten-Postprocessing-Möglichkeiten bietet den Projektpartnern die Möglichkeit, den Scanner an ihre Bedürfnisse anzupassen und so aufzurüsten, dass der Nahfeldscan gegebenenfalls teure Hallenmessungen für Steuergeräte-Prototypen unnötig machen. So können enorme Kosten eingespart werden.

Für IC-Hersteller eröffnet der Scanner die Möglichkeit schneller Lokalisierung von Störquellen unabhängig von ihrer Frequenz. Zusätzlich kann der Scanner den heutigen Messbereich über 1 GHz hinaus auf bis zu 4 GHz erweitern. Miniatursonden zur Chip-Emissionsmessung werden sogar mit steigender Frequenz empfindlicher.

Es besteht auch die Möglichkeit zur kommerziellen Verwertung des PARACHUTE-Nahfeldscanner-Systems, wobei den Projektpartnern CONTINENTAL und der Infineon Technologies AG Sonderkonditionen eingeräumt werden.

2.21.6 Literatur - Entwicklung eines Nahfeldscan-Messplatzes mit hoher Ortsauflösung und Empfindlichkeit für IC-Messungen

- [2.21-1] A. Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of major Challenges and Applications for Vector EMI Scanner System*; EMC 2008 - 19th International Wrocław Symposium and Exhibition on Electromagnetic Compatibility"; Wrocław; 11. –13. June, 2008.
- [2.21-2] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, W. John, C. Hedayat; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum; University Booth; Sophia Antipolis - France, 8.-9. October, 2008

2.22 B 6.1.3 Entwicklung von numerischen Methoden zur Erhöhung der Geschwindigkeit und Genauigkeit von Nahfeldscans – UPB

Entwicklung von verbesserten Verfahren für NearFieldScan-Systeme (Kooperation mit CONTINENTAL und Infineon Technologies AG)

2.22.1 Einleitung

Betrachtet werden in diesem Arbeitspaket die Entwicklung eines komplexen Messsystems zur Bestimmung der elektromagnetischen Felder, welche von elektrischen und elektronischen Baugruppen emittiert werden. Das Messsystem besteht aus verschiedenen Teilsystemen. Neben der hochpräzisen Positioniereinheit, umfasst das System eine hochauflösende optische Kontourabtasteinheit, eine Signalaufbereitung, einen vektoriiellen 2 Kanal Messempfänger und weitere Komponenten, wie optische Sensoren, Pegelwandler I/O Module etc. Gesteuert wird das Messsystem durch eine spezielle Software, dessen Entwicklung ebenfalls Bestandteil dieses Arbeitspaketes war.

2.22.2 Ziele der F+E Arbeiten

Stand der Technik

Auf dem Markt gibt es einige kommerzielle Systeme von Nahfeld-Scannern, diese bestehen i.d.R. aus einem 2-Achsen Positioniersystem welches mit einem Spektrumanalyser verbunden wird. Die z-Position wird statisch eingestellt. Eine Software koordiniert die Bewegung des Positioniersystems und verknüpft die angefahrenen Positionen mit der Amplitude des gemessenen Signal. Störeinflüsse durch die metallische Konstruktion oder die zum Teil recht massiven Sonde, besonders H-Feldsonden, werden nur bedingt berücksichtigt.

Zeitbereichsmessverfahren

Zur Umsetzung dieses Verfahren müssen stabile und schnelle numerische Methoden eingesetzt werden, da die realen gemessenen Zeitbereichssignale durch Rauschen, Nichtlinearitäten, Digitalisierungsfehler, Jitter etc. fehlerbehaftet sind. Durch Analysen müssen diese Fehler erkannt und in den Algorithmen kompensiert werden. Ein weiteres Problem besteht in der schnellen Verarbeitung der großen Datenmengen, die bei der Messung entstehen. Hierbei darf die Messwerterfassung nicht ins Stocken geraten. Zudem müssen die Algorithmen mit der Ablaufsteuerung des gesamten Scanners synchronisiert werden.

- Analyse und Bewertung der bisherigen NFS-Systeme
- Entwicklung einer Methode zur schnellen Erfassung breitbandigen Signalen über einem großen Dynamikbereich
- Phasenstabilitätsuntersuchung
- Multiband-Phasenrekonstruktion
- Spezifikation der Signalvorverarbeitungseinheit
- Untersuchung der Anforderungen von Emissionen für die Phasenrekonstruktion
- Optische Konturerfassung
- Messpfad-Berechnung – Anti-Kollision
- Automatische Fokussierung der Kamera.

2.22.3 Technische Ergebnisse

Theoretische Überlegungen

Das Konzept des Nahfelds-Scanners wurde am Beginn des Projektes definiert. Dabei wurde ein nutzbares Scan-Volumen vom 500 x 800 x 500 mm (x,y,z) gefordert. Untersuchungen haben gezeigt, dass ein Portal-Robotsystem einen nennenswerten Einfluss auf die Messungen hat. Es wurde in dieser Untersuchung gezeigt, dass der Störeinfluss der Metallstruktur des Portal-Robotsystem nicht durch konstruktive Maßnahmen oder durch Absorber für alle Feldkomponenten und alle Frequenz-bereiche hinreichend kompensiert werden kann. Aus diesem Grund muss der Halbraum über der Referenzebenen des Scanners weitgehend frei von metallener Strukturen sein, die einerseits die abgestrahlten Wellen reflektieren und andererseits den Verlauf der Feldlinien beeinflussen. Somit ergibt sich eine Konstruktion, bei der das DUT unter einer festmontierten Feldsonde bewegt wird. Die Fixierung der Feldsonde kann hierbei aus nichtmetallischen Werkstoffen, z.B. Polycarbonat, Glas etc., hergestellt werden.

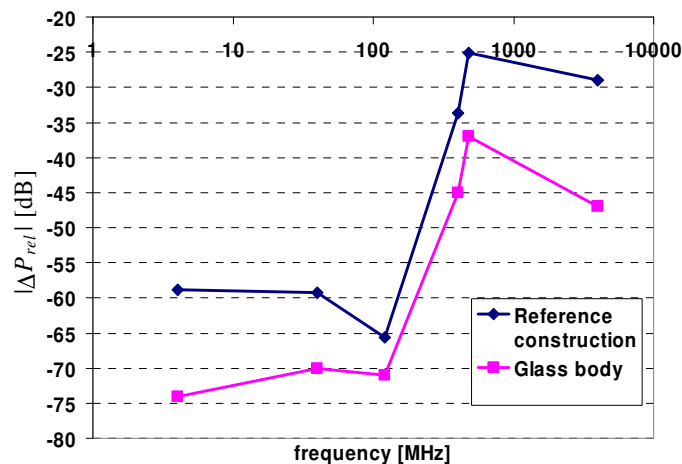


Bild 2.22-1: Einfluss von Metall auf die Messergebnisse

Verringerung der Gesamtmesszeit des Vector Signal Analysers (VSA)

Die Gesamtmesszeit des VSA wird maßgeblich durch die Messzeit für ein Basis-Band bestimmt. Dieses setzt sich wie folgt zusammen:

- (1) Setzen der Geräte-Parameter (Frequenzbereich, Abtastbandbreite etc.)
- (2) Messzeit
- (3) Speichern der Daten auf Festplatte.

Die Schritte 1. und 2. werden durch die Agilent VSA-Software gesteuert, welche über das sog. Component Object Model-Interface aufgerufen wird. Ein einzelner Programmaufruf zum Setzen der Center-Frequenz benötigt ca. 100 – 150 ms, die eigentliche Messung dauert 150 – 950 ms. Beide Zeiten werden maßgeblich durch die Anzahl der Frequenzpunkte im Basisband bestimmt. Der Aufruf der Messung kann asynchron zum Speichern der Daten erfolgen. Da die Messung länger dauert als der Speicher der Daten, kann die Speicherung der vorherigen Daten parallel zur aktuellen Messung erfolgen, so dass die Gesamtmesszeit nur von 1. und 2. bestimmt wird. Eine weitere Verkürzung ist nur durch einen direkten Eingriff in die Agilent VSA-Software bzw. VSA-Firmware möglich. Da Agilent die Schnittstellen zur Soft- und Firmware nicht offenlegt ist dieses z.Zt. nicht möglich. Die derzeitige Messzeit für ein Basisband liegt je nach Anzahl der Frequenzpunkte bei ca. 500 bis 100 ms.

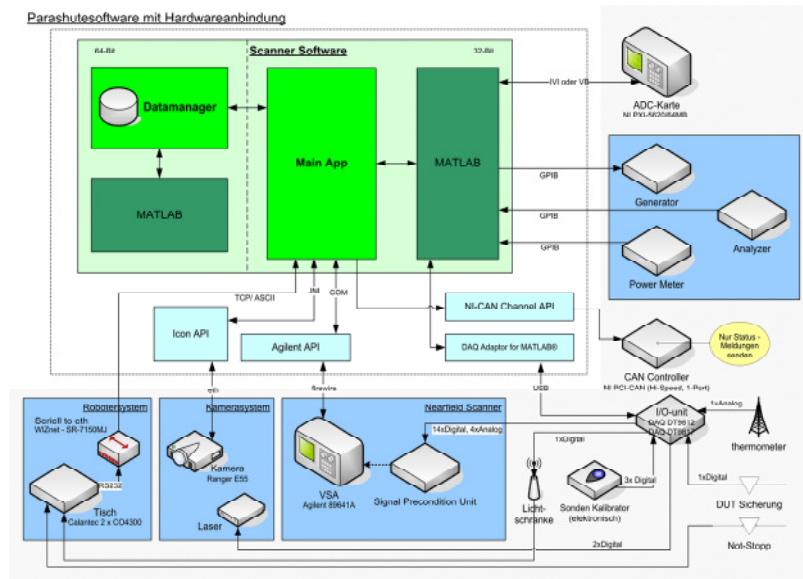


Bild 2.22-2: Soft- und Hardwar-Komponenten des Nahfeld-Messsystems

Phasenstabilitätsuntersuchung

Eine genaue Rekonstruktion der elektromagnetischen Feldverteilung aufgrund der Messwerte zu ermöglichen ist es wichtig, das Sondenausgangssignal in Betrag wie auch in Phase in einem breiten Frequenzband zu erfassen. Während die Amplitude direkt aus dem Sondenausgangssignal der Messsonde gewonnen werden kann, muss die Phase aus einem Differenzsignal von der Messsonde und einer Referenzsonde, die gleichzeitig gemessen werden, berechnet werden. Daher ist eine entscheidende Anforderung an das Messsystem eine konstante, zeitinvariante Phasenbeziehung zwischen Messkanal und Referenzkanal. Um einen möglichen Messfehler aufgrund einer Phasendrift des Messsystems aufzudecken, wurde ein phasenkonstanter Messaufbau untersucht.

Ein Zwei-Kanal phasenkohärenter Vektorsignalanalysator (VSA, Agilent 89641S) wurde ausgewählt, um die SONDENSIGNALE aufzunehmen. Die Phasenkohärenz wurde mit Hilfe des Signalgenerators HP 8648C und einem resistiven Leistungsteilers untersucht, der das von dem Generator erzeugte Referenzsignal auf die beiden Eingangskanäle des VSA aufteilt. In Bild 2.22-2 ist die gemessene Phasendifferenz als Funktion der Zeit von zwei 2.7 GHz Signalen dargestellt, die von dem Signalgenerator zusammen mit dem Leistungsteiler erzeugt wurden. Man kann erkennen, dass nach einer Aufwärmphase von etwa 9000 Sekunden eine Phasendrift von etwa 0.4 Grad pro 1000 Sekunden erkennbar ist. Dies deckt eine adäquate Phasenkohärenz des Messsystems auf, dass sowohl für Kurzzeit-Messungen wie auch für Langzeitmessungen geeignet ist.

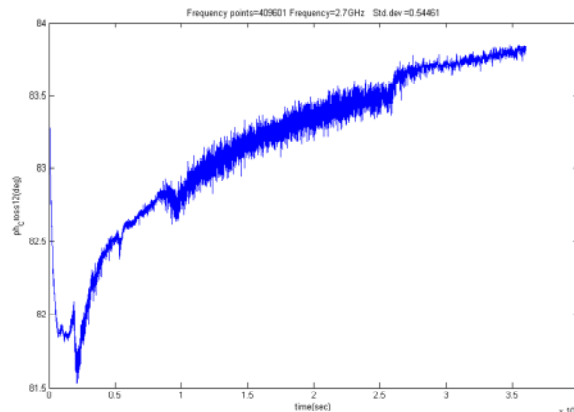


Bild 2.22-3: Gemessene Phasendifferenz von zwei 2.7 GHz Signalen

Multiband-Phasenrekonstruktion

Um Messungen in verschiedenen Bändern phasenrichtig durchzuführen, ist es notwendig, Interband-Korrekturterme zu bestimmen. Eine Möglichkeit, diese Korrekturterme zu bestimmen ist es, die einzelnen Band Messungen so zu gestalten, dass in diesen Überlappungen vorhanden sind. Sind Signalkomponenten an mindestens zwei Frequenzen k_1 und k_2 in den beiden Messungen A_{rec} und A_{ref} vorhanden, so kann ein Phasenkorrekturterm berechnet werden

$$m = \frac{N_{ref} \cdot (\arg A_{rec}[k_1] - \arg A_{ref}[k_1] + \arg A_{ref}[k_2] - \arg A_{rec}[k_2])}{2\pi(k_1 - k_2)} \quad (2.22-1)$$

wobei die Zahl der Abtastpunkte durch N_{ref} gegeben ist. Das Signal im benachbarten Band A_{rec} kann nun im Bezug auf A_{ref} wie folgt phasenkorrigiert werden

$$A_{cor} = \exp^{-j\left(2\pi k / N_{ref}\right)m} A_{rec}[k] \quad (2.22-2)$$

Das Ergebnis dieser Korrektur für ein exemplarisches Rechtecksignal im Zeitbereich ist in Bild 2.22-4 dargestellt. Durch das Anti-Aliasing-Filter, das Bestandteil des VSas ist, ist ein Überschwingen an den Signalfanken erkennbar. Eine geringe Restabweichung der Signale ist erkennbar, welche durch ein Phasenrauschen des Referenzsignals erklärt werden kann.

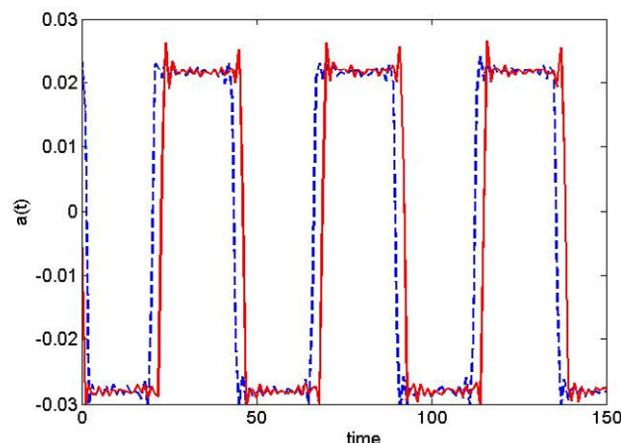


Bild 2.22-4: Zeitbereichsdarstellung des Referenzsignals (rot) und des korrigierten Signals (blau)

NearFieldScan- Hardware

Die Erfassung von elektromagnetischen Nahfeldemissionen im EMV Bereich stellt besondere Anforderungen an die Messsignalaufbereitung. Während auf der einen Seite sehr geringe Störemissionen beispielsweise in digitalen Komponenten des zu untersuchenden Systems vorliegen, könne hohe Schaltströme in einem benachbarten DC/DC Konverterblock zu hohen induzierten Spannungen führen. Daher muss das Sondenausgangssignal vor der Erfassung durch den Vektorsignalanalysator aufbereitet werden. Die Forderung nach einem möglichst hohen Dynamikbereich des Gesamtsystems erlaubt direkt die Berechnung der optimalen Schaltpositionen der Dämpfungsglieder aus der Rauschzahl der in der Vorverarbeitungseinheit verwendeten Verstärker, der Intermodulationsverzerrungen dritter Ordnung (IMD3) sowie dem oberwellenfreien Dynamikbereich des Vektorsignalanalysators.

Messungen bei dem Hersteller der Signalvorverarbeitungseinheit ergaben, dass der Abfangpunkt dritter Ordnung (IP3) im gesamten Band einen Wert von -21 dBm im Sondenkanal nicht unterschreitet. Hierdurch können die im schlimmsten Fall zu erwartenden Intermodulationsprodukte berechnet werden. Diese müssen durch eine geeignete Schaltung der Dämpferstufen unterhalb des Rauschens und der im VSA erzeugten Oberwellen bleiben. Bei einer optimalen Schalung der Vorverarbeitungsstufe ergibt sich folgendes Verhalten:

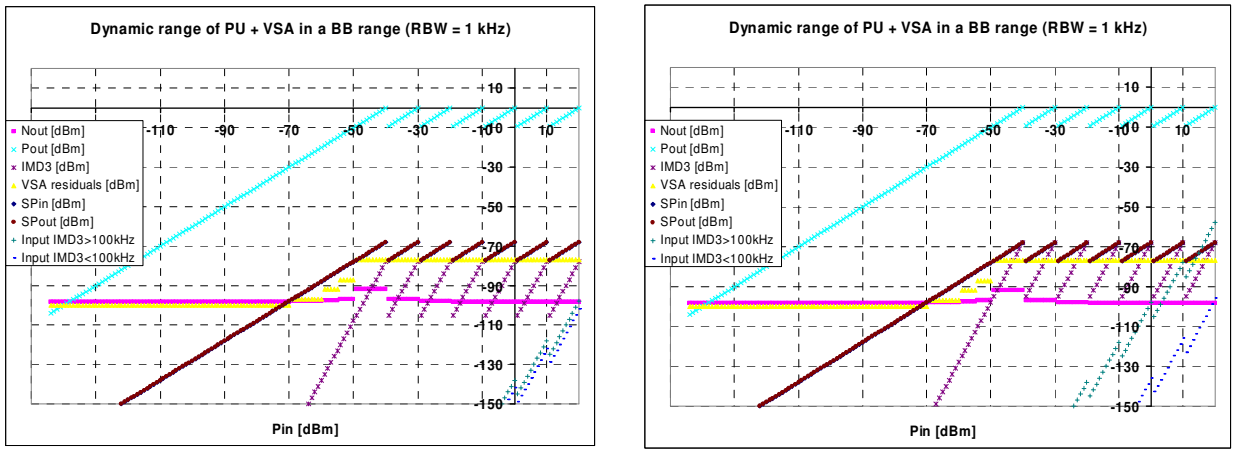


Bild 2.22-5: Zu erwartende Signale am Referenz Ausgang der Signal-vorverarbeitungseinheit

In Bild 2.22-5 ist zu erkennen, dass ein Sondersignal bereits bei einem Eingangsspiegel (Pin) von etwa -137 dBm vom Rauschen unterschieden werden kann. Ab einem Eingangsspiegel von etwa -70 dBm wird der maximale Dynamikbereich des VSAs erreicht. Um die in der Signalvorverarbeitungseinheit erzeugten Intermodulationsprodukte unterhalb des Rauschens zu halten, müssen ab einem Eingangsspiegel von etwa -40 dBm die Dämpferstufen hinzu geschaltet werden. Die Intermodulationsprodukte können so durch geeignetes zuschalten von Dämpfungsgliedern im gesamten Bereich so gering gehalten werden, dass der maximal Dynamikbereich des VSAs über einen weiter Eingangsspiegelbereich zur Verfügung steht. Im Fall des Referenzkanals stellt sich die Situation etwas anders dar. Es ist zu erkennen, dass die Intermodulationsprodukte für Eingangsleistungen größer 15 dBm die im VSA erzeugten Verzerrungen überschreiten. Hierdurch wird der Dynamikbereich für große Leistungen auf bis zu 58 dB reduziert. Dieses verminderte Verhalten ist durch die höheren Anforderungen an den Eingangsbegrenzer begründet, der eine maximale Eingangsleistung von 10 Watt sicher abführen muss. Im Falle der Messsonde liegt diese bei nur einem Watt.

Untersuchung der Anforderungen von Emissionen für die Phasenrekonstruktion

Ziel dieser Untersuchungen war es die Anforderungen an die Emissionen sowie das Messsystem zu definieren, um eine Phasenrekonstruktion über mehrere Bänder hinweg durchführen zu können.

Ein Ansatz ist das Ausnutzen gemeinsamer Spektralkomponenten in Überlappungsbereichen zwischen 2 benachbarten Bändern wie in Bild 2.22-6 dargestellt. Um die Einzelbandmessungen zu einer Gesamtmessung zu vereinigen ist die Bestimmung eines Korrekturterms erforderlich. Sind in dem überlappenden Band beispielsweise zwei Spektralkomponenten mit den Frequenzen f_1 und f_2 enthalten, so kann ein Korrekturterm nur dann bestimmt werden, wenn die Zeitliche Verzögerung der Einzelbandmessungen eine Verschiebung von nicht mehr als $T_{max} = 1/(f_2 - f_1)$ aufweisen. Dies kann dadurch gewährleistet werden, indem eine Periodizität des zu messenden Systems (DUT) mit einer Periodendauer von $T_{DUT} < T_{max}$ gefordert wird.

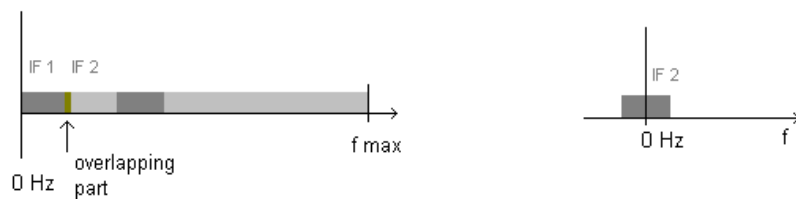


Bild 2.22-6: Gesamtspektrum mit markierten, überlappenden Teilspektren (links) und das heruntergemischte Teilspektrum (rechts)

Optische Konturfassung

Die Exaktheit der optischen Konturerfassungsdaten ist die Grundvoraussetzung zur Durchführung der elektrischen Nahfeld-Messung. Einer der häufigsten und kritischen Fehler ist das Nichtvorhandensein von Messdaten. Bild 2.2.-7 zeigt die Rohdaten nach der optischen Konturmessung.

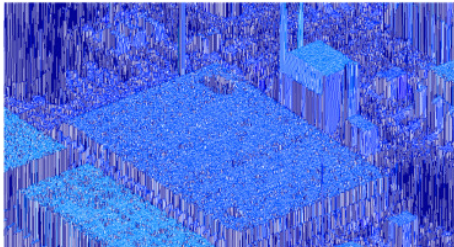


Bild 2.22-7: Löcher durch fehlende Messdaten

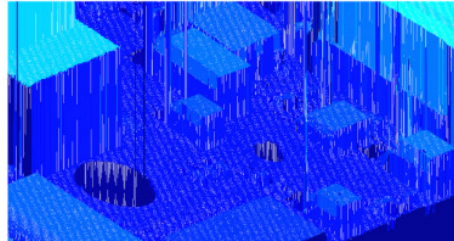


Bild 2.22-8: Konturerfassung nach optimierten Einstellungen

Die Qualität der optischen Erfassung kann durch die folgenden Massnahmen verbessert werden:

- Reduzierung des Umgebungslichtes
- Optimierung der Kamerabelichtungszeit, der Laser-Intensität, der Blende, sowie der Schwellwerte zur Laser-Strahl Detektierung.

Nach dieser Optimierung wird die Qualität der Erfassung deutlich verbessert, siehe Bild 2.22-8. Die noch vorhandenen restlichen Fehlstellen werden durch die Textur der Oberfläche hervorgehoben. Da diese klein in der Dimension sind, können diese Fehler in nachfolgenden Post-Processing kompensiert werden.

Ein weiterer Fehler tritt speziell beim Erfassen einer Kante auf. Trifft der Laserstrahl genau auf eine Kante, so wird er in zwei Teilstrahlen aufgeteilt. Ein Teil trifft die Kante und der andere Teil trifft die Grundfläche der Erhebung. In diesem Fall werden falsche Werte an der Kante des Objektes gemessen, siehe die grünen Pixel Außen um der roten Erhebung in Bild 2.22-9.

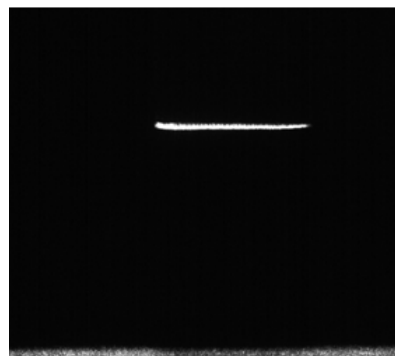
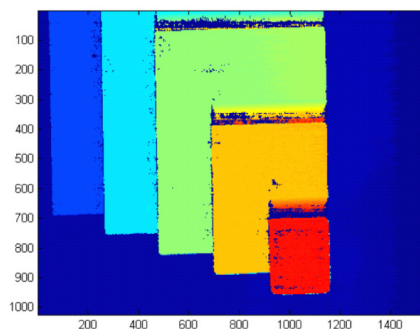


Bild 2.22-9: Pixel-Fehler ringsum die rot-gekennzeichnete Erhebung/Aufspaltung des Laserstrahls in zwei Teile

Die Verwendung von zwei Schwellwerten kann nun in diesen seltenen Fällen dazu führen, dass der Mittelwert gebildet wird. Dies führt genau dann zu Problemen, wenn durch die Oberflächenbeschaffenheit des zu erfassenden Objektes die beiden Laser-Linien (siehe Bild 2.22-10), jeweils so erkannt werden, dass R2 und R3 nicht mehr innerhalb von R1 und R1 liegen, sondern zwei getrennte Bereiche bilden. Dieses wird vermieden, wenn *threshold 2* immer dann genommen wird, wenn Intensität über diesen Schwellwert liegt, anderenfalls wird immer der *threshold 1* benutzt. Somit wird die obere Kante, die die höhere Intensität besitzt, erkannt und es entstehen keine Fehlpixel, siehe Bild 2.22-10.

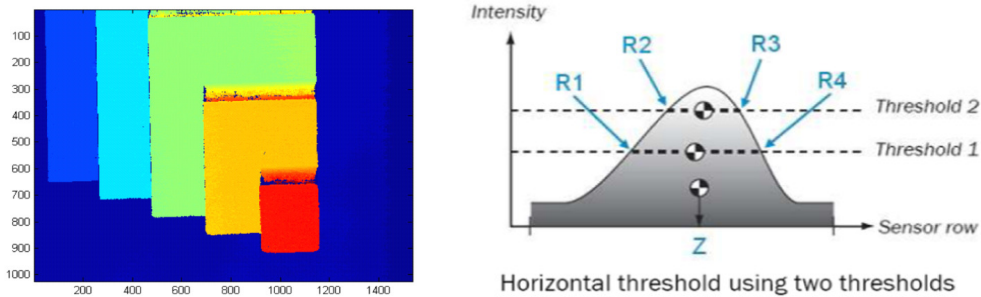


Bild 2.22-10: Erfassung ohne Mittelwertbildung/Messung mit zwei Schwellwerten

Automatische Fokussierung der Kamera

Die Kamera muss für die Messungen möglichst gut fokussiert sein, um Fehler in der Erkennung der Laser zu verhindern und um scharfe Graustufenbilder des DUT zu erhalten. Da vor jedem Scan eine Überprüfung der Fokussierung stattfinden muss, soll dieser Prozess automatisiert werden. Das manuelle Einstellen von Hand ist aufgrund der geringen für den Menschen sichtbaren Änderung im Live-Bild der Kamera zu ungenau. Zur Bestimmung der Bild-Schärfe steht nur das Bild selbst zur Verfügung, weswegen nur die passive Kontrastmethode zur Auswahl steht. Für andere passive Verfahren, die einen Phasenvergleich durchführen, würde ein zweiter Sensor benötigt. Aktive Verfahren die Infrarot oder Ultraschall zur Abstandsmessung nutzen, kommen ebenfalls nicht in Frage. Auf Grund der kurzen Belichtungszeit der einzelnen Bilder ist das Rauschen in den Aufnahmen recht hoch. Deswegen gilt es einen Algorithmus zu wählen, der tolerant gegenüber feinkörnigem Rauschen ist.

Somit wurde die Kontrastmessung mit den Sobel-Filter-Kernen durchgeführt, der im Gegensatz zu dem Roberts-Gradienten einen größeren Filterkern besitzt. Der Sobel-Filter wird in der Regel zur Detektion von Kanten eingesetzt und besteht aus einem horizontalen und einem vertikalen Filter, der die jeweilige Kantensteigung an einem Pixel angibt.

$$F_{\text{vertical}} = \begin{bmatrix} 1 & 2 & 1 \\ 0 & 0 & 0 \\ -1 & -2 & -1 \end{bmatrix}, F_{\text{horizontal}} = \begin{bmatrix} 1 & 0 & -1 \\ 2 & 0 & -2 \\ 1 & 0 & -1 \end{bmatrix} \quad (2.22-3)$$

Das Konzept der Kontrastmessung mit den Sobel-Kernen ist es, dass das Bild, das in der Summe die größte Steigung hat, auch das schärfste ist. Der Kontrastwert eines Bildes ergibt sich durch:

$$\sum_{x,y} F_{\text{vertical}}^2(x,y) + F_{\text{horizontal}}^2(x,y) \quad (2.22-4)$$

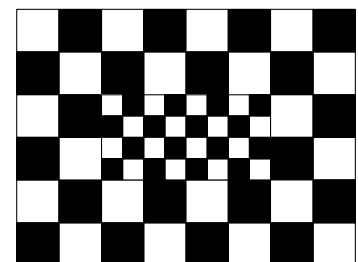


Bild 2.22-11: Vorlage für Kontrastmessung

Im Gesamttablauf wird die Kamera nun so positioniert, dass der maximale Kontrast-Wert erreicht wird. Als Vorlage eignet sich zwar fast jedes Bild, jedoch wird das beste Ergebnis bei einem Bild mit starken Kontrastverhältnissen erreicht, wie z.B. einem Schachbrettmuster nach Bild 2.22-11.

Stand der Technik

Die auf dem Markt befindlichen Nahfeld-Scanner sind in der Regel nur zur zweidimensionalen Amplituden-Messung ausgelegt.

Eigenschaft	Eigenentwicklung	markt-übliche Angebote (Status: Projektabschluss – 03/2009)
Amplitude & Phase-Messung	√	X
Sondenkompensation zur korrekten Feldmessung	√	X
Automatische optische 3D-Konturerfassung	√	X
Hochpräzises dreidimensionales Verfahren mit 1 µm Auflösung	√	X
Automatische Messablauf	√	X
Steuerung und Synchronisation des Testaufbaus bei der Messung	√	X
Schnelles Erfassen und Verarbeiten sehr großer Datenmengen	√	X
Verwaltung der Messdaten in Projekt-Hierarchie	√	X
Matlab-Anbindung zur einfachen Erweiterung durch eigenen Algorithmen	√	X

Zusammenfassung (B 6.1.3)

Zu Verringerung der Messzeit wurde ein Konzept erarbeitet, welches das Setzen der Parameter, das Erfassen der Messdaten und die Übertragung der Daten an den PC für den verwendeten Vector Signal Analyser optimiert. Des Weiteren wurde eine Signalvorverarbeitungseinheit, die sog. SPU, auf Seiten der Universität Paderborn entwickelt und die Fertigung bei der Firma Parzich in Auftrag gegeben. Zudem wurden Untersuchungen zur Phasenstabilität zwischen den beiden Messkanälen vorgenommen, da die Güte dieses Parametewres maßgeblich die Qualität der Messung beeinflusst.

Es wurde ein System zur automatischen, optischen Konturerfassung entwickelt. Das auf dem Prinzip der triangulation basierende System aus CCD-Kamera und Linien-Lasern wurde aufgebaut. Die Fehler durch optische Verzerrung, Spiegelung, Laser-Speckel, Absorption etc. wurde durch ein komplexes Postprocessing weitestgehend kompensiert. Probleme gibt es noch mit der Linienbreite der Linienlaser, die gerade für die Anwendung der Chip-Abtastung noch nicht optimal ist. Hierbei zeigte sich, dass die am Markt verfügbaren Linienlaser-Module zur Zeit nicht alle benötigten Anforderungen erfüllen. Es besteht ein enger Kontakt zu der Firma Laser2000, mit der zusammen nach einer Lösung gesucht wird.

Zum Schutz der empfindlichen Nahfeldsonde gegen Kollision mit den Testobjekten oder der Mess-einrichtung selbst, wurden Methoden und Algorithmen entwickelt, die mit Hilfe der erfassten 3D-Kontur des Testobjektes und dem Hüllvolumen der Nahfeldsonde jederzeit sicherstellen, dass ein zuvor definierter Sicherheitsabstand zu allen Objekten incl. Der Messeinrichtung eingehalten wird.

Die Auflösung des Kamerasystems im µm-Bereich verlangt nach einer exakten Fokussierung des optischen Systems. Dieses ist mit dem menschlichen Auge nicht mehr hinreichend genau möglich. Aus diesem Grund wurden Algorithmen entwickelt, die die Kamera sicher und zuverlässig fokussieren. Dazu wurde ein spezielles generisches Testmuster aufgenommen, auf dieses sich das Kamerasystem fokussieren kann.

2.22.4 Anwendungsbeispiele und Verwertung

Das Gesamtsystem wurde gemeinsam mit den Industriepartnern *Infineon Technologies AG* und *Continental Automotive Systems* vollständig spezifiziert und realisiert. Es wurden gemeinsam neuartige Sondenkonzepte analysiert (Patente in Vorbereitung). Darüber hinaus wurde ein neuartiger Messaufbau festgelegt (Reduktion der Rückwirkung vom Messaufbau selbst) – dazu wird nicht mehr die Sonde über dem DUT verfahren, vielmehr wird der Messtisch selbst bei fester Sonde bewegt.

2.22.5 Literatur - Entwicklung von numerischen Methoden zur Erhöhung der Geschwindigkeit und Genauigkeit von Nahfeldscans

- [2.22-1] T.Mager, C. Reinhold, M. Spang, G. Schubert, T. Steinecke; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; PAcA Security Trends In embedded Security (PASTIS) 2008, Workshop, Gardanne – France, 2nd and 3rd of December, 2008
- [2.22-2] N. Uddin, M. Spang, A. Thiede; *Integrated Magnetic Loop Probe in GaAs Technology for Active Near-Field Sensor*; 38th European Microwave Conference (EuMC), 27.-30. Oct. 2008, Amsterdam, The Netherlands
- [2.22-3] C. Reinhold, A. Tankielun, T. Mager, G. Schubert, T. Steinecke; *Challenges in Near-Field-Measurement of Electromagnetic Emissions*; Miltenberg; 22.-25 September 2008 (in conference without proceedings)
- [2.22-4] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, C. Hedayat; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum; University Booth; Sophia Antipolis – France, 8.-9. October, 2008
- [2.22-5] A. Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of major Challenges and Applications for Vector EMI Scanner System*; EMC 2008 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility; Wroclaw; 11. –13. June, 2008
- [2.22-6] T. Fischer, M. Spang, M. Albach; *Easy De-embedding of Symmetrical Coax-to-Microstrip Transitions*; 12th IEEE Workshop on Signal Propagation on Interconnects (SPI), Avignon, France, 12 - 15 Mai 2008
- [2.22-7] M. Spang, G. Schubert, M. Albach; *Response of a Magnetic Loop Probe to the Current and Voltage on a Microstrip Line*; IEEE International Symposium on Electromagnetic Compatibility, Detroit, Michigan 18-22 Aug. 2008
- [2.22-8] N. Uddin, M. Spang, A. Thiede; *Miniature Loop Antenna for Active Near-Field Sensor*; German Microwave Conference GeMiC 2008, Hamburg, Germany, 10-12 March 2008



Abschlussbericht PARACHUTE

BMBF-Verbundprojekt *PARACHUTE*

Elektromagnetische Zuverlässigkeit

und

effizienter TopDown-Entwurf

für

optimale Systemeigenschaften

nanoelektronischer Komponenten

(BMBF Verbundvorhaben im Rahmen des europäischen Verbundprojekts
PARACHUTE – MEDEA+ A 701)

Teil 3

Zuwendungsempfänger:

Robert Bosch GmbH (01M 3169 B)
Postfach 13 42 - 72703 Reutlingen

Continental - Division Powertrain (01M 3169 C)
Sieboldstrasse 19 - D-90411 Nuernberg

Infineon Technologies AG (01M3169A)
Am Campeon 1 - 12 – 85579 Neubiberg

Universität Paderborn (01M 3169 E)
Warburger Straße 100 – D-33098 Paderborn

Zuken GmbH (01M 3169 D)
Vattmannstraße 3 – 33100 Paderborn

Projektlaufzeit:

1. April 2006 – 31. März 2009

Projektleitung:

Dipl.-Ing. Thomas Steinecke
Infineon Technologies AG - ATV MC D IPI EMC
Am Campeon 1 - 12 – 85579 Neubiberg
Tel.: +49 89 234 84979 - Fax: +49 89 234 9555898
eMail: thomas.steinecke@infineon.com

F+E-Koordination Abschlussbericht:

Dr.-Ing. Werner John
System Integration Laboratory (SIL) – R+D Consulting
Doerener Weg 4B - 33100 Paderborn
Tel.: +49 (0)5251 5439 300 – Fax: +49 (0)5251 5439 311
eMail: werner.john@sysint-lab.eu

Autorenliste

An der Fertigstellung des gemeinsamen PARACHUTE-Abschlussberichts waren die folgenden Kollegen und Mitarbeiter maßgeblich beteiligt:

Name

Organisation

St. Palm
Dr. W. Wilkening

Robert Bosch GmbH (BOSCH)

Markus Fenderl
Göran Schubert

*Continental/Division Powertrain -
Business Unit Transmission (CONTINENTAL)*

Thomas Fischer
Janina Platz
Mathias Spang

*Lehrstuhl für Elektromagnetische Felder
Friedrich-Alexander-Universität Erlangen-
Nürnberg – UA (FAU)*

Dr. Götze

*Gesellschaft zur Förderung angewandter
Informatik eV. – UA (GFal)*

Dirk Ahlers
Mehmet Gökçen
Gerhard Groos
Dirk Hesidenz
Jörg Köllermeyer
Jacek Kruppa
Michael Mayerhofer
Heinz Novak
Alevtina Podgaynaya
Werner Simbürger
Matthias Stecher
Thomas Steinecke
Tao Su
Markus Unger

Infineon Technologies AG (IFAG)

V. Geneiß
Dr. W. John (1. April 2006 – 30. September 2009)
Thomas Mager
U. Stürmer

*Fraunhofer-Institut für Zuverlässigkeit
und Mikrointegration/Fraunhofer Einrichtung
Elektronische Nanosysteme – UA (IZM/ENAS)*

Ch. Fischer
Reza Kazemzadeh
Stefan Ludwig
Prof. Dr. W. Mathis
Dr. Ljubica Radic-Weissenfeld
(1. Mai 2007 – 31. März 2009)
Dr. Adam Tankielun (1. Mai 2007 - 31. Mai 2008)

*Leibniz Universität Hannover - Fakultät für
Elektrotechnik und Informatik
Institut für Theoretische Elektrotechnik – UA
(LUH-TET)*

Dieter Averberg

Magh und Boppert GmbH - UA

Haiko Morgenstern
Uwe Stürmer (1. Mai 2006 - 1. Januar 2008)
Dr. Ch. Hedayat
Dr. M. Taki
Ch. Wiegand
Dr. Ljubica Radic-Weissenfeld
(1. Juni 2006 - 30. April 2007)
Dr. Adam Tankielun (1. April 2006 - 30. April 2007)
Christopher Wiegand (14. April 2007 - 31. März 2009)

*Universität Paderborn
Fakultät für Elektrotechnik, Informatik und
Mathematik (UPB)*

Name

Kai Benndorf
Ralf Brüning
Markus Bücken
Uwe Keller
Dr. W. Rissiek
Michael Schäder
Jörn Seaman

Organisation

Zuken GmbH (ZUKEN)

Anmerkung der Autoren

Das diesem Bericht zugrunde liegende Verbundvorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung unter den Kennzeichen 01M3169A/01M3169B/01M3169C/01M3169D/01M3169E gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt allein bei den Projektpartnern.

Inhaltsverzeichnis

3.	Anhang-1 – Ergebnisübersicht Robert Bosch GmbH	6
	<i>BOSCH (Kurzdarstellung) - Elektromagnetische Zuverlässigkeit mittels simulationsgeführtem Entwurf von ICs und Verbindungsträgern (01M 3169 B)</i>	<i>6</i>
3.1	Aufgabenstellung – Robert Bosch GmbH	6
3.2	Voraussetzungen	7
3.3	Planung und Ablauf des Teilvorhabens	8
3.4	Wissenschaftlicher und technischer Stand - Zusammenfassung	8
3.5	Zusammenarbeit mit anderen Stellen	9
3.6	Nutzen und Verwertbarkeit	10
3.7	Fortschritt bei anderen Stellen	11
3.8	Veröffentlichung der Ergebnisse	11
4.	Anhang-2 – Ergebnisübersicht Continental (Division Powertrain)	12
	<i>CONTINENTAL (Kurzdarstellung) - Analyse und Optimierung der HF-Eigenschaften von KFZ-Steuergeräten (01M 3169 C)</i>	<i>12</i>
4.1	Aufgabenstellung – Continental (Division Powertrain)	12
4.2	Voraussetzungen	13
4.3	Planung und Ablauf des Teilvorhabens	13
4.4	Wissenschaftlicher und technischer Stand - Zusammenfassung	13
4.5	Zusammenarbeit mit anderen Stellen	13
4.6	Nutzen und Verwertbarkeit- CONTINENTAL	13
4.7	Veröffentlichung der Ergebnisse	13
5.	Anhang-3 – Ergebnisübersicht Infineon Technologies AG	13
	<i>Infineon Technologies AG (Kurzdarstellung) - Modellierung und Simulation von ICs bezüglich EMV (01M3169A)</i>	<i>13</i>
5.1	Aufgabenstellung – Infineon Technologies AG	13
5.2	Voraussetzungen	13
5.3	Planung und Ablauf des Teilvorhabens	13
5.4	Wissenschaftlicher und technischer Stand - Zusammenfassung	13
5.5	Zusammenarbeit mit anderen Stellen	13
5.6	Nutzen und Verwertbarkeit – Infineon Technologies AG	13
5.7	Fortschritt bei anderen Stellen	13
5.8	Zukunftsperspektiven	13
5.9	Veröffentlichung der Ergebnisse	13

6.	Anhang-4 – Ergebnisübersicht ZUKEN GmbH	13
	<i>ZUKEN (Kurzdarstellung) - EDA-Implementierung zur Beurteilung der elektromagnetischen Zuverlässigkeit - 01M 3169 D</i>	<i>13</i>
6.1	Aufgabenstellung – Zuken GmbH	13
6.2	Voraussetzungen	13
6.3	Wissenschaftlicher und technischer Stand - Zusammenfassung	13
6.4	Zusammenarbeit mit anderen Stellen	13
6.5	Nutzen und Verwertbarkeit - ZUKEN	13
6.6	Veröffentlichung der Ergebnisse	13
7.	Anhang-5 – Ergebnisübersicht der Universität Paderborn (UPB)	13
	<i>UPB (Kurzdarstellung) - Effiziente EMC/EMZ-Modellierung und -Messung - 01M 3169 E</i>	<i>13</i>
7.1	Aufgabenstellung – Universität Paderborn	13
7.2	Voraussetzungen	13
7.3	Planung und Ablauf des Teilvorhabens - Zusammenfassung	13
7.4	Zusammenarbeit mit anderen Stellen	13
7.5	Nutzen und Verwertbarkeit - UPB	13
7.6	Zukunftsperspektiven - UPB	13
7.7	Veröffentlichung der Ergebnisse - UPB	13

3. Anhang-1 – Ergebnisübersicht Robert Bosch GmbH

BOSCH (Kurzdarstellung) - Elektromagnetische Zuverlässigkeit mittels simulationsgeführtem Entwurf von ICs und Verbindungsträgern (01M 3169 B)

Das Vorhaben zielte auf die simulationsgestützte Absicherung der elektromagnetischen Verträglichkeit (EMV) von mikroelektronischen ICs und Verbindungsträgern (z.B. Leiterplatte, Hybrid) für Anwendungen in der Automobilelektronik. Das *Arbeitspaket 2* behandelte EMV auf IC-Ebene. Bosch fokussierte auf Störfestigkeit von IC-Schaltungsblöcken in Smart Power Technologien. Die Arbeiten schafften die Voraussetzungen für den simulationsgestützten Entwurf der EMV-Störfestigkeit unter dem Einfluss von Direct Power Injection (DPI). Die Untersuchungen validierten Simulationen gegenüber HF-Messungen von Teststrukturen. Die Untersuchungen umfassten Einzelbauelemente und Teststrukturen mittlerer Komplexität, z.B. Stromspiegel. Darüber hinaus lieferte das Projekt neue Methoden, die erstens die Rechenzeit für EMV-Schaltungssimulationen um ca. einen Faktor 10 beschleunigen und zweitens EMV-empfindlich reagierende Bauelemente markieren.

Das *Arbeitspaket 3* hat EMV-Eigenschaften von Verbindungsstrukturen als Thema. Diese sind immer ein wesentlicher Bestandteil des Produkts (z.B. des Steuergeräts) im Automobil. Ihr Einfluss auf die EMV-Störfestigkeit ist maßgeblich und daher unbedingt zu beherrschen. Bosch wählte den Ansatz, Simulationmethoden auf Basis von drei Störfestigkeitsmessverfahren zu entwickeln. Dies sind zwei Verfahren zur EMV-Bewertung von ICs und eines zur Bewertung von Komponenten (z.B. Steuergeräten). Die Machbarkeit von 3D-Simulation für die IC-Messverfahren μ TEM-Zelle und Direct Power Injection (DPI) wurde aufgezeigt. Für das Komponentenverfahren Bulk Current Injection (BCI) ist die 3D-Modellierung der Einkoppelpule erfolgt. Die Untersuchungen zeigten, dass das gesamte Verfahren aufgrund der sehr hohen Komplexität nicht durchgängig in die 3D-Simulation abbildbar ist. Daher wurde eine Partinisionierung vorgenommen. Die EMV-Bewertung der Verbindungsstrukturen konnte deshalb nur mit Vorbehalt durchgeführt werden. Das für Bosch wichtigste Ergebnis ist, dass Simulationsmethoden für die drei wichtigsten Störfestigkeitsmessverfahren entwickelt werden konnten.

Im *Arbeitspaket 5* fokussierte sich Bosch auf das Gebiet der Störfestigkeit mit Schwerpunkt Layoutsimulation und Regelerstellung. Die Arbeiten schaffen die Voraussetzung für den simulationsgestützten Layoutentwurf bzw. die Layoutoptimierung hinsichtlich der Störfestigkeit. Die entwickelte Simulationsumgebung konnte erfolgreich auf drei unterschiedlichen Beispielen angewendet und optimiert werden. Dabei konnte die Störfestigkeit deutlich verbessert und Designregeln für zukünftige Produktvarianten abgeleitet werden.

3.1 Aufgabenstellung – Robert Bosch GmbH

Für Bosch als Automobilzulieferer ist elektromagnetische Zuverlässigkeit (EMZ) insbesondere relevant zur Verbesserung der Time-to-Market (Vermeidung Rekursionen) und der Realisierung von für den Endverbraucher kostengünstigen Lösungen bei Absicherung gegen unerwartete Ausfälle (Robustheit, Null-Fehler-Strategie).

AP2: In der Automobilelektronik haben ICs in Smart-Power-Technologien eine überragende Bedeutung. Die IC-Störfestigkeit wird typischerweise nach der DPI (Direct Power Injection) Methode spezifiziert. Hierbei wird eine hohe Hochfrequenzleistung (0 bis 30 dBm) bei Frequenzen bis zu 1 GHz kapazitiv eingekoppelt. Diese HF treibt typische IC-Schaltungen bis weit in den nicht-linearen Betrieb hinein, da je nach Impedanz Spannungsamplituden bis weit über die Betriebsspannung bzw. unter Masse erzeugt werden. Die bisherige, empirische Vorgehensweise sollte durch eine neue, simulationsgestützte Methode ersetzt werden. Da bei den oben genannten enormen Spannungsamplituden Kleinsignal-Analysen nicht greifen und die IC-internen Schaltzeiten teilweise um mehrere Größenordnungen niedriger liegen als die HF-Einstrahlung, mussten geeignete Simulationsverfahren zur Analyse des Großsignalverhaltens entwickelt und im Hinblick auf Genauigkeit und Rechenzeit bewertet werden.

Insbesondere sollten neue Methoden zur Schaltungssimulation der EMV-Störfestigkeit von kritischen Schaltungsblöcken entwickelt werden. Die Simulation sollte die Störfestigkeit nach der DPI Methode, eingekoppelt auf kritische Pins, mit hinreichender Genauigkeit unter für die industrielle Entwicklung akzeptablen Rechenzeiten erlauben. Die typische Genauigkeit der simulierten Arbeitspunkte unter DPI sollte eine maximale Abweichung von 10 – 30 % betragen. Dabei war der Frequenzbereich bis 1 GHz abzudecken.

AP3: Die Verbindungstechniken sind ebenso wie die ICs Teil der Automobilelektronik und damit auch relevant für das EMV-Störfestigkeitsverhalten. Die Technologieentwicklung ist in der Regel vor der Produktentwicklung abgeschlossen. Damit ergibt sich die Motivation, für die Technologen frühzeitig zumindest eine Abschätzung der EMV-Eigenschaften auch für Störfestigkeit zu erhalten. Vorgegangen wird dabei auf Basis elektromagnetischer Feld-Simulationen. Ziel ist also eine Abbildung der Störfestigkeitsmessverfahren 'µTEM cell method', 'Direct RF power injection method (DPI)' und 'Bulk current injection (BCI)' in ein 3D-Simulationsmodell (Aussage zur Machbarkeit). Weiter war eine Bewertung aufgrund des Vergleichs der einzelnen Messverfahren zu erstellen. Schließlich war die Anwendung der Simulation auf die EMV-Bewertung von Verbindungsstrukturen durchzuführen.

AP5: Aufgrund der gestiegenen Anforderungen hinsichtlich der Störfestigkeit von KFZ-Steuergeräten kommt der Auslegung des Layouts eine gewichtige Rolle hinsichtlich der Zuverlässigkeit des Gesamtsystems zu. Hierzu existierten bereits verschiedene Designregeln und -richtlinien, welche jedoch zum Teil empirisch erarbeitet worden waren und keine quantitative Bewertung erlaubten. Aus diesem Grund sollte die Methode der EMV-Simulation auf Layoutebene zur Anwendung gebracht werden, um zukünftigen Anforderungen besser gerecht werden zu können. Hier stand insbesondere die Verifikation von bestehenden Layoutregeln als auch die Extraktion neuer Regeln und Entwurfsrichtlinien und Analysen im Vordergrund. Neben einer Schnittstelle zur verwendeten Designumgebung sollten auch Möglichkeiten einer kombinierten Schaltungs- und Layoutsimulation erfasst werden. Die Arbeiten sollten zum einen die Effizienz des Entwicklungsprozesses steigern und zum anderen sicherstellen, dass auch Entwickler ohne spezielles EMV-Expertenwissen in der Lage sind, basierend auf den abgeleiteten Regeln ein bezüglich der EMV qualitativ gutes Design/Layout zu erstellen. Weiterhin sollte es ermöglicht werden, Variationen in der Layoutauslegung von bestimmten Schaltungsteilen mittels Simulation hinsichtlich des EMV-Verhaltens vergleichen zu können.

3.2 Voraussetzungen

AP2: Beherrschung von EMV auf IC-Ebene ist ein ausgesprochen komplexes Thema, sowohl vom Umfang als auch von der notwendigen Tiefe des Verständnisses her. Wichtige Voraussetzungen für das Vorhaben waren zum einen die zunehmenden kritischen Entwurfsrekursionen. Zum anderen war dies die Erkenntnis, dass eine Beherrschung der Ursachen tiefe Kenntnis von (teils systemübergreifenden) Wechselwirkungen benötigt, die zukünftig simulationsgestützt betrachtet werden müssen. Um in diesem Punkt zukünftig ein zuverlässiger Zulieferer (Automobil-Systempartner) zu sein, muss hierfür die EMV-Simulation auf IC-Ebene ermöglicht werden. Gleichzeitig müssen auch die Grenzen der Aussagefähigkeit aufgezeigt werden können. Wesentliche technische Voraussetzungen hierfür sind eine professionelle Simulationsumgebung sowie die Möglichkeit einer Verifikation gegen aussagekräftige Demonstratoren, hier Teststrukturen. Darüber hinaus ist wegen der genannten Komplexität und der notwendigen Fokussierung der fachliche Austausch mit Mitarbeitern anderer Firmen/Institutionen aus Forschung und Entwicklung erforderlich.

AP3: Hintergrund der Aktivitäten zur Modellierung von Störfestigkeitsmessverfahren ist, dass zukünftig ein akkreditiertes Labor für Komponenten-Verfahren hier in diesem Bereich bei Bosch betrieben werden soll. Dabei ist durch EMV-Produktbetreuung im Bereich von Sensorapplikationen bis zur Leistungselektronik die Fragestellung an 3D-Simulation so motiviert, daß die Anwendung der Simulation produktunabhängig und tatsächlich für Problemlösungen geeignet sein muss. Voraussetzung ist auch noch, dass die derzeit erreichte Leistungsfähigkeit von 3D-Simulationstools für diese Fragestellung geeignet erscheint. Die Aufgabenstellung Modellierung von Störfestigkeitsmessverfahren ist hier auf die EMV-Bewertung von Verbindungsstrukturen anzuwenden.

AP5: Aufgrund steigender Anforderungen an die Funktion und Leistungsfähigkeit werden in den neuen Generationen von Kfz-Steuerungen Microcontroller mit Taktfrequenzen bis 150 MHz und darüber verwendet. Parallel dazu ist mit einer weiteren Zunahme der Integrationsdichte sowie der Design- und Layout-Komplexität zu rechnen. Als eine direkte Folge dieser Entwicklung werden auch die EMV-Anforderungen an die Immunität der Produkte steigen, so dass die bisher etablierten Vorgehensweisen der zukünftig geforderten Störfestigkeit nicht mehr gerecht werden. Um in diesem Punkt auch zukünftig ein zuverlässiger Zulieferer (Automobil-Systempartner) zu sein, muss hierfür die EMV-Simulation auf Leiterplattebene etabliert werden. Gleichzeitig müssen auch Möglichkeiten und Grenzen der Aussagefähigkeit aufgezeigt werden können. Wesentliche technische Voraussetzungen hierfür sind eine in die Bosch-Entwicklungsumgebung eingepasste Simulationsumgebung mit entsprechenden Schnittstellen sowie die Möglichkeit einer Verifikation gegen geeignete Teststrukturen. Auch hier ist wegen der genannten Komplexität und der notwendigen Fokussierung der fachliche Austausch mit Mitarbeitern anderer Firmen/Institutionen aus Forschung und Entwicklung erforderlich.

3.3 Planung und Ablauf des Teilvorhabens

AP2: Zunächst wurden denkbare Simulationsverfahren (z.B. Großsignalanalyse, Harmonic Balance) konzeptionell und anhand von beispielhaften Simulationen auf ihre grundsätzliche Eignung überprüft. Sie wurden in Hinblick auf mögliche Verkürzungen der Rechenzeit bewertet. Parallel hierzu wurden speziell für Wafermessungen geeignete DPI-Teststrukturen entworfen und gefertigt. Sie umfassen eine Reihe von Einzelstrukturen und Schaltungsblöcken. Anschließend wurde die Simulation mittels dieser Teststrukturen verifiziert. Anhand der Verifikationsergebnisse mit den oben genannten schnellen Simulationsverfahren entwickelte Bosch eine neue simulationsgestützte Methodik, die für das industrielle Schaltungsdesign geeignet ist. Abschließend wurde diese Methodik anhand von ersten Beispielanwendungen (siehe die oben genannten HF-geeigneten Testschaltungen) aus der Projektarbeit dokumentiert und ihr Anwendungsbereich diskutiert.

AP3: Begonnen wurde mit der Auswahl eines IC-Testboards als Objekt für die Untersuchung der Machbarkeit der 3D-Simulation. Als Voruntersuchung zur 3D-Simulation wurde diese Leiterplatte in 3D simuliert und mit der Messung verglichen. Das 3D-Modell der Leiterplatte wurde nun um das IC-Gehäuse ergänzt. Das Gesamtmodell aus IC und Testboard wurde nun für die Verfahren DPI und μ TEM-Zelle miteinander verglichen. Nächster Schritt war BCI mit der Erstellung der geometrischen Daten für Einkoppelspule und Testfixture. Zum BCI-Equipment zugehörige Messungen dienten als Basis für die Modelloptimierung. Schließlich wurde für BCI das Gesamtmodell mit Einkoppelspule und Kabelbaum untersucht.

WP5: Zunächst wurden unterschiedliche kommerzielle Werkzeuge zur EMV-Layoutsimulation hinsichtlich ihrer grundsätzlichen Eignung (Verfahren), Vorhandensein und Qualität der Schnittstellen zu Designwerkzeugen sowie Rechenzeit untersucht. Anschließend erfolgte eine Verifikation der Simulationsergebnisse anhand von Messergebnissen an repräsentativen Bosch-Layout-Teststrukturen. Hierzu wurde eine spezielle Testleiterplatte layoutet, gefertigt und vermessen. Basierend auf diesen Ergebnissen wurde eine Simulationsumgebung zur Problemanalyse, Validierung, Erstellung und Parametrisierung von EMV Design und Layout Regeln erstellt und anhand von realen Beispielen aus verschiedenen Anwendungsbereichen getestet.

3.4 Wissenschaftlicher und technischer Stand - Zusammenfassung

Für die Entwicklung anwendungsfähiger Methoden zur Simulation der Störfestigkeit auf IC-Ebene nutzte Bosch die im Folgenden genannten Verfahren, Erfahrungen und Standards. Es war nicht notwendig, projektspezifisch Schutzrechte Dritter zu nutzen.

1. Die Messtechnik der Störfestigkeit von ICs nach der ‚Direct Power Injection‘ (DPI) Methode ist standardisiert (IEC 62132-4). Zu Messungen wird der IC auf einer Platine beschaltet und betrieben. Daher liefert die Messung immer das Gesamtverhalten von IC im jeweiligen Betriebsmodus mit der Testplatine und deren Beschaltungselementen.

2. Ein auf EMV-Messungen von früheren ICs basierendes Verständnis für das Verhalten von integrierten Schaltungen auf Testplatinen unter DPI lag vor. Dabei ist zu bemerken, dass zu Beginn des Projektes keine hinreichenden gemessenen Daten über die HF-Anregungen vorlagen, die tatsächlich am IC-Pad ankommen. Einzig von F. Fiori et al., Uni Turin, war bekannt, dass DPI-artige Messungen auf Wafer-Ebene möglich waren, wenn geeignete (HF-taugliche) Teststrukturen vorliegen.
3. Zur Schaltungssimulation wurden vorliegende Standardmodelle für die normale Schaltungssimulation genutzt. Sie beschreiben in einem beschränkten Frequenzbereich Klein- und Großsignalverhalten integrierter Bauelemente. Der Frequenzbereich ist insbesondere deswegen nach oben beschränkt, weil das Anwendungsgebiet, Smart Power für Automobilelektronik, keine schnellen Zeitkonstanten benötigt.
4. Technologie-spezifische Daten für parasitäre Elemente auf dem IC (z.B. Leitungskapazitäten) lagen vor.
5. Es existierten erste Versuche zu den Laufzeiten von transienten Simulationen unter HF-Anregung, wie sie ja auch bei DPI Anwendung findet. Diese zeigten auf, dass die Laufzeiten im Bereich von Stunden bis zu mehreren Tagen lagen und damit für den industriellen IC-Entwurf zu lang waren.

Aufgrund der Situation, die in den Punkten 1-4 dargelegt ist, war der Stand zusammenfassend, dass für DPI keine belastbaren Simulationsmethoden vorlagen, da insbesondere Verifikationen gegen aussagkräftige Messungen fehlten und weil die Laufzeiten zu lang waren.

Die Aktivitäten von AP3 sind Simulationen auf Basis standardisierter Störfestigkeitsmessverfahren gewesen. Normativer Bezug ist:

1. IEC 62132-4, Integrated Circuits – Measurement of Electromagnetic Immunity, 150 kHz to 1 GHz – Part 4: Direct RF Power Injection Method.
2. ISO 11452-4, Road vehicles – Component test methods for electrical disturbances from narrowband radiated electromagnetic energy – Part 4: Bulk current injection (BCI).

Weiterhin wurde als Messtechnik vom Hersteller FISCHER CUSTOM COMMUNICATIONS, INC., sowohl die μ TEM-Zelle als auch das BCI-Equipement verwendet und als Basis für die Modellierung eingesetzt. Für AP3 war es nicht notwendig, Schutzrechte Dritter in Anspruch zu nehmen.

Entwurfs- und Designregeln für immune Schaltungs- und Substratauslegung existieren für Störfestigkeit auf Leiterplatten als entscheidender Träger des Gesamtsystems (Steuergeräte) nur ansatzweise bzw. sind bisher nicht hinreichend verifiziert, um im Entwicklungsprozess systematisch genutzt werden zu können. Während für die Emission aus dem MESDIE-Projekt bereits der Ansatz parametrisierbarer EMV-Designregeln in einer übergeordneten Hierarchiestufe existiert, fehlt eine äquivalente Methode zur Beherrschung der Störabstrahlung.

Weiterhin lag zu Projektbeginn keine geeignete und validierte Simulationsumgebung mit Schnittstellen zur Robert Bosch Designumgebung für die EMV-Layoutsimulation vor. Weiterhin fehlte ein Konzept zur kombinierten Simulation von Schaltung und Layout.

3.5 Zusammenarbeit mit anderen Stellen

Bosch tauschte sich in diesem Arbeitspaket zu EMV auf IC-Ebene besonders eng mit Partnern aus, die ebenfalls auf IC-Ebene, insbesondere auch für Smart Power Anwendungen, arbeiten. Dies sind ON-Semi (ehemals AMIS), Philips, Infineon und die Universität Toulouse. Insbesondere veranstaltete Bosch einen eigenen Workshop (für alle Partner am 14.2.2008 in Reutlingen) mit Fokus auf EMV von ICs.

Bosch hatte im AP3 mit Fraunhofer ENAS (zuvor Fraunhofer IZM) Paderborn als Unterauftragnehmer erfolgreich zusammen gearbeitet. Neben der Teilnahme am obigen Workshop am 14.2.2009 in Reutlingen wurde der Austausch auch auf der EMC COMPO 2007 und EMC Zürich 2009 gemacht. Die Aktivitäten von Bosch in den drei Arbeitspaketen wurden natürlich kommuniziert und förderten dabei die Inhalte im eigenen Arbeitspaket.

Als Beispiel dafür sei die Schnittstelle Simulation von IC-Messverfahren DPI und Untersuchung mit DPI auf IC-Ebene selbst genannt.

Darüber hinaus ergab sich auch eine enge Zusammenarbeit mit den anderen am Vorhaben beteiligten Bosch-Abteilungen sowie weiteren Stellen bei Bosch, welche sich mit der elektromagnetischen Verträglichkeit von Steuergeräten und Sensoren beschäftigen. Einen wesentlichen Schwerpunkt bildete hierbei das Ausloten von Anwendungsbereichen für die EMV- bzw. Layoutsimulation sowie eine Analyse der Komplexitäten der zu simulierenden Strukturen. Des Weiteren erfolgte, insbesondere im Hinblick auf die Evaluation und Bewertung von Simulationsverfahren, eine enge Zusammenarbeit mit der Robert Bosch AG Österreich in Wien.

3.6 Nutzen und Verwertbarkeit

Die Ergebnisse auf IC-Ebene, die also im Arbeitspaket 2 erzielt wurden, lassen sich wie folgt verwenden und nutzen:

- (1) ICs für Automobilanwendungen sind an ihren Versorgungen typischerweise starken Störungen ausgesetzt. Daher benötigen sie interne EMV-feste Spannungsreferenzen. Für diese sind PMOS-Transistoren ein Schlüsselbauelement. Sie sind für die EMV-Robustheit von höchster Bedeutung, da über PMOS-Stromspiegel die Referenzströme im ganzen (oder großen Teilen des) IC abgeleitet werden und Störungen sich über diese im gesamten IC verteilen. Das Verständnis und die Beherrschung der Störfestigkeit dieser Bauelemente sind daher von hoher Tragweite.
- (2) Die Beschleunigung von DPI-Simulationszeiten und die ‚DPI-Hot-Spot-Analyse‘, vgl. Punkt 2 und 3 oben, ermöglichen nach Abschluss des Projektes eine simulationsgestützte Evaluierung von Schaltungsblöcken. Sie soll innerhalb der bei Bosch genutzten Designumgebung eingesetzt werden.
- (3) Modell der BCI-Einkoppelspule:
Unzureichende Störfestigkeit für jegliche Art von Automobilelektronik ist in der Regel in der Komponentenmessung bei BCI wiederzufinden. Problemlösungen per Simulation erfordern eine realitätsnahe Abbildung des Prüflings in der Topologie seiner Messumgebung. 3D-Simulation ist dabei trotz des Aufwandes und der Grenzen bzgl. Komplexität bisher ohne Alternative. Damit kommt nun das erstellte 3D-Modell der Einkoppelspule zum Tragen. Es hat bzgl. Messung keine Einschränkung im Frequenzbereich und kann für jeglichen Kabelbaum an jeder Position eingesetzt werden.
- (4) Modell der μ TEM-Zelle:
Störfestigkeit in der μ TEM-Zelle ist für Bosch bei Sensoren, die zusammen mit Auswerte-ICs ein Gehäuse nutzen, gebräuchlich. Genauso wie für das BCI-Verfahren ist der Schlüssel für eine erfolgreiche Anwendung, dass die realen geometrischen Verhältnisse in der 3D-Simulation enthalten sind und dass der messtechnische Bezug gegeben ist.
- (5) In Kfz-Steuergeräten befinden sich typischerweise digitale, analoge und Leistungsschaltungsteile aufgrund der hohen Packungsdichte und Miniaturisierung in unmittelbarer Nachbarschaft. Zur Vermeidung von internen als auch externen Störungen kommt der Layoutauslegung der Boards eine entsprechend hohe Bedeutung zu. Die entwickelte Simulationsumgebung und -strategie ermöglicht eine entwicklungsbegleitende Layout- und Designoptimierung von Steuergeräten.
- (6) Der Einsatz validierter Simulationsmethoden lässt darauf hoffen, dass innovative EMV-Konzepte zukünftig effizienter entwickelt werden können (Optimierung bereits vor Siliziumfertigung bzw. bereits vor Aufbau erster Steuergeräte). Diese Konzepte würden, sobald sie sich als tragfähig erweisen, einen Wissensvorsprung schaffen, der in zukünftige Produkte einfließen kann.

Die oben genannten Anwendungen (1) und (2) sollen zur Entwicklung von EMV-robusten Schaltungsblöcken für Smart Power ICs bei Bosch, Geschäftsbereich AE (Automotive Electronics) eingesetzt werden. Die oben in (3), (4) und (5) genannten Ergebnisse ermöglichen die Absicherung der Störfestigkeit auf Steuergeräte-Ebene. Diese ICs und Steuergeräte werden z.B. für Motorsteuerungen oder Brems- und Rückhaltesysteme zum Einsatz kommen. Die neuen Methoden liefern auch wertvolle Grundlagen für die einsetzende verstärkte Entwicklung von elektrischen Antrieben im Fahrzeug mit dem Ziel der Energieverbrauchsminderung.

Nutzen erwartet Bosch insbesondere für:

- Vermeidung von Redesigns für ICs und Steuergeräte
- Ersparnis von Chip-Fläche oder externen Komponenten, z.B. EMV-Kondensatoren
- Kundenakzeptanz und -zufriedenheit

und damit für

- Verbesserung Time-to-Market
- Absicherung der EMV-Qualität für zukünftige innovative Anwendungen
- Zukünftige Entwicklungsaufträge
- Kostengünstige, ausfallsichere und sparsame Lösungen für den Endverbraucher.

3.7 Fortschritt bei anderen Stellen

AP2: Gegenüber dem Stand der Technik zu Beginn des Projektes (s. oben) sind Fortschritte außerhalb des Vorhabens zur Simulation von DPI auf IC-Ebene vor allem an einer Stelle bekannt. Dies ist ein Ansatz der auf (in der Regel gemessenen) Daten basiert und dieses Wissen über Daten mittels neuronaler Netzwerke verknüpft (siehe z.B.: Chahine, M. Kadi, E. Gaboriaud, A. Louis, and B. Mazari; Characterization and Modeling of the Susceptibility of Integrated Circuits to Conducted Electromagnetic Disturbances Up to 1 GHz; IEEE Transactions on Electromagnetic Compatibility., Vol. 50, No. 2, May 2008, pp. 285 – 294). Dieser Ansatz ist eine Art von tabellenbasiertem Verhaltensmodell. Er benötigt kein tiefer in das Untersuchungsobjekt hineinreichendes Verständnis. Entsprechend erlaubt er jedoch auch keinen entsprechend vertieften Verständnissgewinn in der IC-Schaltung. Dieser Ansatz sollte Untersuchungen auf System-Ebene, die den IC lediglich als eine Komponente betrachten, unterstützen. Der genannte tabellenbasierte Ansatz unterscheidet sich klar von dem im Parachute-Projekt verfolgten. Dieser fußt vom Verständnis und der Modellierung her auf tiefgreifendem (elektrotechnisch-halbleitertechnologischem) Verständnis. Dieses ist bei einer Ursachenanalyse, die die IC-Schaltung auf Bauelementebene mit einschließt, notwendig.

AP3: Für das Verfahren BCI ist im Laufe des Projektes F. Grassi, F. Marliani, S. A. Pignari, "Circuit Modeling of Injection Probes for Bulk Current Injection", IEEE TRANSACTIONS ON ELECTROMAGNETIC COMPATIBILITY, VOL. 49, NO. 3, AUGUST 2007 563 veröffentlicht worden. Von Interesse ist dabei, daß ebenfalls eine Einkoppelspule von FCC unter Berücksichtigung des inneren Aufbaus modelliert wurde. Im Rahmen der automatischen Regelprüfung ergaben sich Fortschritte außerhalb des Projektes bei der Firma Simlab in München. Hier wurde im Jahr 2008 ein neues Werkzeug entwickelt, welches nach Aussage von Simlab zur EMV-Regelprüfung eingesetzt werden kann. Aufgrund der Tatsache, dass die Software erst gegen Projektende zur Verfügung stand und die Kompatibilität mit der Bosch-Designumgebung nicht sichergestellt ist, wurden keine weiteren Untersuchungen hierzu durchgeführt. Bzgl. Simulationsverfahren sind keine entscheidenden neuen Erkenntnisse bekannt geworden, welche die im Projekt erarbeitete Simulationsstrategie und Werkzeugauswahl nachhaltig beeinflussen würde.

3.8 Veröffentlichung der Ergebnisse

- [3-1] U. Stürmer, G. Thomas, S. Ritzmann, O. Jovic, W. Wilkening, W. John; *Evaluation of Different Steady-State Simulation Methods for EMI Analyses of ICs*; Proc. of EMC Compo 2007, Turin, Italy, pp. 289-294
- [3-2] Jovic, U. Stürmer, W. Wilkening, A. Baric, and C. Maier; *Susceptibility of PMOS Transistors under High RF Excitations at Source Pin*; EMC Zurich 2009, Zurich, Switzerland
- [3-3] U. Stürmer, S. Ritzmann, O. Jovic, W. Wilkening, und W. John; *Analyse unterschiedlicher Modellierungsvarianten des Direct Power Injection - Verfahrens für die EMV Charakterisierung integrierter Schaltungen*; Kleinheubacher Tagung 2008, 22 – 25 September 2008, Miltenberg, Deutschland
- [3-4] V. Geneiß, S. Palm; *Simulation Methodology for Bulk Current Injection*; EMC Zurich 2009, Zurich, Switzerland
- [3-5] *Parachute Topical Session on EMC Design, Optimization, Modeling and Simulation of Automotive Components (Workshop)*; Jan. 13, 2009, at EMC Zurich 2009, organized by Thomas Steinecke, Infineon Technologies AG, and Robert Weigel, University of Erlangen

4. Anhang-2 – Ergebnisübersicht Continental (Division Powertrain)

CONTINENTAL (Kurzdarstellung) - Analyse und Optimierung der HF-Eigenschaften von KFZ-Steuergeräten (01M 3169 C)

4.1 Aufgabenstellung – Continental (Division Powertrain)

Die Projektlaufzeit hat in den letzten 4 Jahren die 3-Jahresmarke unterschritten. Momentan werden Projekte mit 1.5 Jahren Laufzeit bearbeitet und wir erwarten eine Reduktion auf ein Jahr. Dies erfordert die Installation eines neuen Entwicklungsprozesses (Bild 4.1). Bisherige Abläufe, deren Lerniterationen ¼ Jahr dauerten, sind dafür nicht geeignet. Statt Erfahrungen am *lebenden Objekt* zu sammeln, müssen 80 % der zu verwendenden Funktionen als vollständige, einmal verifizierte Modellbeschreibungen vorhanden sein. Die Synergie durch die Nutzung des Modellpools und qualitätssichernde Maßnahmen im Entwicklungsprozess schaffen den Freiraum für die erfolgreiche Bewältigung der verbleibenden 20 % Innovation.

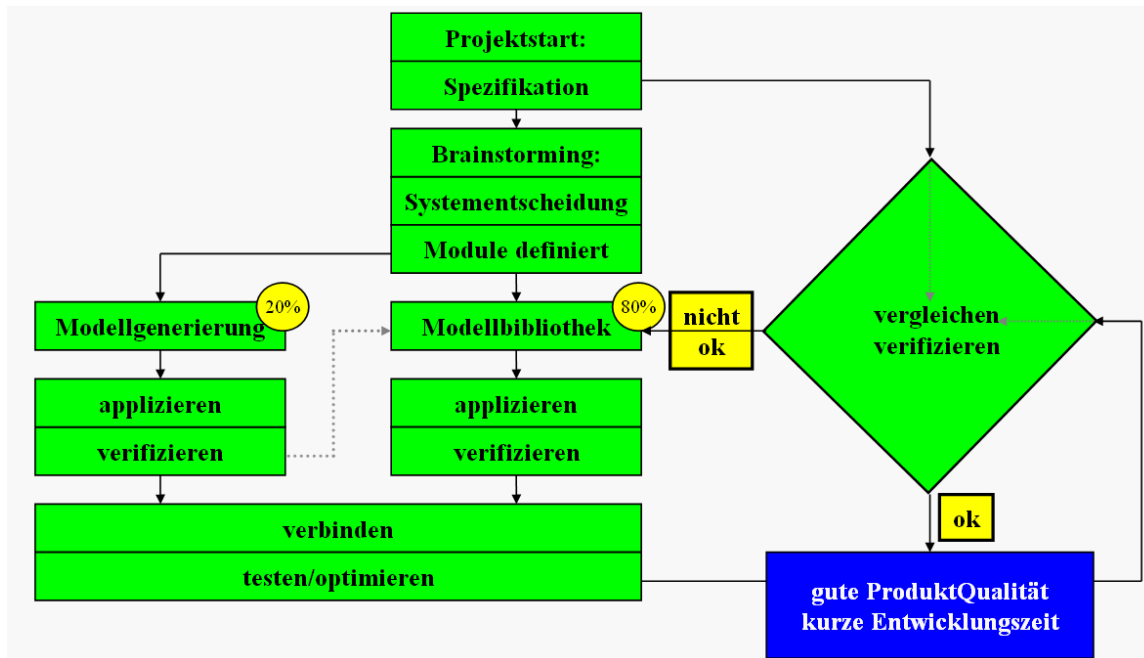


Bild 4-1: Produktqualität sichernder Entwicklungsablauf

Für die einzelnen Arbeitspakete ergeben sich daraus die folgenden Aufgabenstellungen.

AP1 - Ein neues robustes und abstrahlarmes Versorgungskonzept für Mikroprozessoren und andere schnell taktende ICs soll entwickelt und untersucht werden. Schaltvorgänge in der IC Logik verursachen hochfrequente Ströme auf der Spannungsversorgung. Das übliche Blockkonzept mit Kondensatoren minimiert die Spannungsschwankungen auf dem Versorgungsbus und deren Auswirkung auf die Emission. Es berücksichtigt keine Abstrahlung, die durch hochfrequente Ströme hervorgerufen werden. Mikroprozessoren arbeiten jedoch heute bei Frequenzen, bei denen gerade die stromgetriebene Abstrahlung dominiert. Dies begründet sich in der zu den Frequenzen optimalen Längen der Kabelbäume, deren Abstrahlung mit der Frequenz im Quadrat, d.h. dipolartig zunimmt. Diese so genannte Gleichtaktabstrahlung wird, da durch die Schaltströme verursacht, durch das heute übliche Blockkonzept mit Kondensatoren sogar noch verstärkt. Es muss mit grundlegenden Untersuchungen begonnen werden, die eine neue Energie-versorgung, mit Rücksicht auf Hochfrequenzanforderungen, erfüllt. Aufbauend darauf muss ein Konzept ausgearbeitet werden, das eine Versorgung gewährleistet, die allen Anforderungen in den Anwendungen gerecht wird.

In Fahrzeuganwendungen werden Busse von Mikroprozessoren über Verbindungsleitungen an externe Speicher (außerhalb des Chips) angeschlossen, die u.U. nicht auf ein optimales Übertragungsverhalten ausgelegt sind. Die Folge sind Reflexionen, die die abgestrahlte Energie erheblich erhöhen. Steigende Taktraten erzeugen zusätzlich hochfrequenterer Anteile. Da Busleitungen sowohl auf der Oberseite, als auch innerhalb einer Leiterplatte geführt werden, treten unterschiedliche Leitungsimpedanzen bei derselben Leitungsbreite auf. Auch auf der Außenlage sind (Wellen-) Ausbreitungsgeschwindigkeit von Gleich- und Gegentakt unterschiedlich und hängen von der Geometrie ab. Jeder Lagenwechsel ruft nicht zuletzt Störungen in der Leitungsimpedanz hervor, es ist daher nötig auch den Effekt von Vias zu untersuchen – im engen Zusammenspiel mit AP3.

AP3 - In elektronischen Steuerungen, wie z.B. ABS (Antiblockiersystem), ASR (Antriebs-Schlupf-Regelung) usw. wird eine Vielzahl von Filtern benötigt, um die Störfestigkeit und das Einhalten von Emissionsgrenzwerten sicherzustellen. Diese Filter sind gewöhnlich aus diskreten Elementen aufgebaut. Bedingt durch diese Konstruktion wird die elektrische und magnetische Feldverteilung wesentlich über das Layout bestimmt. Insbesondere beeinflussen metallische Oberflächen in der Nähe dieser Filter die Filtercharakteristik, denn das elektromagnetische Feld wird durch Einbringen metallischer Oberflächen verzerrt. So zeigen optimal entworfene Filter nach ihrem Einbau in ein Fahrzeug unterschiedliche Charakteristiken mit meist niedrigeren Dämpfungswerten. Dieser Effekt kann bereits zwischen 500MHz und 1GHz beobachtet werden. Die Frequenzerhöhung der Automobilindustrie auf 4 GHz erzwingt eine Erweiterung der Dämpfungscharakteristik auf diesen Frequenzbereich. Neue Methoden müssen gefunden werden um diese Filter zu realisieren, da sie nicht mehr aus konzentrierten Bauelementen aufgebaut werden können. Oberhalb 1GHz muss mit einem nicht zu vernachlässigenden Einfluss der Umgebung auf die Filtercharakteristik gerechnet werden. Ziel ist es, eine Methode zu entwickeln, die den Einfluss benachbarter metallischer Oberflächen auf die Filtercharakteristik berücksichtigt, um das Verhalten des Filters nach Einbau in das Gehäuse vorherzusagen. In diesem Zusammenhang können prinzipiell zwei Typen von Kopplungen unterschieden werden: Einerseits die induktive Kopplung im Nahfeld, die über Gegeninduktivitäten beschrieben werden kann, andererseits andere Kopplungstypen, die über das Fernfeld wirken.

AP6 - Komplexe Digitalsysteme emittieren ein breitbandiges Störspektrum. Die Störquellen können mit konventionellen Messmethoden, wie Freifeld-/Absorberraummessung, GTEM-Zelle, Nahfeldmessung mit Handsonde etc., nur unzureichend bzw. nicht eindeutig detektiert werden. Mit einem Nahfeld-Scanner können diese Störquellen sowohl im Frequenzbereich als auch räumlich lokalisiert werden, wenn die verschiedenen Feldsonden für die einzelnen E- und H-Feldkomponenten sehr nah und präzise über das Testobjekt geführt werden. Die Messung sollte im Zeitbereich durchgeführt werden, um sie gegenüber der im Frequenzbereich deutlich zu beschleunigen.

Für eine detaillierte Auflösung sind möglichst kleine Abmessungen der Sonden und geringe Abstände zum Testobjekt notwendig. Da eine reale, bestückte Schaltung aus verschiedenen hohen Bauelementen besteht, muss vor dem eigentlichen Scan - Vorgang das dreidimensionale Höhenprofil der Schaltung erfasst werden. Aus diesem Höhenprofil werden anschließend die Steuerungskordinaten für den Roboter generiert, der die Feldsonde führt.

Der erste Scan-Vorgang, welche i.d.R. mit größeren Schrittweiten gefahren wird, dient zur Voranalyse der Schaltung und zeigt bereits die Bereiche mit höherer Störaussendung. Diese Bereiche werden dann gezielt mit feinerer Auflösung analysiert.

Die Messung im Zeitbereich erfordert eine sehr exakte Kalibrierung der Messanordnung hinsichtlich der absoluten Feldstärke. Zudem ist ein umfangreiches Post-Processing der Messdaten erforderlich, damit die räumlich begrenzte Auflösung der Feldsonde aufgrund ihrer integralen Charakteristik ausgeglichen werden kann.

Durch die Auflösung des Nahfeldscanner im μm -Bereich müssen entsprechende Konzepte entwickelt werden, um das Testobjekt in allen drei Achsen präzise auf der definierten Position zu fixieren. Die Grundvoraussetzung für eine Nahfeldmessung mit Auflösungen im μm -Bereich ist die präzise Führung der Feldsonde über der Testanordnung. Neben der mechanischen Präzision spielt die Erfassung der Höhenprofile eine entscheidende Rolle. Es gilt das Testobjekt optisch zu erfassen und in eine 3D-Modell zu transferieren. Dabei muss ein spezieller Algorithmus entwickelt werden, der die erfassten Konturen glättet und Fehlstellen kompensiert. Auf Basis dieses 3D-Modells können dann die Bahndaten für die Scannersteuerung extrahiert werden.

Der Wechsel der Feldsonden erfordert ein Konzept zur Sicherstellung der exakten Nullpunktübereinstimmung der Sondenspitze mit den Koordinaten des Nullpunktes des Scanners. Ist dieses nicht der Fall, so kommt es zur Kollision mit dem Testobjekt, was unweigerlich zum Verlust der Feldsonde führt. Diese Nullpunktkalibrierung ist zudem Voraussetzung für die Analyse der Feldverteilungen auf dem Testobjekt, damit die gemessenen Feldkomponenten der exakten Koordinatenposition des Testobjektes zugeordnet werden können.

Die Präzision der Feldmessung hängt auch vom Einfluss parasitärer Effekte ab. Deshalb muss durch geeignete Methoden sowohl der Einfluss von elektrischen Effekte, wie z.B. Rauschen, Crosstalk, Shielding, Common Mode Rejection, CurrentReturnPath-Effects etc., als auch von mechanischen Effekten, wie Vibrationen, Toleranzen etc. untersucht werden.

Einen essentiellen Einfluss auf die Messergebnisse hat die Güte der Kalibrierung des Nahfeld-Scanners. Es muss ein Kalibrierungskonzept mit hinreichender Dynamik und örtlicher Auflösung erarbeitet werden.

Die Zeitbereichsmessung ist bei einer breitbandigen Analyse gegenüber der Frequenzbereichsmessung deutlich effektiver, da nicht für jede Frequenz ein eigener Messzyklus gebraucht wird. Somit können auch Störungen detektiert werden, die durch Intermodulationseffekte in andere Frequenzen transferiert werden. Da diese Methode noch nicht standardisiert ist, müssen sowohl die Mess-Hardware, die Algorithmen und das Datenmanagement hierfür entwickelt werden.

4.2 Voraussetzungen

Eine wichtige Voraussetzung zur Erreichung immer kürzerer Entwicklungszeiten für immer komplexer werdende Steuergeräte im Automobilbereich ist eine immer weitergehende Automatisierung der Beachtung bzw. Umsetzung von Designrichtlinien zur Sicherstellung der EMV im Entwicklungsprozess der Steuergeräte. Dazu haben sich bei Continental drei wichtige Punkte herauskristallisiert.

Modellpool

Die Erweiterung des Wissenspools für den Schaltungsentwurf und den Layoutdesignprozess war ein Schwerpunkt der Arbeiten im Förderprojekt PARACHUTE. Durch konsequente Anwendung der darin enthaltenen Regeln und Modelle wird von vornherein ein höheres Maß an Zuverlässigkeit der durch die Steuergeräte darzustellenden Funktionen unter den Randbedingungen der Eigenstörung, Immunität und Emission erreicht. Beispielhaft sei hier die Modellierung des Verhaltens von externen Speicherbussystemen und von HF-Filtern unter dem Einfluss metallischer Wände in deren Nähe genannt. Die Modelle erlauben es, den Einfluss unterschiedlicher Parameter vorab zu untersuchen und die Zeit für nachgeschaltete Optimierungen deutlich zu reduzieren bzw. vollständig zu vermeiden.

Layout-Geometrietest

Der bereits bei Continental eingeführte automatische Geometrietest während der Erstellung des Layouts erzwingt die nicht nur unter EMV-Gesichtspunkten korrekte Gestaltung des Layouts z.B. bzgl. Übersprechen oder Platzierung von Bauelementen. Dieser Geometrietest wurde durch die Arbeiten in PARACHUTE ebenfalls erweitert. Bereits integriert ist die korrekte Umsetzung des in diesem Forschungsprojekt entwickelten, neuen Prozessorversorgungskonzepts aus AP1.

Mess- und Analysetechnik

Durch die Entwicklung des Nahfeldscanners in AP6 steht Continental ein mächtiges Mess- und Analysesystem zur Verfügung, mit dessen Hilfe Störquellen bis in den μm -Bereich lokalisiert, die Ausbreitungswege der Störungen nachvollzogen und die Wirksamkeit von EMV-Maßnahmen überprüft werden können. Diese Messungen ersetzen langwierige und kostspielige Analysen in EMV-Messhallen und liefern damit einen signifikanten Beitrag zur Reduzierung der Entwicklungszeiten von Steuergeräten.

4.3 Planung und Ablauf des Teilvorhabens

AP1 - Ausgangspunkt der Arbeiten zum neuen Spannungsversorgungskonzept für Mikroprozessoren war die Analyse und Modellierung des Verhaltens von Spannungsversorgungen und deren Beitrag zur Emission elektromagnetischer Felder. Schaltungs- und Layouttechnische Maßnahmen zur Reduzierung der Emissionen wurden entwickelt und verifiziert. Aufgrund der Reziprozität konnte eine Erhöhung der Immunität ebenfalls erreicht werden. Darüberhinaus wurde die Notwendigkeit erkannt die Güten von im Spannungsversorgungssystem einschließlich IC auftretenden Resonanzen zu kontrollieren.

Zu Beginn der Arbeiten am Prozessorbussystem stand die Erarbeitung eines Bewertungsschemas für die Qualität des Verhaltens eines Bussystems. Dieses wurde zunächst für Mikrostreifenleitungen berechnet und anschließend auf Triplateleitungen und die Kombination aus beiden erweitert und verifiziert. Es entstand eine Software, die aus teilweise gemachten Geometrievorgaben optimale Leiterbahnbreiten und -abstände für das Layout bestimmt.

AP3 - Aus NWA-Messungen und Feldsimulationen von Filterstrukturen mit und ohne metallische Wände sind Modelle aus konzentrierten Elementen entstanden, die durch Berücksichtigung von mehr und mehr parasitären Elementen zunehmend verbessert werden konnten. Aus diesen quasi-statischen, durch Messungen verifizierten Modellen entstand eine Software zur Simulation des Verhaltens der Filterstrukturen unter Berücksichtigung der parasitären Induktivitäten einschließlich magnetischer Kopplungseffekte. Weiterhin konnten Designrules erstellt werden, um den negativen Einfluss metallischer Wände in der Nähe der Filter zu minimieren bzw. deren positives Wirken zu nutzen.

AP6 - Die Analyse von auf dem Markt befindlichen Feldscannern ergab, dass für die gestellten Anforderungen an die erfassten Rohdaten für weitergehende Analysen (z.B. Fernfeldberechnung) keine Scanner zur Verfügung standen. Es musste ein neues Konzept für die Topologie des Nahfeldscanners erarbeitet werden. Parallel dazu wurden Sonden, die die geplante Auflösung im μm -Bereich liefern könnten. Es stellte sich heraus, dass auch die Sonden für diese Anforderungen neu entwickelt werden müssen. Diese Entwicklung ist noch im Gange. Geplant war ein Frequenz-Zeitbereichs-Messsystem aufzubauen, das es notwendig machte die Sonden extrem nah über dem zu untersuchenden Objekt zu führen. Um Kollisionen mit Bauelementen zu vermeiden, wurde ein spezielles, optisch kontrolliertes Positionierungssystem entwickelt. Des Weiteren entstand ein sehr schnelles und effizientes Datenaufnahme- und Speichersystem für die Erfassung der vektoriellen Messdaten.

4.4 Wissenschaftlicher und technischer Stand - Zusammenfassung

Nach Beendigung von PARACHUTE steht ein neues, robustes d.h. abstrahlungsarmes und immunes Spannungsversorgungssystem für Mikrokontroller und andere schnell taktende ICs zur Verfügung, dessen layouttechnische Umsetzung im Layoutsystem mit Hilfe des Geometrietests sichergestellt werden kann. Unter Verwendung der erarbeiteten Modelle zur Beschreibung des Verhaltens von externen Prozessorbussen und der Dimensionierungssoftware für solche Busse, können abstrahlungsarme Bussysteme auf Antrieb entwickelt werden. Ähnliches gilt auch für die layouttechnische Umsetzung von HF-Filtern in der Nähe metallischer Wände. Das Verhalten der Filter kann bis 4GHz simuliert und optimiert werden und es stehen Designrules zur Verfügung, die es erlauben den Einfluss metallischer Wände zu kontrollieren. Außerdem entstand ein völlig neuartiges Konzept für einen Nahfeldscanner mit Auflösungen bis in den μm -Bereich, einem optisch kontrollierten Sondenpositionierungssystem ebenfalls bis in den μm -Bereich und eine spezielle Software zur Verarbeitung und Speicherung der gewonnenen vektoriellen Messdaten.

4.5 Zusammenarbeit mit anderen Stellen

AP1 - Bei der Modellierung und anschließenden programmtechnischen Umsetzung der Beschreibung des Verhaltens von externen Prozessorbussystemen arbeitete Continental eng mit der Friedrich-Alexander-Universität Erlangen-Nürnberg zusammen. Es entstand ein reger Informationsaustausch, der zu zahlreichen Veröffentlichungen führte und über die Laufzeit von PARACHUTE hinausgeht. Wertvolle Anregungen und Diskussionen wurden in diesem Zusammenhang auch mit Infineon ausgetauscht.

AP3 - Die messtechnische Untersuchung des Einflusses metallischer Wände auf Filterstrukturen im HF-Bereich, die Modellierung, die Erarbeitung von Designrules und die Erstellung eines Simulationsprogramms erfolgte ebenfalls in enger Kooperation mit der Friedrich-Alexander-Universität Erlangen-Nürnberg. Der Kontakt zwischen der Universität und Continental wird auch hier intensiv weitergeführt.

AP6 - Das Thema Nahfeldscanner war von Anfang an als Gemeinschaftsprojekt von Infineon und Continental in enger Zusammenarbeit mit der Universität Paderborn, dem Fraunhofer Institut IZM und der Friedrich-Alexander-Universität Erlangen-Nürnberg geplant und auch durchgeführt worden.

4.6 Nutzen und Verwertbarkeit- CONTINENTAL

Durch Erreichen der Projektziele wird die Wettbewerbsfähigkeit weiter gesteigert, was derzeit eine der wenigen Möglichkeiten ist, die momentane Wirtschaftskrise zu überstehen und gestärkt daraus hervorzugehen. Der Markt für großvolumig motorisierte Fahrzeuge in den USA schrumpft rapide. Heimatliche OEMs sind nicht in der Lage, den Markt mit energieeffizienteren Varianten zu bedienen. Dies ist die Gelegenheit für die deutsche Automobilindustrie ihren Anteil am US-Markt zu erhöhen und so einen Teil des Wegbruchs der europäischen Nachfrage zu kompensieren. Für Conti als Lieferant z.B. von Steuergeräten für effiziente Automatik-Doppelkupplungsgetriebe, geht es momentan darum, bei OEMs wie VW, die das Potential für eine teilweise Marktübernahme besitzen, dabei zu sein.

Für unsere Kunden ist die Fähigkeit, die EMV-Anforderungen erfüllen zu können, ein Kriterium für die Projektvergabe geworden. Neben der kompetenten Ausführung der genormten Systemtests wird die Fähigkeit, physikalische Zusammenhänge auch für höhere Frequenzen ausreichend korrekt bewerten und darstellen zu können, verlangt. Dies fordert zwangsläufig verifizierte Modelle, die mit effektiven Methoden aus den komplexen Theorien extrahiert werden müssen.

In diesem Zusammenhang wird das von uns während Parachute in Anfängen umgesetzte, modellgetriebene Entwicklungskonzept von unseren Kunden begrüßt. Die mittels der Wiederverwendbarkeit der ganzheitlichen Modelle erzielte Reduktion der Entwicklungszeit wird für den neuen, innovativen Teil des jeweiligen Projektes verwendet. In die klare Struktur der Prozessschritte gliedern sich die Modul- und Systemtests zur Sicherstellung der EMV-Designqualität ein.

Alle Ergebnisse aus dem Förderprojekt Parachute werden direkt in den Entwicklungsprozess bei Conti-Temic in Nürnberg eingebunden und verbessern die Zuverlässigkeit aller entwickelten Produkte. Soweit umsetzbar, werden Teil-Ergebnisse in den Layout-Geometrietest eingebunden werden, wodurch projektübergreifend eine weitgehend automatische Einbindung von Entwurfsvorschriften gewährleistet werden kann.

Ein gutes Beispiel ist das Thema der impedanzkontrollierten Prozessorbusauslegung, welches im Arbeitspaket 1 bearbeitet wurde. Die Optimierung der Geometrien vor Layoutstart ermöglicht die robuste Ausführung von hochfrequent (> 60 MHz) getakteten Prozessorsystemen mit externen Speichern. Die Anpassung der Wellenwiderstände der Busleitungen an den Quellwiderstand der Bustreiber des Prozessors reduziert die Reflexionen und damit das *Ringing* auf den Kommunikationsleitungen. Dadurch wird der Signal-Störabstand erhöht und extern eingekoppelte Störleistungen stark bedämpft.

Außerdem ergibt sich eine deutlich verringerte Neigung, die Busenergie abzustrahlen. Wir beobachten, dass gerade innovative Ideen der Fahrzeughersteller vor allem in der Einführungsphase erheblich mehr Speicherplatz verlangen, als die Mikrocontroller intern zur Verfügung stellen. Damit ist die Fähigkeit, ein robustes, abstrahlarmes Bussystem bereitzustellen zu können, ein eindeutiger Wettbewerbsvorteil.

Hand in Hand geht die impedanzkontrollierte Prozessorauslegung mit der stromquellenartigen Energieversorgung von Mikrocontrollern. Dieses Konzept erlaubt quasi zum Nulltarif die Reduktion der Abstrahlung von Prozessoren mit und ohne externe Speicher um Faktoren. In den bisherigen Tests sind sowohl gehäuste Versionen auf Leiterplatte als auch Chips auf Keramik mit diesem System versorgt worden. Dabei konnten Abstrahlreduktionen von bis zu Faktor 60 erreicht werden. Durch den reziproken Charakter des Versorgungssystems erhöht sich gleichermaßen die Robustheit des Prozessorsystems gegenüber externen Störungen. Das Konzept lässt sich für Prozessoren jeglicher Hersteller einsetzen. Wir erwarten, dass es für Systeme mit Taktraten bis mindestens 300 MHz - 500 MHz einsetzbar ist. Für Taktraten, die darüber hinausgehen, müssen die auf dem Komponententräger realisierten Maßnahmen in das Gehäuse integriert werden. Werden Prozessorfamilien mit weit höheren Taktraten in der automobilen Industrie eingesetzt, müssen weitere intelligente Maßnahmen ergriffen werden. Auch davon wurde eine grobe Vorstellung während Parachute entwickelt.

Wir gehen davon aus, dass durch den flächendeckenden Einsatz der neuen Prozessorversorgung und der impedanzkontrollierten Ausführung von Bussystemen in allen Projekten das Thema EMV von Prozessorsystemen für die nächsten 3 - 5 Jahre gelöst ist. Dies setzt die notwendigen Ressourcen frei, um uns der nächsten Herausforderung, der Einführung elektromechanischer Elemente zu stellen. Elektromechanische Steller werden in Fahrzeugen eingesetzt, um statt über den Umweg hydraulischer Zwischenkreise gehen zu müssen, direkt die elektrische in mechanische Energie umzusetzen. Dies soll neben einer Steigerung der Energieeffizienz im Fahrzeug auch zu einer Kostenoptimierung führen. Dies bedeutet jedoch, dass die Eigenstörungen im Fahrzeug um den Faktor 100 bis 1000 steigen. Momentan befinden wir uns noch in den Anfängen der Analyse dieser neuen Situation, die unsere Wettbewerbsfähigkeit in den nächsten 3 - 5 Jahren bestimmen wird und darüber hinaus essentielle Grundlagen für das Geschäft mit den Elektrofahrzeugen legt. Dabei hilft uns jeder Manntag, der nicht durch laufende Projekte gebunden ist.

Die neue Filteranordnung, deren Modelle zur Auslegung die Layoutgeometrien mit einbeziehen, um Kopplungen zum Vorteil, d.h. zur Dämpfungserhöhung von 20 dB bis 45 dB im erweiterten Frequenzbereich von 4 GHz zu nutzen, werden die bisher genutzten Resonanzkreise mit einem Wirkungsbereich bis 1 GHz ablösen. Sie sind eine der Ursachen, warum Conti-Temic-Produkte laut Aussage von VW und Ford-Getrag einen robusteren Eindruck hinterlassen als andere. Dies ist jedoch nur ein Anwendungsbeispiel, welches als Standard in allen Projekten eingesetzt wird. Wir wollten mit dieser Arbeit herausfinden, ob sich die Filter im eingebauten Zustand im Fahrzeug anders verhalten als die berechnete und auf dem Labortisch verifizierte Charakteristik vermuten lässt.

Gerade im Frequenzbereich zwischen 1 GHz bis 4 GHz hat sich gezeigt, dass der Einbauort berücksichtigt werden muss. Je nach Filterart kann dies auch schon für Frequenzen im MHz Bereich gültig sein. Für diese Filter werden jetzt konstruktive Randbedingungen für deren Einsatz entwickelt, um deren Empfindlichkeit gegenüber der metallischen Umgebung zu reduzieren oder die Rückwirkung der Umgebung wird bei der Auslegung berücksichtigt. Die Teile, die das Layout betreffen werden wir nach Möglichkeit in den Layout-Geometrietest integrieren. Die ersten Resultate werden sofort nach Parachute in die produktive Entwicklung aktueller Produkte eingehen. Dies kann durch das Standard-EMV-Review vor Layoutstart und die damit verbundene Freigabeprozedur leicht garantiert werden. Die Berücksichtigung der Umgebung bei der Filterauslegung in allen Produkten wird Lücken in der Robustheit der Produkte schließen. Wir hoffen so das Bauchgefühl unserer Kunden weiterhin zu gewinnen, und ihren Anforderungen nicht nur gerecht zu werden, sondern trotz normbedingter EMV-Testunsicherheiten eine hohe Zuverlässigkeit im Feld zu erreichen.

Im Bereich der Analyse stehen uns z.Zt. nur lückenhafte Messmethoden zur Verfügung. Die auf Systemebene in der Automobilindustrie eingesetzte EMV-Normmessung berücksichtigt nicht ausreichend die Feldverteilung im Raum, wodurch eine qualitative Angabe der Messgenauigkeit unmöglich ist. Die aus der HF-Technik bekannten Messverfahren sind auf 50 Ω -Systeme optimiert. In den Projekten haben wir es meist mit Impedanzen nahe am Kurzschluss oder der Unendlichkeit zu tun. Differenzielle Messungen sind aufgrund der immer vorhandenen parasitären Gleichtaktpfade auf Frequenzen von derzeit etwa 400 MHz beschränkt. Für Strommessungen kann trotz DeEmbedding von parasitären Größen auf eine Bandbreite von nur 300 MHz geblickt werden. Weiterhin verfügen alle leitungsgebunden Messverfahren über keine Ortsinformation, d.h. es wird an Stellen gemessen, die der Messende für wichtig hält. Er kann aber nicht mit absoluter Sicherheit sagen, ob die Mess-Stelle tatsächlich einen dominanten Einfluss auf die zu untersuchende Charakteristik hat.

Die prinzipielle Lösung für die angesprochenen Themen wird der in Parachute entwickelte Nahfeldscanner bringen. Er wird im Endausbaustadium über eine Ortsauflösung bis hinunter zu 10 μm verfügen und die Messung aller Feldkomponenten an jedem Ort bis zu einer Frequenz von 6 GHz erlauben. Neben der Ortsinformation lassen sich aus diesen Rohmesswerten laut Vorhersage der Theorie durch verschiedene Methoden die Strom- und Spannungsverteilungen sowie daraus abgeleitete Charakteristika ermitteln. Dazu gehören sowohl differenzielle Spannungsmessungen, die für die Analyse von Suszeptibilitätsthemen unerlässlich sind, als auch differenzielle Strommessungen und deren Abbildung sowohl im Frequenz- als auch im Zeitbereich, was für die Analyse von Abstrahlmechanismen essentiell ist. Weiterhin können aus den Nah- auch Fernfelder berechnet werden, sowie die Feldverteilung im Raum oder an einer Empfangsantenne. Dies ermöglicht die Vorusberechnung der Ergebnisse in der EMV-Halle ebenso wie das Suchen nach Feldmaxima. Letzteres würde den Schwachpunkt der automotiven EMV-Normmessung ausgleichen, ohne dass wie in der Telekommunikation oder Konsumgüterindustrie messtechnisch nach den Maxima gesucht werden müsste.

Bevor wir jedoch das Potential dieser Messmethode ausschöpfen können, müssen die angesprochenen Auswerteverfahren noch genau untersucht und etabliert werden. Ebenso stehen noch leistungsfähige Sonden auf der Wunschliste.

In Parachute wurden die Grundlagen für die industrielle Anwendung der Nahfeldmessung gelegt. Dazu gehört ein Konzept, welches eine minimale Rückwirkung der Messumgebung auf die Messwerte und das Verhalten des Prüflings sicherstellt. Weiterhin werden schon jetzt die physikalisch notwendigen Voraussetzungen für die Anwendung der gewünschten Auswertungen durch die Konstruktion des Nahfeldscanners erfüllt. Mechanisch verfügt der Scanner über eine Genauigkeit im μm -Bereich. Es wurde ein Konzept entwickelt, das sicherstellt, dass die Position der Sonde auch mit dieser Genauigkeit bekannt ist. Ebenso ist eine Strategie zur Kollisionsvermeidung der Sonde mit Objekten des Prüflings realisiert worden.

Die Geschwindigkeit der Messdatenerfassung erlaubt dank eines gemischtem Frequenzbereichs-/Zeitverfahrens einen Prüflingsscan in ca. 1/10000 der Zeit der bisher kommerziell erhältlichen Scanner. Spezielle Datenkompressions- und ablageverfahren erlauben den Umgang mit riesigen Datenmengen bis in den TB-Bereich. Ein optischer Vorscan erlaubt das kollisionsfreie Scannen in einer Sondenhöhe von 50 μm über der Prüflingsoberfläche. Dadurch und durch ein spezielles Verfahren zum Herausrechnen der sondenverursachten Verzerrungen wird eine örtliche Auflösung von 10 μm erreichbar. Damit kann zum ersten Mal gesehen werden, welche Strukturen ein Signal einer bestimmten Frequenz und einer bestimmten Amplitude tragen. Momentan erhältliche Systeme lassen nur eine verschwommene *HotSpot*-Messung zu.

Das System wird am Ende von Parachute bei CONTINENTAL aufgebaut werden, um Erfahrungen mit der Messerfassung zu sammeln. Ziel ist es, die nächsten Schritte der Entwicklung des Scanners detailliert zu definieren, um die Weiterentwicklung des Scanners zielgerichtet vorantreiben zu können. Nach weitgehender Fertigstellung (in 2013 erwartet) wird er für alle Projekte zur Analyse auf Modulebene und zur Vorhersage der Ergebnisse der EMV-Normmessungen herangezogen werden. Da das System etwa 1/5 einer EMV-Halle kostet, mit deutlich weniger Bedienungsaufwand zu betreiben ist und deutlich mehr Informationen besserer Qualität erwartet werden, ist eine Ablösung der *EngineeringTests* in EMV-Hallen durch Nahfeldscans geplant.

Präsentationen auf Konferenzen haben schon beim jetzigen Entwicklungsstand eine rege Nachfrage hervorgerufen. Deshalb ist geplant, den Nahfeldscanner selbst als Produkt ab 2013 zu vermarkten. Damit ist dann auch die Tür für die Weiterentwicklung aufgestoßen. Ein entsprechendes Konzept unter stärkerer Einbindung von SME wie Magh & Boppard, die neben dem Fraunhofer ENAS und den Universitäten in Erlangen und Paderborn eingebunden sein werden, wird zu diesem Zeitpunkt vorliegen, um die Zukunft dieser Technologie zu sichern.

4.7 Veröffentlichung der Ergebnisse

- [4-1] T. Fischer, M. Albach, G. Schubert; *Accurate Impedance Characterization with a Vector Network Analyze*; VIIth International Symposium on Electromagnetic Compatibility and Electromagnetic Ecology, June 2007, St. Petersburg, Russia
- [4-2] T. Fischer, G. Schubert, M. Albach; *Characterization of Active Circuits up to 1 GHz with Respect to Estimation of EMC Behaviour*; 5th IASTED International Conference on Circuits, Signals and Systems; July 2007, Banff, Canada
- [4-3] T. Fischer, G. Schubert, M. Albach; *EMI of Active Front Ends Applied in the Automotive Industry, 18th International Zurich Symposium on Electromagnetic Compatibility*; Munich 2007
- [4-4] T. Fischer, G. Schubert, M. Albach; *Unified Filter Characterization and Measurement with Multiport Blocks*; International Conference on Electromagnetics, Advanced Applications (ICEAA 07), Torino, Italy
- [4-5] T. Fischer, S. Oberneder, G. Schubert, M. Albach; *Breitbandige Charakterisierung und Modellierung von EMV-Filtern im Automobilbereich*; Internationale Fachmesse und Kongress für Elektromagnetische Verträglichkeit, EMV 2008, März 2008, Düsseldorf, Deutschland
- [4-6] G. Schubert; *Abstrahlungsreduzierendes Anschlussschema von Prozessoren*; Internationale Fachmesse und Kongress für Elektromagnetische Verträglichkeit, EMV 2008, März 2008, Düsseldorf, Deutschland
- [4-8] M. Spang, M. Albach, G. Schubert; *Response of a Magnetic Loop Probe to the Current and Voltage on a Microstrip Line*; IEEE EMC Symposium, August 2008, Detroit, Michigan
- [4-9] A. Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of Major Challenges and Applications for Vector EMI Scanner System*; 19th edition of Wroclaw International Symposium and Exhibition on Electromagnetic Compatibility Wroclaw
- [4-10] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, W. John; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum; University Booth; Sophia Antipolis – France, 8.-9. October, 2008
- [4-11] Göran Schubert; *Radiation Reduktion of Microprocessors*; Workshop EMC of Automotive Components, EMC Zurich 2009, Switzerland, 12-16 January 2009
- [4-12] Thomas Fischer, Christian Kneuer, Manfred Albach, Goeran Schubert; *Mutual Inductance of Capacitor Low-Pass Filters*; EMC Zurich 2009, Switzerland, 12-16 January 2009

5. Anhang-3 – Ergebnisübersicht Infineon Technologies AG

Infineon Technologies AG (Kurzdarstellung) - Modellierung und Simulation von ICs bezüglich EMV (01M3169A)

Projektziel des PARACHUTE-Partners Infineon war die Modellierung, Simulation und messtechnische Korrelation der elektromagnetischen Verträglichkeit von integrierten Schaltungen, um die elektromagnetische Zuverlässigkeit (EMZ) von elektronischen Gesamtsystemen simulierbar zu machen und damit sicherzustellen.

Die EMZ ist gegeben, wenn elektronische Systeme einerseits möglichst geringe elektromagnetische Störungen in die Umgebung abgeben, andererseits aber auch nicht durch externe Störungen oder selbst erzeugte Störungen in seiner Funktion beeinträchtigt wird. Somit umfasst EMZ die elektromagnetische Störemission und Störfestigkeit sowie Puls- und ESD-Festigkeit.

Mangelnde EMZ von integrierten Schaltungen erhöht im Automobilmarkt für Halbleiterhersteller wie Infineon signifikant das Risiko, Designs zu verlieren oder keine neuen Designs zu gewinnen. Deshalb ist die Motivation, bereits während des IC-Entwurfsprozesses Aussagen über die zu erwartende EMZ von ICs zu erhalten, sehr groß. Dies kann jedoch nur über zuverlässige Simulationsmodelle erreicht werden und muss über geeignete Messverfahren an fertig produzierten ICs validierbar sein. Aus dieser Motivation hat sich die im Folgenden beschriebene Aufgabenstellung ergeben.

5.1 Aufgabenstellung – Infineon Technologies AG

Für Infineon waren folgende Marktentwicklungen in der Automobilelektronik ausschlaggebend für sein Engagement in PARACHUTE:

- Elektromagnetische Zuverlässigkeit wird zu einem zentralen Qualitätskriterium nicht nur für Smart-Power-ICs, sondern explizit auch für Microcontroller.
- Automotive-Microcontroller nutzen neue CMOS-Nano-Technologieknotten.
- Multimedia-Dienste halten Einzug in Fahrzeuge.

Aus diesen zentralen Trends hat Infineon folgende Trends für seine Automotive-ICs abgeleitet:

- Microcontroller für die Automobilelektronik zeigen wachsende Komplexität (System-on-Chip, > 500 Gehäuseanschlüsse), steigende Taktraten (>300MHz), kleinere Versorgungsspannungen (~ 1 V).
- Diese Trends bedingen höhere Störemissionen sowie sinkende Störfestigkeit der Microcontroller, und das bei strenger werdenden Emissionsgrenzwerten aufgrund zunehmender Belegung der Frequenzbänder mit Radio- und Fernsehdiensten.
- Elektromagnetische Zuverlässigkeit muss bereits während der IC-Entwurfsphase vorhersagbar sein, um teure Redesignzyklen zu vermeiden.

Um diesen Trends auch zukünftig mit geeigneten Produkten gewachsen zu sein und damit die gute Marktposition zu halten und gegebenenfalls zu verbessern, muss die elektromagnetische Zuverlässigkeit im IC-Entwurfsprozess verankert werden. PARACHUTE sollte mit folgenden Projektzielen dazu beitragen:

- Entwicklung wirksamer Schaltungskonzepte auf IC- und Leiterplattenebene zur Emissionsreduktion von Microcontrollern,
- Modellierung und Simulation der elektromagnetischen Störemission für hochkomplexe Microcontroller,
- Verständnis der Microcontroller-Störfestigkeit gegenüber Pulsen und elektromagnetischen Störern,
- Ansätze für die Störfestigkeitsmodellierung von Microcontrollern,
- Automatische Identifikation empfindlicher Transistoren in Smart-Power-ICs gegenüber elektrostatischer Entladung,
- Örtliche Identifikation von On-Chip-Emissionsquellen und Stör-Ausbreitungspfaden mithilfe schneller Messverfahren.

Die EMZ-Modellierungs- und -Simulationsansätze waren naturgemäß unterschiedlich zwischen Smart-Power-ICs und Microcontrollern. Smart-Power-ICs können aufgrund ihrer um ca. Faktor 100 kleineren Komplexität noch auf Transistorebene simuliert werden, während Microcontroller Verhaltensmodelle benötigen, die sich jedoch am Chip-Layout orientieren. Für Smart-Power-ICs wird aufgrund ihrer unmittelbaren Verbindungen mit Steuergeräte-Steckerpins höherer Wert auf gute Störfestigkeit gelegt – insbesondere gegenüber transienten Pulsen wie sie durch elektrostatische Entladungen (ESD) entstehen.

Die bisherigen EMZ-Erfahrungen mit Microcontrollern liegen schwerpunktmäßig auf Störemissionen; insofern war das Ziel in PARACHUTE die umfassende Modellierung der elektromagnetischen Störemission, während die Auswirkung von externen elektromagnetischen Störungen und Pulsen auf Microcontroller zunächst grundlegend untersucht werden mussten und ein Microcontroller-Störfestigkeitsmodell nur in Ansätzen erwartet wurde.

Natürlich dienen EMZ-Simulationen im Rahmen des IC-Entwurfsprozesses der Schaltungsoptimierung; daher sollten die in PARACHUTE entwickelten Simulationsmodelle zur Verifikation von EMZ-optimierten Schaltungskonzepten dienen.

Für EMZ-Untersuchungen am fertigen IC reichen auf Dauer die gängigen in IEC 61967 und 62132 spezifizierten Messverfahren nicht aus, da entweder die örtliche Verteilung der Störquellen oder der empfindlichen Schaltungsteile unbekannt bleibt oder das Scan-Messverfahren zwar eine örtliche Verteilung liefert, aber sehr lange dauert bzw. nur selektive Frequenzen betrachtet. Daher wurde in PARACHUTE an einem signifikant optimierten Nahfeldscan-Verfahren gearbeitet.

Die Tabelle 5-1 gibt eine Übersicht der Infineon-Beiträge in PARACHUTE, welche die genannten Themen abdecken.

Nummer	Thema	Arbeitspaket /Aufgabe	Beitrag	Unterauftragnehmer	Weitere Partner
1	Elektromagnetische Störemission (EME) von Microcontrollern				
1.1	Schaltungsmaßnahmen zur Reduzierung der EME	AP 1/A 1.1	B 1.1.2	---	Conti
1.2	Modellierung und Simulation der EME	AP 1/A 1.1	B 1.1.1	---	---
1.3	Validierung der EME-Reduktion durch Korrelation von Messung und Simulation	AP 1/A 1.1	B 1.1.1	---	---
2	Störfestigkeit von Microcontrollern und Smart-Power-ICs gegenüber Pulsen und elektromagnetischer Einstrahlung				
2.1	Identifikation typischer Puls-Einkoppelpfade und lokaler Störpulsformen an Microcontroller-Pins	AP 2/A 2.1	B 2.1.2	---	---
2.2	Modellierung und Simulation der elektromagnetischen Störfestigkeit von Microcontrollern	AP 2/A 2.1	B 2.1.2	---	---
2.3	Modellierung und Simulation kritischer Schaltungspfade bezüglich elektrostatischer Pulsentladung in Smart-Power-ICs	AP 2/A 2.1	B 2.1.3	FhG	---
3	Pilot-Implementierung der Modellierungs- und Simulationstools für Störemission und Störfestigkeit in den IC-Entwurfsprozess				
3.1	Microcontroller-Emissionsmodelle	AP 5/A 5.1	B 5.1.1	FhG/LUH	Zuken
3.2	Smart-Power-ICs	AP 2/A 2.1	B 2.1.3	FhG	---
4	Entwurf und Realisierung eines hochgenauen und schnellen Nahfeld-Scanners für IC-Messungen				
4.1	Scanner-Aufbau und –Software	AP 6/A 6.1	B 6.1.2	FhG	Conti
4.2	Miniaturisierte Nahfeldsonden für IC-Messungen	AP 6/A 6.1	B 6.1.2	FhG	Conti UPB

Tabelle 5-1: Die Aufgaben und Kooperationen des Projektpartners Infineon in PARACHUTE

Für die Simulation der Microcontroller-Störemissionen waren die Modellierung der dynamischen Schaltströme und die Extraktion der Kopplungspfade erforderlich. Diese Arbeiten wurden im Beitrag 5.1.1 bearbeitet. Dort fand auch die Integration dieser Modelle in ebenfalls neu entwickelte Software-Prototypen statt.

Weitere zur Emissionsmodell-Optimierung notwendige Arbeiten wurden im Beitrag 1.1.1 geleistet. Die zu standardisierenden IC-Emissionsmodelle (ICEM) mussten die in der Realität vorhandenen dynamischen Schwankungen ihrer eigenen Spannungsversorgung berücksichtigen (*rekursive Modelle*). Außerdem mussten die komplexen Simulationsnetzlisten durch *Model Order Reduction*-Verfahren (MOR, entwickelt im Beitrag 5.1.1 – gemeinsam mit UPB und LUH-TET) verkleinert und in ICEM-Modelle eingebunden werden.

Für die hardwaremäßige Designoptimierung bei signifikant reduzierter Störemission arbeitete Infineon im Beitrag 1.2.2 zusammen mit Continental an der Entwicklung störrarmer Spannungsversorgungssysteme und Speicherbuschnittstellen für Mikrocontroller.

Für die Simulation der Störfestigkeit von Mikrocontrollern in CMOS-Nanotechnologie sowie Automotive-Power-ASICs wurden die Modelle von extern eingespeisten Puls- und HF-Störungen und die Extraktion der Kopplungspfade sowie die Beschreibung des Transistor-Störverhaltens benötigt. Diese Arbeiten wurden in den Beiträgen 2.1.2 und 2.1.3 bearbeitet. Zur Korrelation der Simulationsergebnisse wurde die Störfestigkeit ortsabhängig nach dem DPI-Verfahren gemessen.

Die Hardware- und Software-Entwicklung für das Nahfeldscanner-System fand im Beitrag 6.1.2 statt. Dort wurden auch die hochauflösenden Feldsonden für Chip-Messungen entwickelt. Diese erfassen auf bis zu 10 µm örtlich aufgelöste E- und H-Nahfeldkomponenten der elektromagnetischen Emission von hochintegrierten ICs.

5.2 Voraussetzungen

Infineon bringt traditionell aufgrund seines langjährigen Engagements im Bereich Automobilelektronik und elektromagnetische Verträglichkeit sehr gute Voraussetzungen mit, um die in Abschnitt 1.1 geschilderten Herausforderungen mit großen Erfolgchancen anzugehen.

In früheren Projekten (MEDEA-A408 und MESDIE) konnte Infineon Erfahrungen bezüglich dynamischer Schaltströme auf Microcontroller-Chips sammeln. Ein wichtiges bereits in diesen Projekten erarbeitetes Ergebnis war das Knowhow von On-Chip-Abblockkonzepten und On-Chip-Sensoren für dynamische Spannungs- und Stromverläufe. Auf diese Weise standen Methoden zur quantitativen Beurteilung von Emissionsmodellen zur Verfügung. Infineon hat gemeinsam mit Projektpartnern in MESDIE (INSA, Atmel, Freescale, ST) und dem bayerischen Projekt MISEA (BMW, Siemens-VDO) die Standardisierung für IC-Emissionsmodelle vorangetrieben. Damit waren in PARACHUTE die Voraussetzungen für eine zielgerichtete Verfeinerung der Emissionsmodelle gegeben. Diese Verfeinerung bestand in der geschickten Partitionierung und Dimensionierung der generischen Modelle im Infineon-Modellierungstool EXPO sowie der vektorlosen Bestimmung von dynamischen Schaltstromprofilen im Infineon-Modellierungstool NEMO.

Infineon brachte ebenfalls viele Jahre Erfahrung mit der Auswirkung elektrostatischer Entladungen in Smart-Power-Chips ein. Dieses Wissen bildete die Basis für die Simulation kritischer Pfade und der Identifikation kritischer integrierter Bauelemente mit dem Infineon-Modellierungstool CLEX.

5.3 Planung und Ablauf des Teilvorhabens

Aufgrund der soliden fachlichen in Abschnitt 5.2 beschriebenen Voraussetzungen ging die Planung der Arbeiten sehr zielgerichtet vonstatten.

	Plattform	Störemission		Störfestigkeit		Messverfahren
		Design	Simulation	Design	Simulation	
Vor PARACHUTE	Microcontroller					
	Smart-Power-ICs					
Nach PARACHUTE	Microcontroller					
	Smart-Power-ICs					

Tabelle 5-2: Erfahrungs- und Wissensaufbau des Projektpartners Infineon in PARACHUTE

Wie in Tabelle 5-2 gezeigt, sollen die PARACHUTE-Projektergebnisse von Infineon sowohl seinen Microcontrollern als auch seinen Smart-Power-ICs zugute kommen. Dabei arbeitete Infineon gleichzeitig an der Design-Optimierung und an Modellierungs- und Simulationsmethoden sowie neuen Messverfahren. Tabelle 5-2 vergleicht Wissensstand und Nutzung vor PARACHUTE (Jahr 2005) und nach PARACHUTE (Jahre 2009/2010). Dabei bedeuten die Farben: (rot) = Knowhow / Umsetzung / Tools nicht oder nur marginal vorhanden; (gelb) = Knowhow / Umsetzung / Tools ist vorhanden, aber unvollständig; (grün) Knowhow / Umsetzung / Tools ist vollständig vorhanden und wird für Produkte genutzt; (grau) = kein Thema in PARACHUTE.

Wie man aus der Tabelle ableiten kann, gab es für Microcontroller zu Beginn von PARACHUTE einiges Wissen bezüglich Designoptimierung für Störemission; ausgereifte Simulationsmöglichkeiten gab es nicht; über Störfestigkeit war kein Wissen vorhanden. Es wurden Standardmessverfahren genutzt, die jedoch keinen Aufschluss über lokale Verteilung von Design-Schwachstellen gaben. Für Smart-Power-ICs gab es zu Beginn von PARACHUTE einiges Wissen bezüglich Designoptimierung für Störfestigkeit; Störemission und Messverfahren waren für Smart-Power-ICs nicht Gegenstand in PARACHUTE.

Die Planung der für die Zielerreichung notwendigen Arbeitspakete und Beiträge sowie Unteraufträge erfolgte in Absprache mit den Projektpartnern und Unterauftragnehmern. Für die Weiterentwicklung von Microcontroller-Designmaßnahmen und Messverfahren bot sich die Zusammenarbeit mit dem auf Steuergerätedesign spezialisierten Projektpartner Continental an, da hierfür auf beiden Seiten grundlegende Erfahrungen vorlagen und wir es für zielführend hielten, Konzepte zu erarbeiten, welche gleichzeitig eine Designoptimierung auf IC- und Steuergeräteebene erforderten. Begleitet wurde diese Design-Kooperation von der Zusammenarbeit für ein optimiertes Nahfeldscan-Messverfahren für geeignete örtliche Auflösungen sowohl in Chipdimensionen als auch in Leiterplattendimensionen.

Die Fraunhofer-Gesellschaft (FhG) hatte uns bereits in MESDIE bei der IC-Modellierung und der Scanner-Messtechnik unterstützt, sodass sich die Fortsetzung dieser Zusammenarbeit im Rahmen von Unteraufträgen anbot. Wie vor Projektbeginn mit dem Projektträger DLR besprochen, unterstützte uns die FhG gemeinsam mit den Universitäten Paderborn und Hannover, da das erforderliche Knowhow auf diese Institute verteilt war und die Mitarbeiter entsprechende Arbeitsverträge hatten.

Klare Projektziele von Infineon waren:

- Beherrschung von Designoptimierung und Simulation der Störemission von Microcontrollern,
- Beherrschung von Designoptimierung und Simulation der Störfestigkeit von Smart-Power-ICs,
- Verfügbarkeit eines schnellen und genauen Nahfeldscanners für ICs.

Der Ablauf des Projekts gestaltete sich geradlinig. Lediglich im Themenkomplex *Modellierung und Simulation der Störemission von Microcontrollern* konnte ein Meilenstein nicht erfüllt werden, da das eingesetzte kommerzielle EDA-Tool die Erwartungen an Chip-Layout-basierte Modellierung nicht erfüllte. Somit konnten zwar die Projektziele bezüglich der Verfügbarkeit von Microcontroller-Blackbox-Modellen für die Simulation der Störemission erfüllt werden; die layout-basierte Simulation war jedoch bis Projektende noch nicht validiert, da der Umstieg auf einen anderen EDA-Anbieter viel Zeit gekostet hat.

Die Zusammenarbeit mit den anderen Projektpartnern – insbesondere Continental – und den Unterauftragnehmern gestaltete sich sehr fruchtbar und problemlos, da der konstruktive Dialog in Form von Telefonkonferenzen und Projekttreffen jederzeit funktionierte. Zum weiterführenden technischen Austausch gab es mehrere Workshops der Projektpartner im Gesamtkontext. Die Projektziele wurden fristgerecht im Rahmen der Projektlaufzeit erreicht.

5.4 Wissenschaftlicher und technischer Stand - Zusammenfassung

Wie bereits oben dargelegt, wurden folgende Projektziele in PARACHUTE angepeilt:

- (1) Umfangreiches Wissen über Designmaßnahmen für Microcontroller zur signifikanten Reduzierung der Störemission.
- (2) Verfügbarkeit von Microcontroller-Modellen zur Simulation der Störemission mit dem Zweck der IC-Designoptimierung (ausführliche, layout-basierte Modelle für die IC-Designoptimierung sowie verhaltensgesteuerte Blackbox-Modelle für die Leiterplatten-Designoptimierung).
- (3) Systematisches Verständnis der Störfestigkeit von Microcontrollern (basierend auf Koppelmechanismen externer Störungen und Ausfallmechanismen typischer Funktionsblöcke).
- (4) Verfügbarkeit eines grundlegenden Simulationsmodells für die Vorhersage von empfindlichen Frequenzbereichen bezüglich Störempfindlichkeit von Microcontrollern.
- (5) Umfangreiches Wissen über Designschwachstellen von Smart-Power-ICs zur signifikanten Erhöhung der Festigkeit gegenüber elektrostatischen Entladungen.
- (6) Verfügbarkeit von Smart-Power-IC-Modellen zur Simulation der elektrostatischen Entladungen in Smart-Power-ICs und Identifikation diesbezüglicher Design-Schwachstellen.
- (7) Verfügbarkeit eines Nahfeldscanners mit hoher Ortsauflösung durch entsprechende Feldsonden, die für IC-Strukturen im Mikrometerbereich geeignet sind.

Nach PARACHUTE-Abschluss sind alle diese Projektziele – bis auf die Verfügbarkeit der layout-basierten Microcontroller-Emissionsmodelle für eine EMZ-Fertigungsfreigabe – erfüllt. Damit hat PARACHUTE für Infineon einen wertvollen Beitrag zu einem signifikant gestiegenen Stand der Technik bezüglich Störemission und Störfestigkeit von ICs für die Automobilelektronik geleistet. Trotz dieser Projekterfolge bleiben weitere Herausforderungen für die elektromagnetische Zuverlässigkeit von Elektronikkomponenten in Fahrzeugen bestehen. Manche dieser Herausforderungen sind erst im Laufe der PARACHUTE-Arbeiten zutage getreten:

- Berücksichtigung von Substrat-Koppelmechanismen für die genauere Simulation der Störemission von hochkomplexen ICs.
- Verfügbarkeit von vollständig layout-basierten Emissionsmodellen für Microcontroller.
- Verfügbarkeit von vollständig layout-basierten Störfestigkeitsmodellen für Microcontroller.
- Berücksichtigung mehrerer Designebenen elektronischer Steuergeräte (IC, Leiterplatte, Kabelbaum) in der Emissions- und Störfestigkeits/ESD-Modellierung.

Speziell die eingangs erwähnte Nutzung neuer Technologieknoten wird der Bearbeitung der Störfestigkeitsproblematik eine sehr hohe Priorität bescheren, weil der Signal-Rauschabstand signifikant abnimmt, die EMZ-Anforderungen der Automobilindustrie jedoch gleich bleiben oder sogar verschärft werden.

Neben der technischen Ausentwicklung der Emissionsmodelle und Berücksichtigung des Einflusses mehrerer Systemebenen wird also die Erarbeitung zuverlässiger Störfestigkeitsmodelle eine zentrale Rolle bei den weiteren Arbeiten für gute elektromagnetische Zuverlässigkeit spielen.

Ebenso wird die Überwindung unterschiedlicher Emissionsmessmethoden auf IC- und Systemebene weitere Optimierungen des Nahfeldscan-Verfahrens erfordern. So ist beispielsweise die Berechnung von Fernfeldern in beliebigen Raumpunkten aus den Nahfelddaten erforderlich, um Ergebnisse von Antennenmessungen vorherzusagen.

Da der weitaus größte Anteil für die Bearbeitung dieser Themen im Bereich Forschung und Vorfeldentwicklung liegt, bleibt zu hoffen, dass die gute Kooperation der Industriepartner und universitären Unterauftragnehmer im Rahmen neuer Fördervorhaben erfolgreich weiter geführt werden kann.

5.5 Zusammenarbeit mit anderen Stellen

Da in PARACHUTE nur Zuken als EDA-Partner vertreten war, der die Belange der Chip-Modellierung nicht abdecken kann, hat Infineon in der PARACHUTE-Projektlaufzeit eng mit drei auf IC-Design bzw. IC-Modellierung spezialisierten EDA-Firmen zusammengearbeitet:

- Cadence unterstützte bei der Integration des CLEX-Simulators für die Identifikation kritischer On-Chip-Bauelemente bezüglich elektrostatischer Entladungen.
- Sigrity unterstützte bei der layout-basierten Modellierung von Microcontroller-Chips; aufgrund fehlender automatischer Stromprofil-Generatoren wurde dieses Ziel leider nicht erreicht.
- Apache unterstützte gegen Projektende bei der layout-basierten Modellierung von Microcontroller-Chips und bietet insbesondere die layoutgestützte Generierung von Stromprofilen.

Eine besondere Konstellation der Universität Paderborn als Projektpartner und der Fraunhofer-Gesellschaft als Unterauftragnehmer führte zu einer direkten Zusammenarbeit mit der Leibniz-Universität Hannover, die Infineon insbesondere bei der Adaption und erfolgreichen Nutzung von Model Order Reduction-Algorithmen zur Emissionsnetzlistenvereinfachung unterstützte.

Bei der Nutzung des Infineon-eigenen Modellierungstools NEMO für Schaltstromprofile, das auch für die schnelle Validierung von Schaltungsoptimierungen für die Emissionsreduktion eingesetzt wurde, arbeitete Infineon mit den Partnern BMW, Siemens-VDO und SimLab im Projekt MISEA der Bayerischen Forschungsstiftung zusammen, in dessen Rahmen die Grundversion des NEMO-Tools entstand. Einige NEMO-Funktionalitäten wie die separate Betrachtung des Taktbaums wurden dann im Rahmen von PARACHUTE ergänzt.

5.6 Nutzen und Verwertbarkeit – Infineon Technologies AG

Erfreulicherweise profitieren von den in Abschnitt 2 des Abschlussberichts ausführlich beschriebenen Projektergebnissen alle integrierten Schaltungen von Infineon, und zwar primär diejenigen für den Automobilbereich, da hier gute elektromagnetische Zuverlässigkeit (EMZ) explizit von den Kunden gefordert wird. Prinzipiell stehen die Ergebnisse jedoch allen IC-Segmenten in Infineon zur Verfügung (Automotive, Industrial, Chipcard, Communications), sodass Infineon gut gerüstet für verschärfte Marktanforderungen bezüglich EMZ ist.

Sämtliche Projektergebnisse bezüglich Designoptimierung und EMZ-Modellierung wurden an Hardware-Demonstratoren durch Messungen mit On-Chip-Sensoren und Messungen auf Standard-EMV-Testboards validiert. Damit wurde die Tauglichkeit der Modellierungs- und Simulationswerkzeuge für den produktiven Einsatz nachgewiesen.

Die Design-Empfehlungen für die EMZ-Optimierung von ICs wurden in komplett neu überarbeiteten IC-Design-Guidelines verankert, innerhalb des Infineon-Konzerns veröffentlicht und werden Infineon-weit von IC-Entwicklern genutzt. Die Infineon-eigenen Tools NEMO und EXPO werden zurzeit an den nächsten Technologieknoten 90nm angepasst und stehen dann für Derivate der aktuellen Microcontrollergeneration zur Verfügung.

Das Infineon-eigene Tool CLEX hat das Potenzial zur Vermarktung, wird jedoch diesbezüglich zurückgehalten, um vom zeitlichen Wettbewerbsvorteil für das ESD-robuste Design von Smart-Power-IC zu profitieren.

Mit dem Fußpunkt-Immunitätsmodell hat Infineon ein Werkzeug erarbeitet, das eine solide Basis für die Ausentwicklung zum vollständigen DPI (Direct Power Injection) Störfestigkeits-Modell darstellt. Insofern wird es für weitere Studien entsprechend verwertet.

PARACHUTE hat maßgeblich dazu beigetragen, dass Infineon in weiteren Diskussionen um die Gestaltung und Optimierung von EMZ-Simulationsprogrammen für ICs mit kommerziellen EDA-Herstellern eine extrem große Expertise vorzuweisen hat, die bereits Anfang 2009 zu einem Kooperationsangebot geführt hat, das Infineon ein großes Mitspracherecht an der Gestaltung künftiger EMZ-Modellierungs- und Simulationstools einräumt.

Der Nahfeldscanner bietet für zukünftige IC-Analysen ein großes Potenzial zusätzlicher Erkenntnisse durch seine sehr feine Ortsauflösung. Aufgrund seiner Datenerfassung im Zeitbereich wird die Messung schnell; außerdem bestehen fast beliebige Möglichkeiten zur Datenauswertung, da sowohl zeitlicher Verlauf als auch Frequenzanteile und örtliche Position in der Datenbasis enthalten sind.

5.7 Fortschritt bei anderen Stellen

Während der Projektlaufzeit von PARACHUTE hat Infineon die Konkurrenzsituation auf dem Gebiet der elektromagnetischen Zuverlässigkeit (EMZ) weltweit beobachtet. Speziell die EMZ auf IC-Ebene ist Hauptthema der alle zwei Jahre stattfindenden Konferenz „EMC Compo“. Hier sind bei anderen europäischen Microcontrollerherstellern ähnliche Aktivitäten auf dem Gebiet der EMZ-Modellierung zu beobachten. Infineon scheint jedoch nach den Aussagen internationaler EDA-Hersteller führend auf der methodischen Adressierung der EMZ-Simulation zu sein. So treibt Infineon beispielsweise den EDA-Hersteller Apache, der einen internationalen Kundenstamm vorweisen kann, maßgeblich in Richtung umfassender Emissionsmodelle und methodischer Ansätze für Störfestigkeitsmodelle. Auf dem Gebiet ESD-Simulation von Smart-Power ICs scheint Infineon mit seinem Tool CLEX und dessen Integration in die Cadence-Designumgebung weltweit führend zu sein. Halbleiterhersteller in USA und Japan setzen vermehrt Simulationstools für Power Integrity ein; sie schlagen jedoch noch nicht den Bogen zu einem umfassenden IC-EMZ-Modell, wie es von Infineon getrieben wird.

Somit lässt sich feststellen, dass Infineon auf dem Gebiet der EMZ-Simulation weltweit führend ist, dieser Vorsprung jedoch nicht von langer Dauer ist, wenn die Modelle nicht simultan zu neuen technologischen Herausforderungen gepflegt werden. Hier ist insbesondere die Notwendigkeit für Microcontroller-Störfestigkeitsmodelle zu erwähnen und deren zweckmäßiger methodischer Aufbau. Ebenso kann sich Infineon weiterhin von der Konkurrenz abheben, wenn die Abhängigkeiten zwischen IC-Design und Leiterplatten-Design in die EMZ-Modelle eingepflegt werden. Dies erfordert jedoch weiterführende Studien, die Infineon nur gemeinsam mit Systempartnern wie Bosch und Continental und mit universitärer Unterstützung leisten kann – idealerweise im Rahmen weiterer Verbundprojekte.

Im Bereich Immunitätsmodelle für Microcontroller ist die Infineon Technologies AG mit dem Fußpunktmodell weltweit führend. Hier fokussieren andere Unternehmen und Institute immer noch auf sehr komplexe Modelle, die jedoch entsprechend bekannter Veröffentlichungen nicht die dominierende Sensitivität der analogen Takterzeugung berücksichtigen.

Der PARACHUTE-Nahfeldscanner ist bezüglich seines Aufbaus mit fixer Sonde und bewegtem Objektträger sowie seiner Datenerfassung im Zeitbereich und des hochauflösenden Konturscans weltweit einzigartig. Kommerzielle Scanner arbeiten nach der konventionellen Methode mit bewegten Sonden, Messwertaufnahme im Frequenzbereich und fehlendem Konturscan; teilweise können Oberflächenmodelle eingelesen werden, aber die Oberfläche des Messobjekts kann nicht aktuell abgetastet werden.

5.8 Zukunftsperspektiven

Zusammenfassend kann gesagt werden, dass PARACHUTE Infineon auf mehreren Gebieten der elektromagnetischen Zuverlässigkeit ein erhebliches Stück vorangebracht hat. Der Vorsprung auf die weltweite Konkurrenz bezüglich Emissions-, Immunitäts- und ESD-Modellierung und Simulation konnte solide ausgebaut werden. Gleiches gilt für den PARACHUTE-Nahfeldscanner.

Da die Konkurrenz aber nicht schläft und seitens PARACHUTE auch diverse Veröffentlichungen gemacht wurden, bleiben unsere Aktivitäten nicht unbeobachtet. Konkurrenten werden also sicher nicht untätig bleiben. Auf unseren Lorbeeren auszuruhen wäre nicht der richtige Weg. Neue Chip-Technologien und Fahrzeugtechnologien, mit denen in den nächsten Jahren zu rechnen ist, stellen unsere EMZ-Experten vor neue Herausforderungen. Es ist also angesagt, die über MESDIE und PARACHUTE entstandene exzellente Partnerkooperation zwischen IC-Herstellern, Systemherstellern und EDA-Herstellern weiterhin zu pflegen und für die Weiterentwicklung der in PARACHUTE erreichten Ergebnisse zu nutzen. Wir wagen allerdings zu bezweifeln, dass dies ohne künftige staatliche Förderungen funktionieren wird. Mit dem Fördervorhaben „GoldenGates“ unternimmt ein wesentlicher Teil des PARACHUTE-Konsortiums den Versuch, die technischen EMZ-Herausforderungen, wie sie aus der Produkt-Roadmap der Automobilindustrie abgeleitet werden können, rechtzeitig mit notwendigen Forschungs- und Vorentwicklungsarbeiten zu adressieren. Der Automobilelektronikmarkt wird verstärkt kostengetrieben sein, muss sich aber den Anforderungen bezüglich Energieeffizienz, Sicherheit und der Nutzung erneuerbarer Energien unterwerfen. Daraus folgt, dass leistungsfähige Elektronik mit minimalen Kosten eine hohe elektromagnetische Zuverlässigkeit gewährleisten muss. Die Partner sind sich darin einig, dass dies nur mit zuverlässigen EMZ-Simulationsmodellen über die Systemebenen (IC, Steuergerät, Fahrzeug) hinweg erreichbar ist. Schwerpunkt wird die Störfestigkeit von Steuergeräten und der darin befindlichen ICs sein, die kostengünstig, d.h. unter Verzicht auf teure Abschirmmaßnahmen realisiert werden muss. Selbst mit der bereits von einigen Automobilherstellern angekündigten Marktreife von leistungsfähigen Elektroautos in der zweiten Dekadenhälfte 2010 bleiben seitens der EMZ-Experten erhebliche Zweifel bezüglich der elektromagnetischen Zuverlässigkeit dieser Fahrzeuge, zumal zu diesem Zeitpunkt mindestens 65nm-ICs eingesetzt werden.

Es drängt sich der Verdacht auf, dass die Fahrzeughersteller blindes Vertrauen in die Künste der Schwarzen Magie ihrer Zulieferer haben, die schon für eine gute elektromagnetische Zuverlässigkeit sorgen werden. Wir meinen, dass dies sehr blauäugig ist und die deutsche Automobilindustrie Gefahr läuft, mit großem Markteinführungsgetrommel kläglich zu versagen. Letztendlich besteht die Gefahr darin, mangels geeignetem Analogdesign-Expertenwissen umfangreiche und damit teure redundante Logik einsetzen zu müssen, um die Funktionilität des Gesamtsystems trotz unvermeidlicher Funktionsausfälle einzelner Komponenten sicherzustellen. Das kann unseres Erachtens nicht der richtige Weg sein, um weltweit die Marktführerschaft durch zuverlässige und gleichzeitig kostengünstige Elektroniksysteme zu übernehmen.

Wir haben in Deutschland jetzt noch die Chance, aufbauend auf den PARACHUTE-Ergebnissen und der Kenntnis der EMZ-Lücken, die für die nächste und übernächste Fahrzeuggeneration zu schließen sind, gemeinsam mit Vertretern aller Glieder der Automobil-Wertschöpfungskette in GoldenGates die erforderlichen Vorarbeiten für diese Marktführerschaft zu leisten.

5.9 Veröffentlichung der Ergebnisse

Während der Projektlaufzeit von PARACHUTE hat Infineon in seiner Rolle als Projektpartner seine Projektergebnisse kontinuierlich veröffentlicht. Als Plattform dienen folgende internationale Konferenzen:

- MEDEA+ DAC, Grenoble, Mai 2007
- IEEE EMC Symposium, Honolulu, Juli 2007
- EMC Zurich Conference, München, September 2007
- EMC Compo Conference, Turin, November 2007
- EDA Workshop, Hannover, Mai 2008
- MEDEA+ DAC, Leuven, Mai 2008
- EMC Asia Pacific Conference, Singapur, Mai 2008
- EMC Symposium, Wroclaw, Juni 2008
- SAME 2008 Forum, Sophia Antipolis, Oktober 2008
- EMC Zurich Conference, Zürich, Januar 2009.

Zusätzlich hat Infineon in seiner Rolle als PARACHUTE-Projekt Koordinator mehrere PARACHUTE-Workshops veranstaltet:

- Joint Workshop mit MEDEA+ Partnerprojekt ROBIN, Paris, Juni 2007
- Konferenz EMC Zurich, München, September 2007
- Konferenz EMC Zurich, Zürich, Januar 2009.

Es wurden auch einige Artikel in Zeitschriften veröffentlicht:

- Handelsblatt, April 2007
- EDA Newsletter, November 2007
- EE Times Europe, October 2008
- EDA Newsletter, Juli 2009

Detaillierte Liste der PARACHUTE-Veröffentlichungen mit Beteiligung der Infineon Technologies AG:

- [4-1] T. Steinecke; *Electromagnetic Reliability of Integrated Circuits for Automotive Applications*; MEDEA+ Design Automation Conference, 22 – 24 May 2007, Grenoble, France.
- [4-2] T. Steinecke; *Emission Models for Integrated Circuits*; Presentation on PARACHUTE/ROBIN Workshop, Paris, 12.06.2007.
- [4-3] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner; *High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board*; IEEE International Symposium on Electromagnetic Compatibility; Honolulu, Hawaii, USA, 09. – 13. July 2007
- [4-4] T. Su, M. Unger, T. Steinecke; *New Test Method for the Pulse Immunity of Microcontrollers*; IEEE International Symposium on Electromagnetic Compatibility; Honolulu, Hawaii, USA, 9. – 13. July 2007
- [4-5] T. Steinecke; *High-Accuracy IC Emission Models (ICEM) for Complex Microcontrollers*; 18th International Zurich Symposium on EMC, 24. - 28. 09. 2007, Munich, Germany.
- [4-6] T. Steinecke; *Chip-Level EMC*; 18th International Zurich Symposium on EMC, 24. - 28. 09. 2007, Munich, Germany.
- [4-7] T. Su, M. Unger, T. Steinecke, R. Weigel; *New Test Method for the Pulse Immunity of Microcontrollers*; 18th International Zurich Symposium on EMC, 24. - 28. 09. 2007, Munich, Germany
- [4-8] A. Gstoettner, M. Huemer; *Estimation of Current Profiles for Large Digital VLSI Modules in Early Design Phases*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy.
- [4-9] T. Steinecke, M. Goekcen, D. Hesidenz, A. Gstoettner; *High-Accuracy Emission Simulation Models for VLSI Chips including Package and Printed Circuit Board*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy.
- [4-10] T. Su, M. Unger, T. Steinecke, R. Weigel; *New Test Method for the Pulse Immunity of Microcontrollers*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy

- [4-11] T.Steinecke, W.John; *Parasitic Extraction and Optimization for Efficient Microelectronic System Design and Application (PARACHUTE)*; EDA workshop, Hannover, May 2008.
- [4-12] W.John, T.Steinecke; *Electromagnetic Reliability of Systems*; MEDEA DAC, Session 7, Leuven, Session 7, 26th – 28th May 2008.
- [4-13] H. Morgenstern, G.Groos, W.Simbürger; *Verification Strategy of Mixed-Signal ICs Regarding High Power Pulse Stress*; MEDEA DAC, Leuven, Session 7, 26th – 28th May 2008.
- [4-14] T.Steinecke, D.Hesidenz; *VLSI IC Emission Models for System Simulation*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility; 19th International Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008.
- [4-15] T. Su, M. Unger, T. Steinecke, R. Weigel; *Dynamic, Nonlinear and Passive Immunity Model of Microcontroller for Time Domain Simulation*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, 19th Intern. Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008.
- [4-16] D. Hesidenz, J. Kruppa; *Distributed RC On-Chip Decoupling*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, 19th International Zurich Symposium on Electromagnetic Compatibility – Asia-Pacific EMC Week, Singapore, May 2008.
- [4-17] A. Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of major Challenges and Applications for Vector EMI Scanner System*; EMC 2008 - 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility; Wroclaw; 11. –13. June, 2008.
- [4-18] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, W. John, C. Hedayat; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum; University Booth; Sophia Antipolis – France, 8.-9. October, 2008
- [4-19] T. Steinecke; *EMC Design, Optimization, PARACHUTE Workshop – Modeling and Simulation of Automotive Components*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland
- [4-20] T. Su, M. Unger, T. Steinecke, R. Weigel; *Electromagnetic Immunity of Microcontrollers*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland
- [4-21] J. Kruppa; *Model Size and Simulation Options – Influence on Simulation Results*; 20th International Zurich Symposium on EMC, 13. - 15. 01. 2009, Zurich, Switzerland

6. Anhang-4 – Ergebnisübersicht ZUKEN GmbH

ZUKEN (Kurzdarstellung) - EDA-Implementierung zur Beurteilung der elektromagnetischen Zuverlässigkeit (01M 3169 D)

Zuken ist ein weltweit operierendes Unternehmen der EDA-Industrie mit Hauptsitz in Yokohama/Japan und mit einem Gesamtumsatz von über 150 Mio. US \$. Das Unternehmen beschäftigt weltweit ca. 1100 Mitarbeiter und verfügt über Entwicklungsstandorte in Asien Yokohama/Japan (Hauptsitz) und Seoul/Korea und Europa (Paderborn, München und Ulm, Deutschland sowie Bristol (UK)). Die R&D Investitionen belaufen sich auf rund 25 Prozent des Umsatzes. Zuken beschäftigt sich in Deutschland unter anderem mit der Entwicklung von Werkzeugen für den Entwurf von elektronischen Baugruppen (High Density Design) und die entwurfsbegleitende Simulation hinsichtlich verschiedener Störeffekte (Signalintegrität, EMV, Versorgungssystem-Noise). Dazu gehören im einzelnen Werkzeugmodule für das Layout, für die Analyse der Signalintegrität, die Simulation der EMV und das Einbinden von EMV-Regeln in den Entwurf elektronischer Systeme (HDP/HDI/MCM/PCB). Ein wesentliches Ziel von Zuken besteht darin, auch in den nächsten Jahren Entwurfswerkzeuge anbieten zu können, die den technischen Herausforderungen der Entwurfsprojekte der Zuken-Kunden gerecht werden.

Die im Verbundvorhaben PARACHUTE bearbeiteten Themenstellungen sind vom *Zuken EMC Technology Center* am Entwicklungsstandort in Paderborn durchgeführt worden. In dieser aus ca. 20 Mitarbeitern bestehenden Entwicklungsabteilung existiert eine mehr als 20-jährige Erfahrung in der Entwicklung von Werkzeugen für die Analyse der Signalintegrität und des EMV-Verhaltens schneller, komplexer elektronischer Baugruppen. Das Zuken EMC-Technology-Center brachte seine fundierten Erfahrungen im Bereich der Modellierung elektronischer Komponenten und Systeme, sowie der Signal-Integritäts- und EMV-Analyse in der Vergangenheit auch in zahlreiche andere nationale und internationale Verbundvorhaben ein.

Zuken beschäftigt sich seit einigen Jahren mit der Integration von neuen Verfahren zur Störungsanalyse in ein Engineering und Prototyping-Werkzeug zum Elektronikentwurf, um damit auch Systemaspekte abbilden zu können. Dabei werden sogenannte *Entwurfs-Constraints* (unter anderem auch Signal-Integritäts- und EMV-Aspekte) im Designprozess berücksichtigt. Hier wurden unter anderem verschiedene Simulationsalgorithmen in Bezug auf die Rechenzeit optimiert bzw. neue, an das Vorgehen menschlicher Experten angelehnte Verfahren zur Abwägung unterschiedlicher Designvorgaben (der oben erwähnten Constraints) entwickelt und in ein völlig neuartiges Benutzeroberflächen-Konzept integriert. Auf der Basis der hierbei gewonnenen Erfahrungen sollen im Rahmen dieses Vorhabens neue Methoden zur effektiven Behandlung von neuen Constraints sowie von Signal-Integrity- und EMV-Problemen auf Elektronik-Systemen und zum effizienten EMV-gerechten Entwurf von Power-Ground Systemen entwickelt werden. Dabei kommt auch die Erfahrung von Zuken in der Anwendung von numerischen Simulationen auf der Basis der Berechnung elektromagnetischer Felder zur Verifikation der neuen Simulationsverfahren zum Tragen.

Zuken hat im PARACHUTE-Projekt auch die Teilprojektleitung des Workpackage 5 (EDA Implementierung) wahrgenommen.

6.1 Aufgabenstellung – Zuken GmbH

Die Optimierung des EMV-Verhaltens moderner Digitalelektronik führt immer häufiger zu Konflikten. Die immer schnelleren Schaltvorgänge erzeugen durch die größere Bandbreite der Signale stärkere elektromagnetische Störstrahlung. Die Störstrahlung elektronischer Geräte muss dabei neben den Grenzwerten der Federal Communications Commission (FCC) häufig auch anwendungsspezifischen Regulierungen (z.B. Automotive) entsprechen. Um diese Störstrahlung möglichst gering zu halten, ist ein sorgfältiges Layout der Bauteileanordnung erforderlich. Es ist jedoch unmöglich, sämtliche elektromagnetischen Felder auf der Systemebene zu vermeiden. Design-to-Noise-Margin ist beim Entwurf moderner komplexer High-Speed PCB Strukturen eine inzwischen anerkannte Technik, um die verschiedenen elektrischen und physikalischen Kenngrößen und die sich daraus ableitenden Einschränkungen im Entwurf (Design Constraints) im Entwurfsprozess zu berücksichtigen. Diese Techniken werden im Hinblick eines Top-Down System- und Modulentwurfs zunehmend an Bedeutung bis hin zum IC- und IC-Gehäuseentwurf gewinnen.

Bei traditionellen Design-Verfahren ist die Funktionsprüfung eines Systems (oder Subsystems/Moduls) erst nach der Fertigung eines Prototypen möglich. In der Praxis bedeutet dies, dass häufig Re-Designs durchgeführt werden müssen, was die Entwicklungskosten zwangsläufig in die Höhe treibt. Würden sich die Entwickler im Vorfeld bereits zu layout-begleitenden Maßnahmen entschließen, könnten sie auf diese Weise bereits Fehler entdecken und beheben, bevor ein System fertig gestellt ist.

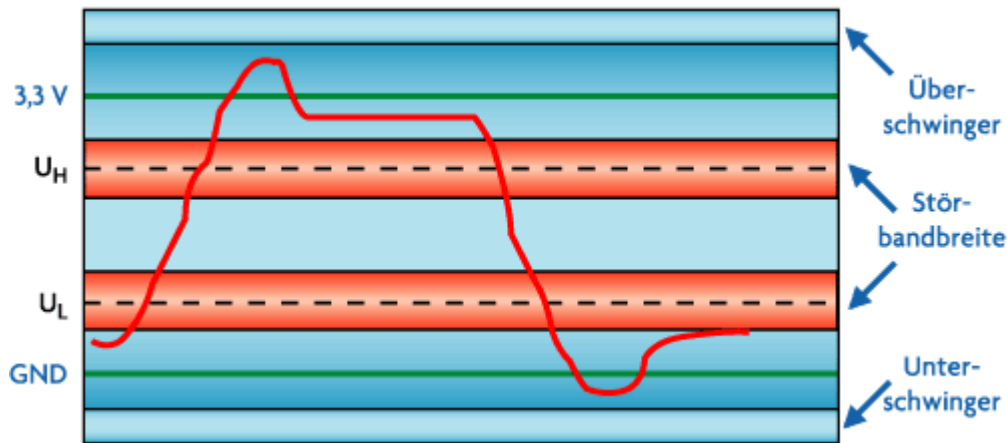


Bild 6-1: Typische beim Entwurf zu beachtende EMV relevante Noise Margins

Ein Design-to-Noise-Margin lässt sich nur dann effektiv realisieren, wenn die Randbedingungen bekannt sind. Entsprechende Planungen sollten stets mit der Wahl geeigneter Materialien und grundlegender Design-Parameter (Versorgungsstrukturen) erfolgen. Eine Trennung in Funktionsgruppen bereits in frühen Entwurfsphasen erleichtert dabei eine Zuordnung dieser Strukturen zu Design-Vorgaben in Entwurf und Analyse, um ein hohes Design-to-Noise-Margin zu erreichen.

Das elektrische Verhalten elektronischer Systeme wird immer noch im Wesentlichen durch die Geometrien der verbindenden Strukturen (Interconnects) bestimmt. Zusammen mit den Materialeigenschaften der leitenden und der umgebenden Medien ist eine Berechnung der elektrischen Parameter bereits im Vorfeld des Entwurfs möglich. Soll bei vorgegebenen Abmessungen ein bestimmtes Verhalten erreicht werden (Einhalten eines Noise-Margins), so bietet sich mit der automatischen Variation verschiedener Parameter im Entwurfsprozess die Möglichkeit, den geforderten Wert zu erreichen. Alternativ können verschiedene Design-Parameter zueinander verändert werden.

Der Abstand der Interconnects zum Power-Ground-System bestimmt zusammen mit deren geometrischen Abmessungen (Breite, Höhe) und den Charakteristiken des ICs (fließende Ströme) deren Störverhalten.

Im Bereich der EMZ-Simulation von elektronischen Systemen (wie zum Beispiel Automobil-Steuergeräte) liegt der Schwerpunkt bisheriger Arbeiten im wesentlichen auf der Berücksichtigung der Leitungsstrukturen (Verhalten als Wellenleiter) auf dem HDI System, des IC-Verhaltens und der Modellierung parasitärer Einflüsse z.B. von Durchkontaktierungen oder von IC-Gehäuseanbindungen (Pads, Bonds, Bumps) und auf dem Signalübertragungsverhalten. Dies erfolgt häufig mit Hilfe numerischer 3D-Maxwell-Feldlöser (die zum Beispiel auf der Basis von FDTD oder FEM arbeiten). Damit wird der Einfluss der parasitären Strukturen modelliert und im Frequenz- oder im Zeitbereich analysiert. Feldsimulationen von komplexen Anordnungen, wie sie z.B. eine komplette Übertragungsstrecke auf einem Steuergerät incl. der Steckverbinder oder aber ein IC-Package darstellen, erfordern aber eine gewissenhafte Modellierung der einzelnen Strukturelemente. Während für die Simulation von Leiterbahnen auf AVT-Strukturen bereits vereinfachende Ansätze wie z.B. die Leitungstheorie erfolgreich verwendet werden, wird der Einfluss von ICs im Hinblick auf die elektromagnetischen Emissionen weitestgehend vernachlässigt. In der Regel werden ICs lediglich mit Hilfe von elektrischen Ersatzmodellen (Blackbox-Makromodelle auf Klemmenebene am IC-Pin) repräsentiert und haben somit keinen direkten Anteil an der simulierten Abstrahlung. Wie bereits erwähnt, ist eine vollständige Analyse, welche neben den leitfähigen Strukturen auf der Leiterplatte auch die ICs umfasst, schon aufgrund der hohen Komplexität nicht praktikabel.

Um dieses Problem zu umgehen, sollten im Rahmen von PARACHUTE neue Konzepte für die EMZ-Analyse der Stromversorgungen hochkomplexer elektronischer Systeme (HDI/HDP Systeme bis hin zu nanoelektronischen Systemen) entwickelt werden.

Die Entwicklung integrierter Schaltungen ist durch stetig ansteigende Taktraten und eine wachsende Komplexität der verwendeten Schaltungs- und Gehäusestrukturen gekennzeichnet. Parasitäre Effekte, die bisher als vernachlässigbar galten, rücken damit weitaus stärker in den Vordergrund. Hierzu gehören u.a. auch die elektromagnetischen Emissionen von integrierten Schaltungen. Durch die Verwendung moderner mehrlagiger Leiterplatten mit quasi-geschirmten Innenlagen beginnen, speziell im höheren Frequenzbereich, die Emissionen von ICs das EMV-Verhalten von Systemen zu dominieren. Neben einer erhöhten Gesamtabstrahlung können diese Emissionen aber auch das Verhalten des Komplettsystems selbst signifikant beeinflussen. Aus diesem Grund ist es erforderlich, elektromagnetische Emissionen von ICs und deren Gehäusestrukturen zukünftig beim Systementwurf mit zu berücksichtigen. Eine Analyse (Simulation) des Gesamtsystems, bestehend aus ICs, Verbindungsstrukturen und IC-Gehäuse, ist dabei aufgrund der enormen Komplexität, speziell der ICs, und den auftretenden Größenunterschieden in der Regel nicht oder nur für einzelne Teilstrukturen mit vertretbarem Aufwand möglich. Im Hinblick auf eine umfassende Qualifizierung des Gesamtentwurfs und Vorhersage des Systemverhaltens ist deshalb zukünftig eine Analyse und Modellierung elektromagnetischer Emissionen von ICs bzw. HDPs (High-Density-Packages) unumgänglich. Heutige Analysen der Abstrahlung konzentrieren sich im Wesentlichen auf den On-Chip Bereich, speziell den Einfluss unterschiedlicher Prozess- und Fabrikationsparameter auf das Emissionsspektrum. Hierbei kommen dann in der Regel Messverfahren, basierend auf TEM Zellen bzw. Messsonden oder Nahfeldmessungen, zum Einsatz.

Das Problem parasitärer Störungen beim HDI/HDP Entwurf nimmt mit steigender Komplexität dieser Designs dramatisch zu. Daher wird es zunehmend entscheidend, die Analysekomplexität gerade bei kritischen Anwendungsbereichen wie Automotive oder Telekommunikation zu reduzieren, auch wenn es bereits anerkannte Verfahren gibt, einzelne Störeffekte wie Leitungsverluste, Signalverzerrungen und das SI-Verhalten von diesen Systemen punktuell effizient und schnell zu berechnen. Um eine genaue Analyse auch im Multi-GHz Bereich zu ermöglichen, ist eine Modellierung der kompletten komplexen Interconnect-Struktur notwendig. Um diese dann effizient analysieren zu können, reichen herkömmliche Verfahren nicht mehr aus.

Konventionelle Analyseansätze zur Extraktion kritischer Signalpfade auf HDI/HDP-Strukturen weisen typischerweise eine Störquelle (i.d.R. ein das Signal treibender IC-Pin) auf, woraus dann durch eine Transformation vom Zeit- in den Frequenzbereich für Schaltungen mit linearen Abschlüssen auch verlässliche Analysedaten gewonnen werden können. Eine Reduktion der Komplexität kann dabei erreicht werden, wenn lediglich einige grundlegende Strukturen eines Signalpfades – deren Verhalten dann einfacher zu analysieren ist – betrachtet werden.

6.2 Voraussetzungen

Um eine Steigerung der Leistungsfähigkeit von mikroelektronischen Komponenten zu erreichen, ist oft eine erhöhte Miniaturisierung unter Berücksichtigung physikalischer Kopplungen notwendig. So werden beispielsweise integrierte passive Komponenten, EMV/ESD-Schutzelemente sowie optimierte Verdrahtungselemente (Vias, Leitungen, ...) benötigt. Weiterhin steigt die Verdrahtungskomplexität in zunehmendem Maße, sodass zur Beherrschung der EMZ der Einsatz von HDP/HDI-Substraten unbedingt notwendig ist. Hierzu mussten geeignete Simulationswerkzeuge, Modelle und Testaufbauten für eine Verifikation entwickelt werden. Gerade bei der Behandlung von neuen Technologien ist es wichtig, die grundlegenden physikalischen Effekte und Verhaltensweisen zu analysieren und zu verstehen. Dies ist dann Bestandteil der Entwicklung von neuen bzw. der Erweiterung von bestehenden Simulationswerkzeugen.

Diese Technologien müssen also mittels Modellierung, Simulation und Validierung charakterisiert und untersucht werden. Die geeigneten Simulationsmethoden sind dafür entweder komplett neu entwickelt worden oder bereits bestehende wurden entsprechend den Anforderungen, wie z.B. der Berücksichtigung von schnellen transienten Phänomenen, angepasst.

Um den Simulationsaufwand in einem machbaren Rahmen zu halten, wurden die Werkzeuge in einer hierarchischen Vorgehensweise konzipiert. So muss eine geeignete Kombination der verschiedenen Abstraktionsebenen gefunden werden. Hierzu zählen die mathematische Beschreibung der physikalischen Effekte, ggf. elektromagnetische Feldsimulationen (2D und 3D), die Berücksichtigung der Theorie der Übertragungsleitungen sowie kompakte Modelle, die das Verhalten der angeschlossenen ICs abbilden. Sobald die physikalischen Effekte verstanden und beschrieben waren, konnten geeignete Simulationsmodelle und -regeln aufgestellt werden. Diese waren dann in geeigneter Weise in den Entwurfsprozess zu integrieren. Die Komplexität der zu untersuchenden AVT-Strukturen kann nur durch eine Implementierung der Werkzeuge, insbesondere Platzierungs- und Entflechtungstools, in entsprechende Entwurfsabläufe beherrscht werden. Da sowohl Platzierung als auch Entflechtung die physikalischen Eigenschaften des Systems entscheidend beeinflussen können, waren beide als Einheit zu betrachten.

6.3 Wissenschaftlicher und technischer Stand - Zusammenfassung

Wir erleben seit Jahren eine stetige Zunahme elektronischer Komponenten, insbesondere auch in der Automobiltechnik. So arbeiten in VWs Flaggschiff Phaeton allein 45 untereinander vernetzte elektronische Steuergeräte. Diese Komplexität ist aber kein Privileg der PKW-Oberklasse, sondern sie findet sich in allen Fahrzeugtypen bis hin zu Nutzfahrzeugen. Daher kommt der Gewährleistung der EMV und dem EMV-gerechten Leiterplatten-Design grösste Bedeutung zu. Durch den Einsatz von Komponenten mit immer höher werdenden Taktraten und den steileren Flanken der ICs, wie sie bisher nur in der IT und Kommunikationstechnik Anwendung fanden, wächst der Frequenzbereich der auftretenden Störungen immer weiter an und mit ihnen auch die zu erwartenden Feldstärken.

Diese *Elektromagnetischen Störungen* dürfen andere Geräte nicht beeinflussen. Unter diesen Störungsbegriff fällt eine ganze Klasse unerwünschter Effekte, die ihren Ursprung in Sendegeräten wie z.B. Radio oder Handy, in der Höhenstrahlung (Neutronen) oder Schaltvorgängen (Motor-Zündpulse, elektrische Lastwechsel, schnelle getaktete Logik) haben. Steuergeräte mit Microcontrollern müssen also als elektromagnetische Störquellen betrachtet werden, die über Versorgungs- oder Signalverbindungen andere Elektronik im Fahrzeug stören können. Der Umfang dieser Störquellen im Automobil nimmt durch die wachsende Anzahl an elektronischen Steuergeräten (Electronic Control Units, ECU) seit Jahren ständig zu und ein Ende dieses Trends ist noch nicht abzusehen. Zusätzlich sorgen immer geringere Versorgungsspannungen der integrierten Bauteile für immer geringere Schaltpegel, womit bereits kleine Störungen ausreichen, um eine Fehlfunktion zu verursachen. Dabei ist zu bedenken, dass nicht nur die digitalen Schaltkreise stören, auch beim Abschalten beispielsweise einer Spule treten elektromagnetische Störungen auf.

Der Gesetzgeber hat dieses Problem bereits vor vielen Jahren adressiert: am 03.05.1989 erschien die EMV-Richtlinie des Rates der Europäischen Gemeinschaft. Diese Richtlinie wurde in nationales Recht umgewandelt und trat am 09.11.1992 als Gesetz über die elektromagnetische Verträglichkeit (EMVG) in Kraft. Dieses wurde ständig verfeinert, bis am 01.03.2008 die vorerst letzte und derzeit aktuelle Fassung (Richtlinie 2004/108/EG BGBl. I S. 220) in Kraft trat.

Aufgrund dessen muss also konsequenterweise dafür Sorge getragen werden, dass pro elektronischem Subsystem weniger Störungen erzeugt und in die Umgebung verbreitet werden und gleichzeitig jedes Subsystem durch Designmaßnahmen robuster gegen elektromagnetische Störungen gemacht wird.

Für die Problemstellung, die in PARACHUTE adressiert wurde, ist es wichtig zu verstehen, dass elektromagnetische Störungen nicht nur von außen in ein elektronisches System eindringen können, sondern zu einem großen Teil im System selbst erzeugt werden. Enthält das System viele aktive elektronische Komponenten, so beeinflussen sich diese Komponenten gegenseitig. Um ein solch komplexes, elektronisches System elektromagnetisch robust zu machen – also seine EMZ zu maximieren – bedarf es der ganzheitlichen Betrachtung des Steuergeräte- und IC-Entwurfs bezüglich der Signal- und Störpegel (*Design-to-Noise*).

6.4 Zusammenarbeit mit anderen Stellen

Im Rahmen der im Projekt durchgeführten Arbeiten wurde detailliert mit den Projektpartnern Bosch, Continental, Infineon und Universität Paderborn auf nationaler sowie mit EADS (Frankreich) und Philips (Niederlande) auf internationaler Ebene kooperiert und es wurden Teilergebnisse und Teststrukturen ausgetauscht.

6.5 Nutzen und Verwertbarkeit - ZUKEN

Das HF/EMV-Verhalten einer Schaltung ist im Wesentlichen durch deren Layout bestimmt. Da durch die technologische Entwicklung die Menge und Komplexität der zu berücksichtigenden Nebenbedingungen beim Layout immens zugenommen hat, sind leistungsfähige Werkzeuge zur Unterstützung der einzelnen Layoutschritte (Platzierung, Routing und integrierte Analyse) notwendig. Im Rahmen des Verbundvorhabens wurden diese Werkzeuge prototypisch um neue Verfahren zur schnellen Impedanzberechnung flächiger Versorgungssysteme sowie um Analysemethoden hinsichtlich der Wirksamkeit von Abblock-Kondensatoren erweitert, was zu einer signifikanten Steigerung der Entwurfs-effizienz führt. Daher hat die Zuken GmbH mit ihren Arbeiten wichtige Ergebnisse im Sinne der förderpolitischen Zielsetzungen und für den Wirtschaftsstandort Deutschland geliefert.

Durch die Zuken GmbH wurden innerhalb des Verbundvorhabens PARACHUTE neue Verfahren und Strategien zur effektiven Behandlung von Signal-Integritäts- und EMV-Problemen im Hinblick auf High-Density Interconnect-Systeme (HDI) und High-Density-Packages (HDPs) entwickelt. Es sind dabei sowohl heuristische Verfahren als auch Simulationstechniken auf der Basis der Berechnung elektromagnetischer Felder auf Ihre Tauglichkeit hin untersucht worden. Basis dieser Arbeiten waren Entwicklungen, die Zuken im Bereich des *Engineering-Prototyping Environments CR5000-Lightning* vorgenommen hat, sowie Ergebnisse, die aus der Mitarbeit im *EMC Expert System Konsortium* der Universität Missouri Rolla (UMR) gewonnen wurden.

Mit Hilfe dieser im Projekt neu entwickelten Konzepte zur effizienten Problemlokalisierung und konstruktiven Maßnahmen zur Beseitigung von Signal-Integritäts- und EMV-Problemen können die komplexen Entwurfs-Probleme von HDI/HDP-Systemen erheblich vereinfacht werden. Damit kann die Aufgabe auch von Entwicklern ohne spezielles Expertenwissen behandelt werden. Diese Arbeiten stellen somit einen wichtigen Schritt zur angestrebten Verringerung der Entwicklungszeiten bei derartigen komplexen Systemen dar.

Einen großen Bereich in den Projektarbeiten nahm die Frage der Modellierung ein, dabei insbesondere die Wechselwirkungen zwischen IC-Chip, Bond-Drähten, den IC-Gehäuse-Strukturen und den jeweils anbindenden Strukturen auf System-, AVT- und Leiterplatten-Ebene.

Die neuen Analyse-Verfahren sind in einen Werkzeug-Demonstrator eingebunden worden, für den auch eine geeignete grafische Benutzeroberfläche zur Anzeige von Analyseergebnissen und zur Durchführung von Abblockuntersuchungen entwickelt worden ist. Mit den Projektergebnissen lässt sich bei komplexen Aufgabenstellungen eine signifikante Reduzierung der Entwurfs- und insbesondere der Analysezeiten im Vergleich zu herkömmlichen 3D- Feldlösern erreichen.

Wichtige Basis für die erfolgreiche Bearbeitung des Projektes und die vorliegenden Ergebnisse war die enge Zusammenarbeit mit dem Unterauftragnehmer Fhg/IZM (Paderborn, Berlin) und mit den anderen Projektpartnern der einzelnen Teilprojekte.

Zuken plant die Projektergebnisse ab dem Jahr 2009 in aktuelle neue Produkte bzw. neue Produktversionen einzubringen. Im September 2008 hat Zuken das Werkzeug *CR5000-Lightning EMC* neu am Markt vorgestellt. Dieses Produkt ermöglicht eine schnelle EMZ-Analyse der Versorgungssysteme komplexer AVT-Komplettsystemen (HDI-Strukturen). Es ist geplant, die im Projekt erzielten Ergebnisse, insbesondere im Hinblick auf die schnelle Power-Ground Analyse, in zukünftige Versionen (abhängig vom Produkt-Releasezyklus) einzubringen und diese Ergebnisse dann ausgewählten Anwendern zur Evaluierung zur Verfügung zu stellen. Die behandelten Modellierungs-Fragestellungen sollen ebenfalls Einzug in zukünftige *Lightning* Versionen finden.

Zuken arbeitet aktiv in verschiedenen technischen EDA-Standardisierungsgremien (u.a. im Bereich Bauteilmodellierung (IBIS) und als aktives Mitglied im UMR EMC Konsortium (UMR = University of Missouri Rolla) mit. In Deutschland ist Zuken aktiv im Fachverband Elektronik Design e.V. (FED). Durch die Mitarbeit in diesen Gremien nimmt Zuken eine Mittlerrolle zwischen der internationalen Standardisierung und den Entwicklungen und den Anwendern aus dem Projektkonsortium wahr. Die große internationale Kundenbasis von Zuken stellt einen potentiellen Nutzer- und Anwenderkreis der anvisierten neuen Entwurfs- und Analyse-Produkte dar, einzelne PARACHUTE-Ergebnisse sollen ausgewählten Zuken Anwendern vorgestellt werden, um aus dieser potentiellen Zielgruppe Anregungen und Anforderungen für die endgültige Implementation der neuen Analysemethoden zu erhalten.

Im Projekt wurde eng mit den verschiedenen nationalen und europäischen Partnern (Bosch, Continental, Infineon) kooperiert. Besonders erwähnenswert ist dabei die langjährige enge Zusammenarbeit zwischen Zuken und dem Fhg/IZM als Unterauftragnehmer bei der Umsetzung von Forschungsergebnissen in konkrete EDA-Werkzeuge. Es ist angedacht, diese Form der Zusammenarbeit auch bei der Evaluierung der PARACHUTE-Projektergebnisse fortzusetzen.

Die fachlichen Inhalte aus der laufenden Projektarbeit sowie Überlegungen hinsichtlich der technischen/wissenschaftlichen Auswertung von Projektergebnissen nach Projektende bzw. zur wissenschaftlichen/wirtschaftlichen Anschlussfähigkeit wurden auf folgenden Veranstaltungen präsentiert:

- MEDEA+ DAC; 30. – 31. Mai 2006 – Prien/Chiemsee, Deutschland
- ZUKEN Electrical Design Automation Conference (Z-DAC); 09. – 11. Oktober 2006 – Ulm, Deutschland
- MEDEA Forum 2006; 28. – 29. November 2006 – Monte Carlo, Monaco
- DATe Design Automation and Test 2007; 16. – 19. April 2007 – Nizza, Frankreich
- Euro-EMC 2007; 14. – 15. Juni 2007 – Paris, Frankreich
- PACE 2007; 11. – 12. September 2007 – Eindhoven, Niederlande
- FED Konferenz 2007; 13.-15. September 2007 - Bremen
- ZUKEN Electrical Design Automation Conference (Z-DAC); 27. – 29. November 2007 – Bonn, Deutschland
- DATe Design Automation and Test 2008; 10.-14. März 2008 - München
- MEDEA+ DAC; 23.-24. Mai 2008 – Leuven, Belgien
- ZUKEN Electrical Design Automation Conference (Z-DAC); 27. – 29. November 2008 – Long Beach, USA
- MEDEA Forum 2008; 02. – 03. Dezember 2008 – Paris, Frankreich.

6.6 Veröffentlichung der Ergebnisse

- [6-1] Ralf Brüning; *Virtuelle Prototyping für SI & EMC auf High Speed Systemen*; 14. FED Conference 2006, September 22nd, Kassel, Germany
- [6-2] John Berrie, Ralf Brüning; *Design Symmetrie beim Eletronikentwurf*; 14. FED Conference 2006, September 23rd, Kassel, Germany
- [6-3] Ralf Brüning; *The Power of the Planes – Power Integrity Analysis during the Design Process*; ZUKEN Design Automation Conferences 2006, San Antonio Texas/USA and Ulm/Germany
- [6-4] Ralf Brüning; *Termination, Topology, Timing*; ZUKEN Design Automation Conferences 2006, San Antonio Texas/USA and Ulm/Germany
- [6-5] Ralf Brüning; *Signal Integrity, Evolution or Pain*; ZUKEN Design Automation Conferences 2006, San Antonio Texas/USA and Ulm/Germany
- [6-6] Ralf Brüning; *Power Integrity View of PCB Design*; Euro-EMC 2007, Paris June 14th/15th 2007

Standardisierungsaktivitäten

- [6-7] Teilnahme (Zuken GmbH) am *EMC Expert System Consortium Meeting*; Universität Missouri Rolla (UMR) in 2006 und 2008, Rolla, Missouri, USA
- [6-8] Organisation, Vorsitz & Chair (Ralf Brüning) des und Teilnahme am *European IBIS Summit* jeweils auf der Design Automation & Test Conference (DATe), 2006 (München), 2007 (Nizza) und 2008 (München), Vorstellung der PARACHUTE Forschungsarbeiten (u.a. ICEM)

7. Anhang-5 – Ergebnisübersicht der Universität Paderborn (UPB)

UPB (Kurzdarstellung) - Effiziente EMC/EMZ-Modellierung und -Messung (01M 3169 E)

Die Universität Paderborn forscht auf dem Gebiet mikroelektronische Systeme und Mikrosysteme. Die langjährige erfolgreiche Zusammenarbeit zwischen der Universität Paderborn und der Fraunhofer Einrichtung ENAS (Elektronische Nanosysteme, ex-IZM) auf den Gebieten der Mikroelektronik und der Mikrosystemtechnik (u. a. im Systementwurf, der Technologiebewertung, der Modellierung und Simulation von Mikrosystemen, der elektromagnetischen Verträglichkeit) hat Paderborn eine Spitzenstellung auf diesen Feldern gesichert. In Rahmen von vergenenen Projekte hat die UPB die Grundlagenforschung zur Modellierung der Störemissionen in linearen und nicht-linearen Systeme unter Berücksichtigung der Störfestigkeit betrieben. Außerdem hat die UPB an Algorithmen zur EMV-optimierten Platzierung von Bauelementen auf Schaltungsträgern gearbeitet. Die Ergebnisse, die innerhalb von PARACHUTE erzielt wurden, sind äußerst wertvoll. Schwerpunkte dieser Wissensaufbaus sind: Elektromagnetische Verträglichkeit, Sensorik, Low Power Systems, Smart Robotics, verteilte drahtlose Systeme.

7.1 Aufgabenstellung – Universität Paderborn

Die Universität Paderborn hat innerhalb des PARACHUTE-Projektes die folgenden Zielsetzungen, die im Teilvorhaben formuliert sind:

AP1

- Systematische Extraktion und Vergleich von Modellen von unterschiedlichen IC (unterschiedlicher IC) bei verschiedenen Frequenzen
- Definition von Gehäusevarianten, an denen möglichst viele Strukturen bzgl. ihres Einflusses auf die EMZ evaluiert werden können
- Anwendung der erstellten Modelle zur Erweiterung des ICEM-Ansatzes.

AP2

- BBM für die Analyse der Störfestigkeit von Taktsignalen
- Methodik zur Störpfad-Modellierung und –Analyse in μC
- Verfahren für virtuellen ESD-Test

AP3

- Automatische Identifikation und Modellierung der identifizierten Substrukturen
- Konzept eines Prozesses zur mehrdimensionalen Ordnungsreduktion
- Prototyp (Software)

AP5

- Automatische Identifikation der identifizierten Substrukturen
- Neue Strategien und Verfahren zur 3D-Miniaturisierung von HDI/HDP Substrataufbauten / Implementierung (Software)
- Konzept für die Bewertung von Störpfaden unter Berücksichtigung von digitalen, nanoelektronischen Komponenten und Versorgungssystemen in komplexen HDI/HDP Systeme
- Verfahren zur Analyse vollständiger Störpfade im Frequenz- und Zeitbereich (Software)
- Einfluss von schnellen, hochenergetischen Störimpulsen auf Daten- und Versorgungsleitungen in Systemen mit nanoelektronischen Bauelementen.

AP6

- Zeitbereichmessverfahren zur schnellen breitbandigen Nahfeld-Messung
- Verfahren zur Extrahierung aller 6 Feldkomponenten mit Hilfe einer Doppel-Feldsonde
- Mathematisches Verfahren zur Erhöhung der Ortsauflösung von Nahfeld-Sonden
- Implementierung und Validierung der Verfahren im Nahfeld-Scanner.

Die Universität Paderborn hat innerhalb des PARACHUTE-Projektes die genannten Zielsetzungen erfolgreich erreicht.

7.2 Voraussetzungen

Im Projekt PARACHUTE wirkte die langjährige Erfahrung auf dem Gebiet der Elektromagnetischen Verträglichkeit als wissenschaftliche Grundlage der Forschungsarbeiten der Universität Paderborn. Ein Schwerpunkt der Forschungsaktivitäten der Universität Paderborn liegt auf dem Gebiet der Systementwicklung unter der Berücksichtigung parasitärer Effekte und der Anforderungen der elektromagnetischen Verträglichkeit. Diese lässt sich mit Hilfe der entwurfsbegleitenden Simulation und eines spezifischen Nahfeldmessverfahrens verwirklichen. Zudem sind zur Vorhersage und Diagnose möglicher Probleme, sowie zur Auswahl geeigneter Vorsorgemaßnahmen zur Reduktion der verursachenden Effekte umfangreiche Feld- und Schaltungssimulationen notwendig. Auf Basis der 20-jährigen Vorarbeiten (Projekte: EMC-Design – JESSI AC 5 – ELAN – LIMA – MESDIE) wurden gemeinsam mit nationalen und internationalen Industriepartnern Werkzeuge und Entwurfsumgebungen für die EMV-gerechte Entwicklung von Leiterplatten und elektronischen Komponenten erstellt. Für die Universität Paderborn stellen in diesem Zusammenhang die Fraunhofer Einrichtung ENAS (Abteilung Advanced System Engineering, Paderborn), sowie die Leibniz Universität Hannover (Institut für Theoretische Elektrotechnik), die ZUKEN GmbH, Infineon AG und Continental AG wichtige Partner auf dem Gebiet der angewandten Forschung und Entwicklung dar. Diese Zusammenarbeit gewährleistet, dass sich die Aktivitäten der Universität Paderborn auf den oben genannten Forschungsgebieten an konkreten Anwendungen und identifizierten Anforderungen der Praxis orientieren.

7.3 Planung und Ablauf des Teilvorhabens - Zusammenfassung

Die erreichten Ziele der Universität Paderborn innerhalb des PARACHUTE-Projektes waren:

(1) Makromodellierung nanoelektronischer HDI/HDP-Strukturen und Reduktion dieser Modelle für eine effiziente SI/PI-Analyse

- Vollständiges Konzept und Implementierung der Neuronalen Netzwerke zur Black Box Modellierung (BBM) linearer und nichtlinearer Systeme mit Berücksichtigung physikalischer Effekte (Temp., Crosstalk, SSN...)
- Implementierung einer C++-Bibliothek zur effizienten linearen BBM
- Ereignisgesteuerte Modellierung zur effizienten Charakterisierung der Signalintegrität von Taktgeneratoren (PLL) mit innovativem Lock-Detektor
- Entwicklung u. Validierung einer Modellierungs- und Reduktionsmethodik zur EMV-Analyse von industriellen Übertragungs- und IC-Emissions-Modellen
- Entwicklung u. Implementierung eines EMV-orientierten Simulations- u. Entwurfsverfahrens zur Charakterisierung der Störpfade (Noise Path Tracing - NPT) und der Impulsstörfestigkeit im Frequenz- und Zeitbereich
- Entwicklung u. Implementierung neuer Konzepte zur 3D-Miniaturisierung und Platzierung von HDI/HDP-Systemen.

(2) Erarbeitung eines schnellen, breitrandigen Nahfeld-Messverfahrens

- Umsetzung eines Zeitbereichsmessverfahrens einschließlich einer Signalvorkonditionierung
- Implementierung eines Sonden-Kalibrierverfahrens durch geeignete Kalibrierstrukturen und Datenaufbereitung
- Untersuchung von Doppelausgangssonden einschließlich Datennachbearbeitung wurde durchgeführt. Die erforderlichen Messempfänger sind jedoch kommerziell noch nicht verfügbar.

Der Ablauf der Beiträge erfüllte sich problemlos. Allerdings, aufgrund der Komplexität der entsprechenden ICEM-Modellierung und des damit erforderlichen höheren F+E Aufwands, wurde die Bearbeitung des Themas *Modellierung der Abgestrahlte elektromagnetische Emission* (Beitrag 1.2.4) nicht weitergeführt. Stattdessen erfolgte die Bearbeitung dieses Themas innerhalb der leitungsgeführten Emission (conducted emission) im Beitrag 1.2.4.

In Bezug auf die Kooperation mit den anderen Projektpartnern und den Unterauftragnehmern verlief das Projekt PARACHUTE sehr erfolgreich. Der konstruktive Austausch in Form von regelmäßigen Projekttreffen und Telefonkonferenzen erwies sich als sehr hilfreich und war dem Vorantreiben der Arbeiten äußerst förderlich. Zur Weiterführung der technischen Ziele gab es verschiedene nationale und internationale Workshops und Forums.

7.4 Zusammenarbeit mit anderen Stellen

Auf nationaler Ebene wurde im Rahmen der im Projekt erfüllten Beiträge eng mit den Partnern Fraunhofer ENAS (ex-IZM), Continental, Zuken, Infineon und der Leibniz Universität Hannover kooperiert. Auf internationaler Ebene wurden mit INSA (Frankreich), ON-Semiconductors (ex-AMIS, Belgien) und Philips (Niederlande) Austausche gemacht.

Die bereits in der Vergangenheit (wie z.B. während MESDIE) eingeleitete Zusammenarbeit mit unseren Industriepartnern ließ uns unsere Projektziele schneller oder effizienter erreichen.

Besonders hervorzuheben ist die Zusammenarbeit innerhalb des Arbeitstaktes 6 mit Continental und Infineon im Bereich Nahfeld-Scanning. Diese hat uns den Aufbau eines vollständigen, fortgeschrittenen Scanning-Roboters ermöglicht und führte zu der Gewinnung eines Alleinstellungsmerkmals, das als wichtiger Teil der PARACHUTE Success-Story erkannt wurde.

Einträglich war auch die Kooperation (AP1/2/3) mit der Leibniz Universität Hannover, dessen Know-how im Bereich Modellordnungsreduktion von komplexen Systemen unsere Kompetenzen im Bereich System Modellierung von linearen und nicht-linearen Systemen ergänzt haben.

7.5 Nutzen und Verwertbarkeit - UPB

Die Verwertung von Ergebnissen aus BMBF-geförderten F&E-Projekten durch eine Universität zielt zunächst und zu allererst **kurzfristig** auf unmittelbar erkennbaren Nutzen der industriellen Partner. Das ist in PARACHUTE gleich in mehreren Beiträgen der Universität gelungen. Dabei sind wir besonders stolz auf unsere wichtigen Beiträge zur Nahfeldmessung. Der bemerkenswerte Erfolg dieser Arbeiten wird besonders im entsprechenden Text von CONTI deutlich: es sind die Grundlagen für eine erfolgreiche industrielle Anwendung gelegt, mit deren Fertigstellung etwa 2013 gerechnet wird. Die Arbeiten zu den elektrotechnischen Grundlagen, zur Entwicklung der Algorithmen und zur Strategie der Datenerfassung haben wesentlich zu diesem Erfolg beigetragen.

Im Bereich der Charakterisierung und der Beschreibung geleiteter elektromagnetischer Emissionen durch effizienter Modellierung und Simulation sollen die Ergebnisse der ICEM-Modellierung Eingang in EDA-Werkzeuge bei Infineon und Zuken finden. Das Reduktionsverfahren (MOR) wurden als Grundlage für das Infineon ICEM-Designwerkzeug verwendet. Dazu wurden auch Objektorientierte Modellierungsbibliotheken erstellt, die in kommerziellen EDA-Umgebungen (Zuken) einsetzbar sind.

Die Ergebnisse der 3D Miniaturisierung und der Platzierung von nanoelektronischen Bauelementen auf HDI/HDP-Substraten bilden das Basis-Know-How zum Entwurf von komplexen innovativen 3-dimensionalen Systemen, die eine direkte Verwertbarkeit im Bereich der Automotive Anwendungen finden. Nicht ganz so spektakulär, aber für die Weiterentwicklung wichtiger CAD-Werkzeuge (bei Infineon: CLEX und bei Zuken: CR5000-Lightning EMC) ähnlich entscheidend waren die Arbeiten von Universitätsmitarbeitern zu den Themen ESD-robustes Design für Smart-Power ICs sowie Modellierungsbibliothek für EMV-Probleme bei HDI/HDP-Systemen.

Mittelfristig versetzt das in PARACHUTE gewonnene Know-how die Universität in die Lage, regionale KMU's bei ihren mit EMV-Problemen behafteten Design-Aufgaben zu unterstützen. Das kann sowohl über das SDeC (System Integration Design Center), durch die Arbeitsgruppe Sensorik von Prof. Hilleringmann von der Universität Paderborn geschehen, als auch in Vermittlung des Innozent OWL, eines Zusammenschlusses von KMU's der Elektrotechnik in Ostwestfalen-Lippe, umgesetzt werden.

Für die Universität ist die Etablierung der Kooperation mit der Fraunhofer Einrichtung ENAS (vormals Institutsteil des IZM) im speziellen mit der Paderborner Abteilung ASE (Advanced System Engineering) ebenfalls von großer Bedeutung. Zurzeit ist ein Kooperationsvertrag im Unterschriftenverfahren. Der große Erfolg von PARACHUTE, zusammen mit den guten Aussichten, die sich daraus für künftige Drittmittelprojekte ergeben, haben sowohl das Interesse der ENAS als auch das einiger junger Kollegen des Instituts für Elektrotechnik und Informationstechnik der Universität Paderborn geweckt, die jetzt, teilweise neu, in die Kooperation eintreten.

Das wird auch **langfristige** Wirkungen haben. Die relevanten Forschungs-Ergebnisse fließen derzeit in die Lehre der Bachelor- und Masterstudiengänge Elektrotechnik und Ingenieurinformatik ein. Im letzteren ist ein Schwerpunkt *System Integration* in Vorbereitung, der sogar Beiträge des Maschinenbaus mit einschließt. Durch die Erfolge in PARACHUTE wird das Gewicht der Elektrotechnik in diesem Schwerpunkt verstärkt. Die 8 Diplomarbeiten und 3 Promotionen (2 davon betreut durch den PARACHUTE-Mitstreiter Prof. Mathis von der Leibniz Universität Hannover) sind ein gutes Resultat für drei Jahre Projektlaufzeit.

7.6 Zukunftsperspektiven - UPB

Die Ergebnisse im Bereich Nahfeldscanning (NFS), im Umfeld von Model Order Reduction (MOR), Black Box Modeling (BBM), Störfestigkeit der Taktgeneratoren (PLL) sowie im Bereich der 3D-Platzierung bzw. 3D-Miniaturisierung – letztere in Zusammenarbeit mit der GFal entstanden – liefern die Eintrittskarten für die Universität Paderborn, an weiterführenden F & E-Projekten teilzunehmen - teilweise sogar im Sinne eines Alleinstellungsmerkmals. Die Ausrichtungen adressieren die Verstärkung der Zusammenarbeiten mit bestehenden und potenziellen Industriepartnern sowie mit Forschungseinheiten auf regionaler (NRW), nationaler (Bund) und internationaler (EU) Ebene.

Insgesamt war PARACHUTE für die Universität Paderborn ein überaus erfolgreiches Projekt, das vielfältige Türen in die Zukunft geöffnet hat.

7.7 Veröffentlichung der Ergebnisse - UPB

Während der Projektlaufzeit von PARACHUTE hat die Universität Paderborn als Projektpartner ihre Projektergebnisse kontinuierlich veröffentlicht. Als Veröffentlichungsrahmen dienten die folgenden internationalen Veranstaltungen:

- MEDEA+ DAC - Grenoble/Mai 2007
- IEEE EMC Symposium - Honolulu/Juli 2007
- EMC Zurich Conference - München/September 2007
- SAME 2007 Forum - Sophia Antipolis/Oktober 2007
- EMC Compo Conference - Turin/November 2007
- EDA Workshop - Hannover/Mai 2008
- MEDEA+ DAC - Leuven/Mai 2008

- EMC Asia Pacific Conference - Singapur/Mai 2008
- EMC Symposium - Wroclaw/Juni 2008
- SAME 2008 Forum - Sophia Antipolis/Oktober 2008
- EMC Zurich Conference - Zürich/Januar 2009.

Zusätzlich hat die Universität Paderborn als Mitglied des PARACHUTE-Office zur Unterstützung der Projektleitung (Infineon Technologies AG) mehrere PARACHUTE-Workshops veranstaltet:

- Joint Workshop mit MEDEA+ Partnerprojekt ROBIN - Paris/Juni 2007
- Konferenz EMC Zurich - München/September 2007
- PARACHUTE internes Workshop - Eindhoven/Oktober 2007
- Konferenz EMC Zurich - Zürich/Januar 2009
- PARACHUTE internes Workshop - Paderborn/Oktober 2008.

Detaillierte Liste der 34 PARACHUTE-Veröffentlichungen mit Beteiligung der Universität Paderborn:

- [7-1] A. Tankielun, B. Vrignon, U. Keller, W. John, E. Sicard, H. Garbe; *Complex Deconvolution for Correction of Near-Field Measurements Applied to Microelectronic System*; 2nd International Conference on Electromagnetic Near-Field Characterization and Imaging, Barcelona, Spain, 8. - 10. June 2005
- [7-2] A. Tankielun, H. Garbe, W. John; *Calibration of Electric Probes for Postprocessing of Near-field Scanning Data*; Proc. 2006 IEEE International Symposium on Electromagnetic Compatibility, Portland, OR, USA, August 2006, pp. 119 - 124
- [7-3] M. Taki, W. John; *Analysis of Propagation Paths with Respect to Induced Noise for Interconnect Designs*; EMC Europe 2006, September 4. - 8. 2006, Barcelona, Spain
- [7-4] *German Parachute Activities*; Informatikjahr - Wissenschaftsjahr 2006, Heinz Nixdorf MuseumsForum Paderborn, 1./2. September 2006
- [7-5] A. Tankielun, P. Kralicek, U. Keller, E. Sicard, B. Vrignon; *Electromagnetic Near-Field Scanning for Microelectronic Test Chip Investigation*; IEEE EMC Society Newsletter, October 2006
- [7-6] C. Wiegand; *Nonlinear Identification of Complex Systems by Means of Radial Basis Function Networks and MOR*; MEDEA+ Design Automation Conference, 22. - 24. May 2007, Grenoble, France
- [7-7] A. Tankielun; *Advanced EMI Near-Field Scanning*; MEDEA+ Design Automation Conference, 22. - 24. May 2007, Grenoble, France
- [7-8] M. Taki, W. John; *Determination of Propagation of Fast Induced Transient Impulses on PCB-Level*; IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, 09. - 13. July 2007
- [7-9] Christopher Wiegand, Ljubica Radic-Weissenfeld, Christian Hedayat, Werner John, Ulrich Hilleringmann; *Nonlinear Identification of Complex Systems using Radial Basis Function Networks and Model Order Reduction*, IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, 09. - 13. July 2007
- [7-10] L. Radic-Weissenfeld, C. Wiegand, C. Hedayat, W. John; *Singular Value Based Model Order Reduction for Interconnect ARX Modelling*; IEEE International Symposium on Electromagnetic Compatibility, Honolulu, Hawaii, USA, 09. - 13. July 2007
- [7-11] C. Wiegand, C. Fischer, C. Hedayat, W. John, T. Steinecke; *Macro-Modelling of Multiple Input and Multiple Output Systems via System Identification: An Abstract Approach*; OHD 2007, Valence - France, September 2007
- [7-12] M. Taki, W. John, C. Hedayat, U. Hilleringmann; *Noise Propagation for Induced Fast Transient Impulses on PCB-Level*; 22. - 24. 9. 2007, Munich, Germany
- [7-13] C. Wiegand, L. Radic-Weissenfeld, C. Hedayat, W. John; *Black Box Model and Singular Value Based Model Order Reduction for Interconnects*; 18th International Zurich Symposium on EMC, 24. - 28. 9. 2007, Munich, Germany
- [7-14] C. Fischer, C. Wiegand, L. Radic-Weissenfeld, S. Ludwig, R. Kazemzadeh C. Hedayat, T. Steinecke, W. John; *High-level Identification and Modeling of Nonlinear MIMO-Systems using Normalized RBF Networks and Model Order Reduction*; Same 2007 10th Edition, Nice-Sophia Antipolis, France, October 2007
- [7-15] S. Ludwig, L. Radic-Weissenfeld, W. Mathis, R. Kazemzadeh, W. John; *Modellreduktion von elektrischen Netzwerken für die Untersuchung der elektromagnetischen Zuverlässigkeit von integrierten Schaltungen*; 10. Workshop *Integrierte Anlogschaltungen*, Berlin, Germany, March 2008
- [7-16] S. Ludwig, L. Radic-Weissenfeld, W. Mathis, W. John; *Model Order Reduction of Integrated Circuit*

- Conducted Emission Models*; EMC Compo 2007, 28. - 30. 11. 2007, Torino, Italy
- [7-17] H. Morgenstern, G. Groos, W. Simbürger; *Verification Strategy of Mixed-Signal ICs Regarding High Power Pulse Stress*; MEDEA DAC, Leuven, Session 7, 26th - 28th May 2008
- [7-18] M. Taki; *Identification and Simulation of Critical Interconnect Paths With Respect To Transient Noise at PCB-Level*; MEDEA DAC, Session 7, Leuven, Session 7, 26th - 28th May 2008
- [7-19] Lj. Radic -Weissenfeld, S. Ludwig, W. Mathis, W. John; *Two-step Order Reduction of IC Conducted Emission Models*; 2008 Asia-Pacific Symposium on Electromagnetic Compatibility, 19th International Zurich Symposium on Electromagnetic Compatibility - Asia-Pacific EMC Week, Singapore, May 2008
- [7-20] S. Ludwig, Lj. Radic-Weissenfeld, W. Mathis, W. John; *Efficient Model Reduction of Passive Electrical Networks with a Large Number of Independent Sources*; IEEE International Symposium on Circuits and Systems - ISCAS, pp 1280 - 1283, Seattle, USA, May 2008
- [7-21] A. Tankielun, T. Mager, G. Schubert, T. Steinecke, W. John, H. Garbe; *Overview of major Challenges and Applications for Vector EMI Scanner System*; EMC 2008, 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11. - 13. June, 2008
- [7-22] M. Taki, C. Hedayat, W. John, U. Hilleringmann; *Noise Propagation Paths at PCB-Level: A Simulation Tool*; EMC 2008, 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11. - 13. June, 2008
- [7-23] C. Fischer, C. Wiegand, C. Hedayat, W. John; *Modeling Switching Behaviour in Mixed-Signal Devices via RBF-Nets*; EMC 2008, 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11. - 13. June, 2008
- [7-24] S. Ludwig, Lj. Radic-Weissenfeld, W. Mathis, W. John; *Efficient Description and Implementation of Electrical Networks of EMC-Macromodels for Model Order Reduction*; 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11. - 13. June, 2008
- [7-25] Lj. Radic -Weissenfeld, S. Ludwig, W. Mathis, W. John; *Comparison of Order Reduction Algorithms for IC Emission Models*; 19th International Wroclaw Symposium and Exhibition on Electromagnetic Compatibility, Wroclaw, 11. - 13. June, 2008
- [7-26] S. Ludwig, Lj. Radic-Weissenfeld, W. Mathis, W. John; *Efficient Passive Network Description of IC Conducted Emission Models for Model Reduction*; Advances in Radio Science, Journal (2008)
- [7-27] Lj. Radic-Weissenfeld, S. Ludwig, W. Mathis, W. John; *Model Order Reduction of Linear Time Invariant Systems*; Advances in Radio Science, Journal (2008)
- [7-28] C. Wiegand, C. Fisher, R. Kazemzadeh, C. Hedayat, W. John; *Macro-Modelling via Radial Basis Functions Nets*; Advances in Radio Science, Journal (2008)
- [7-29] M. Taki, C. Hedayat, W. John; *An Approach for the Prediction of Sensitive I/O Ports Using Noise Distribution on PCB-Level*; IEEE International Symposium on Electromagnetic Compatibility, 18. - 22. August 2008, Detroit, Michigan, USA
- [7-30] S. Ludwig, Lj. Radic-Weissenfeld, W. Mathis, W. John; *Efficient Description of RLC-Macromodels with a Large Number of Independent Sources for Model Order Reduction*; EMC Europe 2009, 8. - 12. September, Hamburg, Germany
- [7-31] S. Ludwig, Lj. Radic-Weissenfeld, W. Mathis, W. John; *Passive and Reciprocal Network Description of Independent Sources for Efficient Model Order Reduction*, International Conference on Signals and Electronic Systems (ICSES), Kraków, Poland, 14. – 17. September 2008
- [7-32] C. Reinhold, A. Tankielun, T. Mager, G. Schubert, T. Steinecke; *Challenges in Near-Field-Measurement of Electromagnetic Emissions*, Kleinheubacher Tagung, Miltenberg, 22. - 25. September 2008
- [7-33] T. Mager, A. Tankielun, M. Spang, G. Schubert, T. Steinecke, C. Hedayat; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; SAME 2008 Forum, University Booth, Sophia Antipolis, France, 8.-9. October, 2008
- [7-34] T. Mager, C. Reinhold, M. Spang, G. Schubert, T. Steinecke; *Electromagnetic Near-Field Scanning in Time and Frequency Domain*; PAca Security Trends in Embedded Security (PASTIS) 2008, Workshop, Gardanne – France, 2nd and 3rd of December 2008