

# Das Plus an Leistung

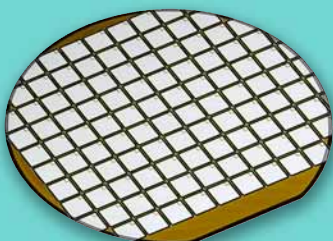
Die Evolution der IGBT-Technologie

Munaf Rahimo, Arnost Kopta

Vor zwei Jahrzehnten begann eine scheinbar einfache Variante des Leistungs-MOSFETS auf Siliziumbasis die Leistungselektronik zu verändern: der IGBT (Insulated Gate Bipolar Transistor). Diese Revolution setzte sich durch die 1990er Jahre bis ins neue Jahrtausend fort. Der IGBT kombiniert die Eigenschaften von Metalloxid- und bipolaren Halbleitern und bietet eine Vielzahl von Vorteilen für das Design von leistungselektrischen Systemen wie niedrige Verluste, eine hohe Eingangsimpedanz, die den Einsatz von relativ kleinen Ansteuereinheiten ermöglicht, sowie eine hohe Kurzschlussfestigkeit und eine hohe Abschaltfähigkeit.

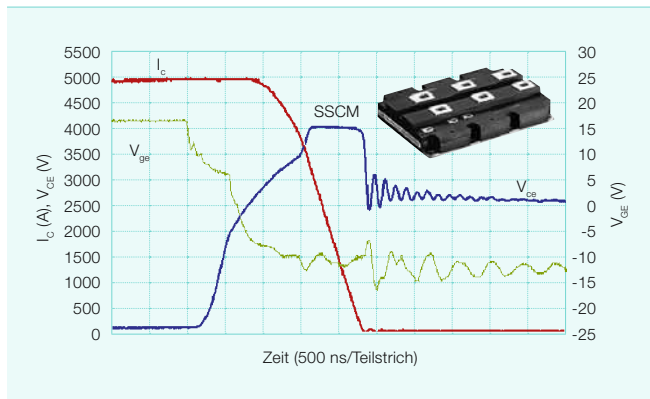
Während die ersten kommerziell erhältlichen IGBTs lediglich Sperrspannungen von 600 V und Ströme von einigen Ampere erreichten, konzentrierte sich die Entwicklung auf die Steigerung der Belastbarkeit. Heute werden Hochspannungs-IGBTs und entsprechende Dioden (mit Nennspannungen bis 6,5 kV) für den Einsatz in Gleichstrom-Zwischenkreis-Anwendungen mit 3,6 kV gefertigt. Außerdem kommen Hochstrom-IGBT-Module mit mehreren parallelen Chips in einer Vielzahl von Anwendungen mit Nennströmen bis 3.600 A zum Einsatz. Aufgrund der großen Bandbreite der Nennströme und Spannungen werden IGBTs auch in vielen leistungselektronischen Anwendungen

mit unterschiedlichen Anforderungen wie Eisenbahnen, der HGÜ und industriellen Antrieben eingesetzt. Dieser Artikel befasst sich mit den neuesten Entwicklungen auf dem Gebiet der IGBTs und Halbleiterdioden, beschreibt die damit verbundenen Fortschritte in puncto Leistungsfähigkeit und gibt einen Ausblick auf die zukünftigen Entwicklungstrends zur weiteren Verbesserung der Eigenschaften von IGBTs und Dioden.

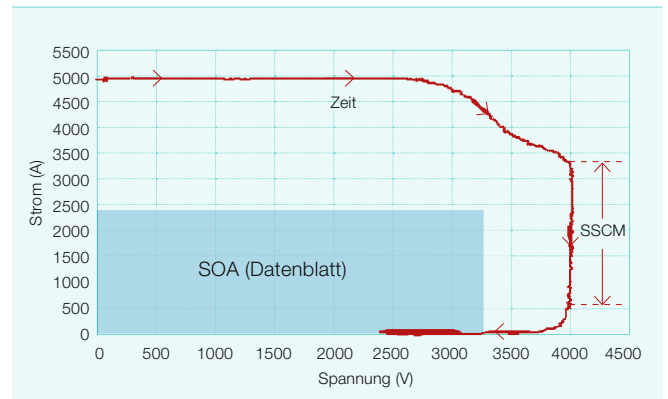


1 RBSOA eines 3,3 kV/1.200 A IGBT-Moduls bei 125 °C ( $V_{DC} = 2.600 \text{ V}$ ,  $I_c = 5.000 \text{ A}$ ,  $R_g = 1,5 \Omega$ ,  $L_g = 280 \text{ nH}$ )

a Strom- und Spannungsverlauf



b Rechteckige I/V-Kurve



Die Liste mit den Wünschen der Branche nach Verbesserungen der elektrischen Performance von Leistungshalbleiter-Bauelementen ist lang. Auch wenn IGBTs dem Benutzer eine Vielzahl attraktiver elektrischer Eigenschaften bieten, werden ständig weitere Verbesserungen gefordert. In den letzten Jahren bestand das Hauptziel bei der Entwicklung von Leistungshalbleitern in der Erhöhung der Leistungsdichte für bestimmte Zielanwendungen. Dies wird im Wesentlichen durch drei Faktoren beschränkt:

- die Gesamtverluste im Element
- die Grenzen des sicheren Arbeitsbereichs (Safe Operating Area, SOA)
- die maximal zulässige Sperrschichttemperatur während des Betriebs

Eine weitere Beschränkung besteht in der Beseitigung der im Element generierten Wärmeleistung. Dies allerdings ist in erster Linie Sache der Aufbau- und Verbindungstechnik (Packaging) und der Kühlung. Die jüngsten Entwicklungen bei ABB im Bereich der Leistungshalbleiter konzentrierten sich auf die ersten beiden Faktoren. Dies gilt insbesondere für Hochspannungselemente.

**SPT: Durchbruch beim SOA**

Ein ständiges Ziel bei der Entwicklung von IGBTs und Dioden ist die Bereitstellung eines ausreichend großen Arbeitsbereichs, um einen sicheren Betrieb unter harten Schaltbedingungen sicherzustellen. Bis vor Kurzem blieb den Konstrukteuren besonders im Hochspannungs-

bereich keine andere Wahl, als eine Reihe von betrieblichen Einschränkungen in Kauf zu nehmen, um das erforderliche Schaltvermögen zu gewährleisten. Dazu gehörten unter anderem der Betrieb mit geringerer Leistung sowie der Einsatz von Schutzbeschaltungen (sog. Voltage Clamps und Snubber) und hohen Gatewiderständen.

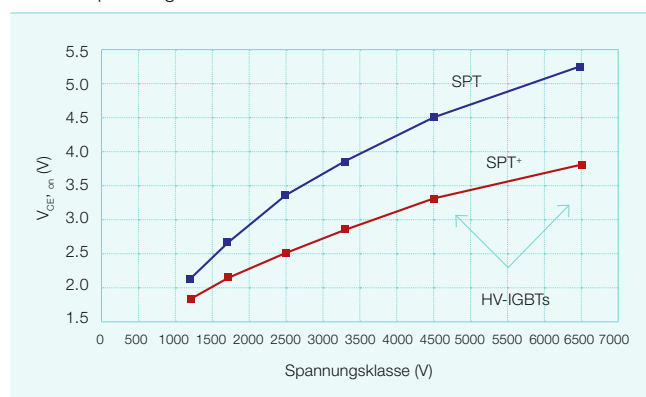
Erst mit der Einführung der Soft-Punch-Through (SPT) Technologie mit dünnerem Silizium und einem äußerst robusten, planaren Zellendesign, das die Durchbruchfestigkeit der Zelle deutlich erhöht, konnten niedrigere Verluste erreicht werden. Damit verbunden war auch ein „Durchbruch“ im Hinblick auf die Grenzen des SOA. Dank der neuen Technologie waren die Elemente erstmalig in der Lage, die kritische Phase des dynamischen Lawineneffekts (Avalanche-Effekt) zu überstehen, was wiederum deutlich zur Verbesserung der Robustheit beitrug. Gleichzeitig waren die Hochspan-

nungs-IGBTs in der Lage, eine neue Betriebsart, den sogenannten Switching-Self-Clamping-Modus (SSCM) zu erreichen, bei dem die Überschwingenspannung annähernd den Wert der statischen Durchbruchspannung erreicht. Wie sich zeigte, war der IGBT in der Lage, auch solche Bedingungen zu überstehen, was zu einem ultimativen rechteckigen SOA-Verhalten führte. Dies ist in den Strom- und Spannungsverläufen des 3,3 kV/1.200 A IGBT-Moduls in **1a** (SOA in Sperrichtung, RBSOA) und **1b** (I/V-Kurve mit rechteckigem SOA) erkennbar. Ähnliche Verbesserungen beim SOA wurden im Hinblick auf die Kurzschlussfestigkeit des IGBT und die Sperrverzögerung der Antiparalleldiode erreicht.

**SPT+: niedrigere Verluste und größerer SOA**

Der nächste Meilenstein war die Reduzierung der Gesamtverluste von IGBT und Diode ohne Abstriche bei den oben genannten Performancevorteilen. Ziel der SPT+ IGBT-Plattform war eine deutliche Senkung der Durchlassspannung bei gleichzeitiger Verbesserung der hohen Abschaltrobustheit gegenüber der SPT-Technologie. Mit der SPT+ IGBT-Technologie setzte ABB neue Maßstäbe für die Technologiekurve von IGBTs über den gesamten Spannungsbereich von 1.200 bis 6.500 V **2**. Die Werte für die Durchlassspannung  $V_{CE(sat)}$  werden bei den gleichen Stromdichten und für ähnliche Abschaltverluste für jede Spannungsstufe erreicht. Im Folgenden soll die Leistungs-

2 Reduzierung der Durchlassspannung  $V_{CE(sat)}$  bei SPT+-IGBTs für Nennspannungen bis 6.500 V



fähigkeit der neuen SPT+-Technologie am Beispiel des IGBT und der Diode eines 6,5-kV-Hochspannungsmoduls beschrieben werden.

**SPT+ IGBT- und Diodentechnologie**

Die höhere Leistungsfähigkeit des SPT+-IGBT wurde durch ein verbessertes planares Zellendesign in Kombination mit der bereits optimierten vertikalen Struktur der SPT-Technologie erreicht. **3** zeigt einen Querschnitt durch den SPT+-IGBT. Bei der planaren SPT+-Technologie ist die p-Wanne in der IGBT-Zelle von einer n-Anreicherungsschicht umgeben. Durch die n-Schicht wird die Ladungsträgerkonzentration auf der Kathodenseite verbessert und somit der Durchlassspannungsabfall ( $V_{CE, on}$ ) ohne bedeutende Erhöhung der Abschaltverluste verringert. Eine weitere Reduktion von  $V_{CE, on}$  wurde durch die Verkürzung der Seitenlänge des MOS-Kanals und die damit verbundene Senkung des Kanalwiderstands erreicht. Durch die optimierte Form der n-Anreicherungsschicht konnte der SOA in Bezug auf die Abschaltrobustheit über den der bereits sehr robusten Standard-SPT-Zelle hinaus erweitert werden. So zeichnet sich die SPT+-Technologie im Vergleich zur Standardtechnologie nicht nur durch deutlich geringere Verluste, sondern auch durch eine höhere Abschaltfähigkeit aus.

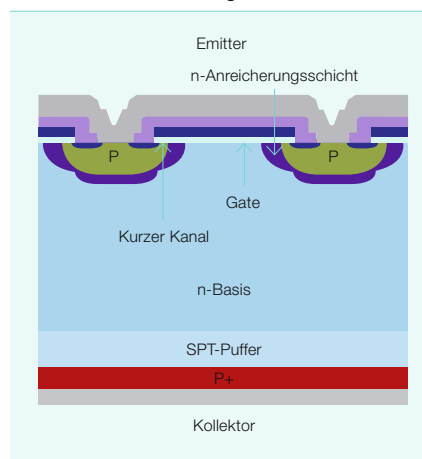
**4** zeigt einen Querschnitt durch die SPT+-Diode. Die Form der gespeicherten Ladung wurde durch doppelte

lokale Einstellung der Ladungsträgerlebensdauer optimiert. Durch die verbesserte Ladungsverteilung konnten die Gesamtverluste reduziert werden, während die weichen Abschalteigenschaften (Soft Recovery) der standardmäßigen SPT-Dioden erhalten blieben.

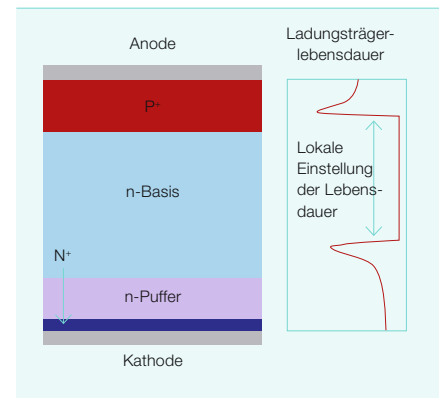
Anodenseitig weist die SPT+-Diode mit einem stark dotierten p+-Emitter das gleiche Design auf wie bei der SPT-Technologie. Der Wirkungsgrad des Anodenemitters wird mithilfe eines ersten He<sup>++</sup>-Peaks eingestellt, der in die p+-Diffusion eingebracht wird. Zur Steuerung der Plasmakonzentration im Bereich der n-Basis und auf der Kathodenseite der Diode wird ein zweiter He<sup>++</sup>-Peak von der Kathodenseite tief in die n-Basis implantiert. Auf diese Weise wird das in **4** dargestellte

Profil der Ladungsträgerlebensdauer erreicht. Mit diesem Verfahren ist keine zusätzliche homogene Einstellung der Lebensdauer in der n-Basis erforderlich. Durch die verbesserte Form des gespeicherten Elektron-Loch-Plasmas

**3** SPT+ IGBT-Technologie



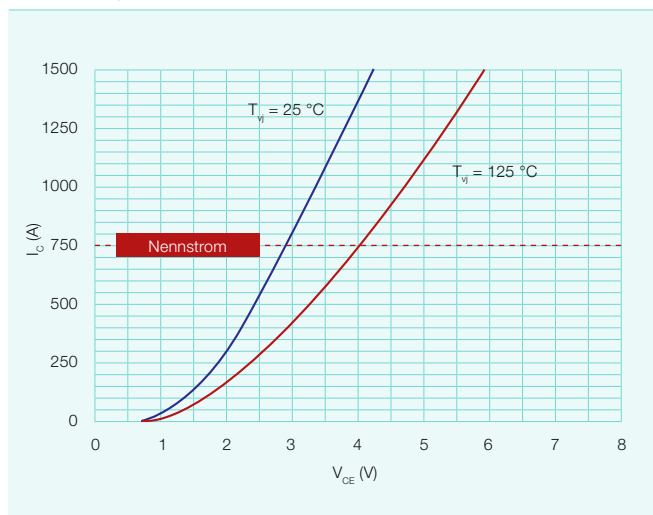
**4** SPT+-Diodentechnologie



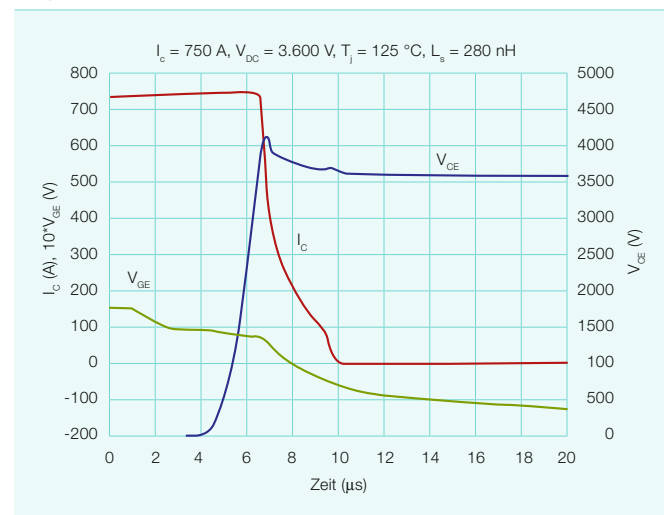
**5** Das 6,5 kV HiPak-Modul mit dem neu entwickelten SPT+-Chipsatz



**6** Durchlasskennlinie des 6,5 kV SPT+-IGBT (Messung auf Modulebene)



**7** Abschaltkennlinien des 6,5 kV SPT+-IGBT unter Nennbedingungen, gemessen auf Modulebene



## Halbleiter

wurde ein besserer Kompromiss zwischen geringen Diodenverlusten und weichem Abschaltverhalten erreicht.

### Das 6,5 kV SPT+ HV-HiPak™-Modul

Der neue 6,5 kV SPT+-IGBT weist im Vergleich zum Standard-SPT-Element etwa um 30% niedrigere Durchlassverluste auf. Dies und die größere Robustheit des SPT+-IGBT haben eine Erhöhung des Nennstroms von 600 A für das standardmäßige 6,5 kV HiPak-Modul auf bis zu 750 A für die neue SPT+-Version ermöglicht.

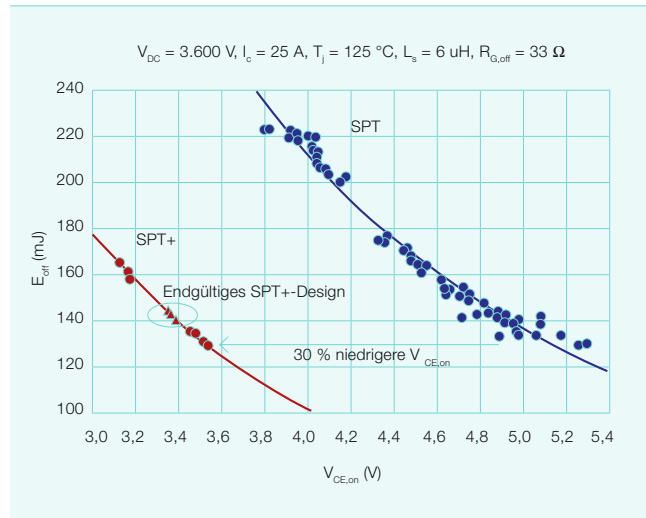
5 zeigt das 6,5 kV HV-HiPak-Modul mit seinem Industriestandard-Gehäuse in der gängigen Größe 190x140 mm. Die Bodenplatte besteht aus einem Aluminium-Silizium-Karbidmaterial (AlSiC), um eine hohe Temperaturwechselfestigkeit zu gewährleisten, wie sie in Traktionsanwendungen gefordert ist. Zusätzlich sorgt eine Isolation aus Aluminiumnitrid (AlN) für einen geringen thermischen Widerstand. Das Isolationsvermögen der HV-HiPak-Version für die Spannungsklasse bis 6,5 kV beträgt 10,2 kV<sub>RMS</sub>.

Die Leistungsfähigkeit der 6,5 kV SPT+-Chips und des HV-HiPak-Moduls wurden in umfangreichen Messungen bestätigt, deren Ergebnisse hier dargestellt sind. Die dynamischen Messungen wurden bei einer Zwischenkreis-Nennspannung von 3.600 V und die SOA- und Softness-Messungen bei 4.500 V durchgeführt.

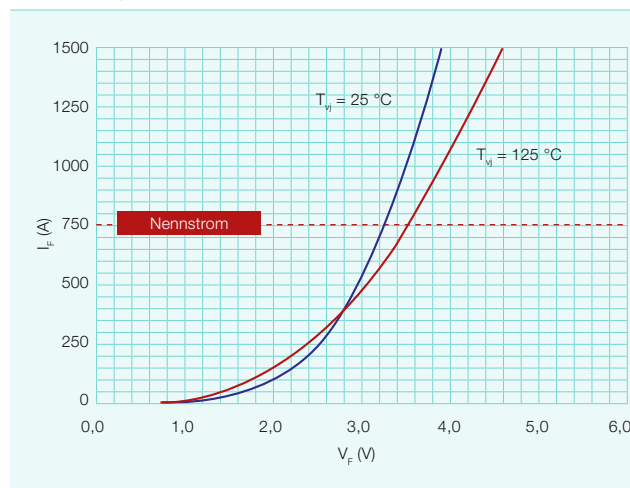
### Eigenschaften und Verluste des IGBT

6 zeigt die Durchlasskennlinie des 6,5 kV SPT+-IGBT. Der typische Durchlassspannungsabfall ( $V_{CE, on}$ ) bei Nennstrom und einer Sperrschichttemperatur von  $T_j = 125^\circ\text{C}$  beträgt 4,0 V.

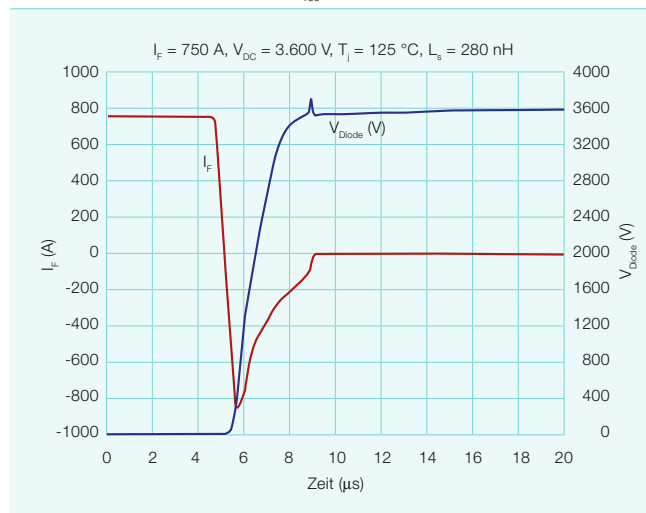
8 Vergleich der Technologiekurven von SPT+- und SPT-IGBT, gemessen auf Chipebene



9 Durchlasskennlinie der 6,5 kV SPT+-Diode (Messung auf Modulebene)



10 Sperrverzögerung der 6,5 kV SPT+-Diode unter Nennbedingungen, gemessen auf Modulebene ( $E_{rec} = 2,8 \text{ J}$ )



Der SPT+-IGBT weist bereits bei niedrigen Strömen einen positiven Temperaturkoeffizienten von  $V_{CE, on}$  auf. Dies ermöglicht eine gute Temperaturaufteilung zwischen den einzelnen Chips innerhalb des Moduls.

7 zeigt die Strom- und Spannungsverläufe beim Abschalten des 6,5 kV HiPak-Moduls bei Nennbedingungen, d. h. bei 750 A und 3.600 V. Unter diesen Bedingungen betragen die Abschaltverluste des Moduls 5,2 J. Die Abschaltung erfolgte mithilfe eines externen Gatewiderstands ( $R_{G, off}$ ) von  $15 \Omega$ , der daraus resultierende Spannungsanstieg beträgt  $2.000 \text{ V}/\mu\text{s}$ . Die optimierte n-Basis in Verbindung mit dem Soft-Punch-Through (SPT)-Puffer ermöglicht einen sanften Abfall des Kollektorstroms und somit ein sanftes Abschaltverhalten ohne störende Spannungsspitzen oder Oszillationen auch bei hohen Zwischenkreisspannungen und Streuinduktivitäten.

8 zeigt die Kurve für den Zusammenhang zwischen Durchlassspannungsabfall und Abschaltverlusten einmal für den SPT+-IGBT und einmal für den SPT-IGBT, gemessen auf Chipebene. Die verschiedenen Punkte auf den beiden Technologiekurven stehen für IGBTs mit unterschiedlichen Wirkungsgraden des Anodenemitters. Die Messungen wurden bei einem Kollektorstrom von 25 A, dem Nennstrom der SPT-IGBTs, durchgeführt. Der neue SPT+-IGBT weist im Vergleich zum SPT-Standardchip bei gleichen Durchlassverlusten einen ca. 30% niedrigeren Durchlassspannungsabfall ( $V_{CE, on}$ ) auf. Der letzte Punkt der Kurve für die SPT+-IGBTs wurde im Hinblick auf den Kompromiss zwischen Sperrreststrom und sanftem Abschaltverhalten so gewählt, dass gleichzeitig ein guter Ausgleich zwischen Schalt- und

Durchlassverlusten gewährleistet ist.

**Eigenschaften und Verluste der Diode**

9 zeigt die Durchlasskennlinie der 6,5 kV SPT+-Diode. Aufgrund der optimierten Plasmaform durch doppelte He<sup>++</sup>-Bestrahlung weist die Diode bereits deutlich unterhalb des Nennstroms einen stark positiven Temperaturkoeffizienten von  $V_F$  auf. Bei Nennstrom und 125 °C beträgt der typische Durchlassspannungsabfall 3,5 V.

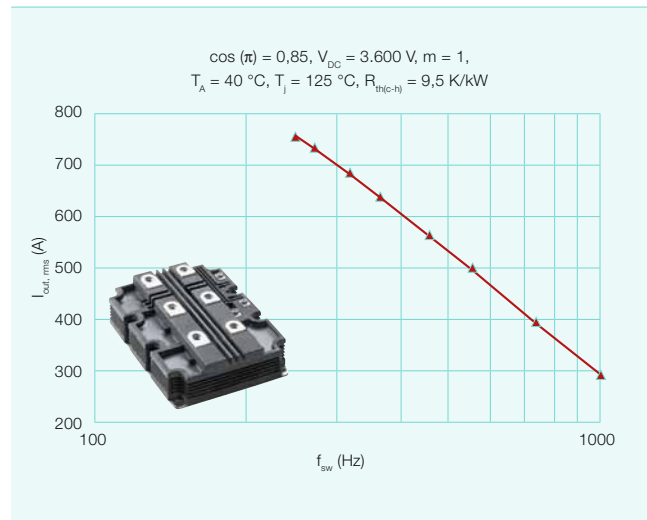
10 zeigt die Sperrverzögerungskennlinien der Diode unter Nennbedingungen.

Durch sorgfältige Auslegung der kathodenseitigen He<sup>++</sup>-Peaks wurde ein kurzer, aber dennoch sanft abfallender Stromverlauf erreicht. Die Sperrverzögerungsverluste der Diode unter Nennbedingungen betragen 2,8 J. Dank der hohen Robustheit und des Soft-Recovery-Verhaltens kann die Diode mit einem hohen  $di_F/dt$  geschaltet werden, was die IGBT-Abschaltverluste deutlich reduziert.

**Ausgangsstrom**

Um die Leistungsfähigkeit des 6,5 kV SPT+-Moduls unter realen Anwendungsbedingungen zu beurteilen, wurde eine thermische Simulation des Ausgangsstroms des Moduls in Abhän-

11 Ausgangsstrom des 6,5 kV SPT+ HiPak-Moduls in Abhängigkeit von der Schaltfrequenz



gigkeit von der Schaltfrequenz durchgeführt, deren Ergebnisse in 11 dargestellt sind. Die 6,5 kV SPT+-IGBTs wurden durch die Verwendung niedriger Schaltfrequenzen für den Einsatz in Anwendungsumgebungen mit hohen Streuinduktivitäten optimiert. Um ein sanftes Schaltverhalten zu gewährleisten, wurde der IGBT mit einem relativ hohen Wirkungsgrad des Anodenemitters ausgelegt. Dies erhöht die Elektron-Loch-Konzentration auf der Anodenseite der n-Basis und sichert einen sanft abfallenden Abschaltstromverlauf bei hohen Streuinduktivitäten und Zwischenkreisspannungen. Das Ergebnis ist ein Chip mit niedrigen Durchlassverlusten und

höheren Abschaltverlusten, was eine ideale Voraussetzung für niedrige Schaltfrequenzen darstellt.

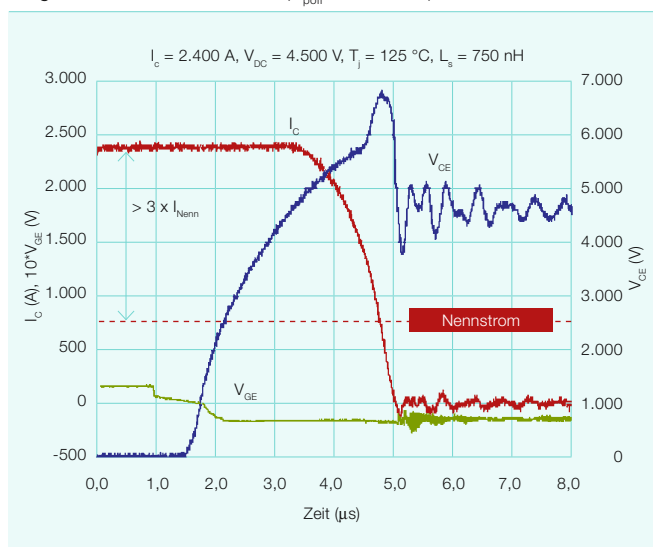
**Abschaltung und Sperrverzögerung**

Ein Hauptvorteil des neuen 6,5 kV SPT+-IGBT ist seine extrem hohe Abschaltrobustheit, die einen neuen Maßstab für diese Spannungs-kategorie setzt. 12 zeigt die Strom- und Spannungsverläufe beim Abschalten auf Modulebene. Hier wurde ein Strom von 2.400 A – dies entspricht mehr als dem Dreifachen des Nennstroms – gegen eine Zwischenkreisspannung von 4.500 V bei

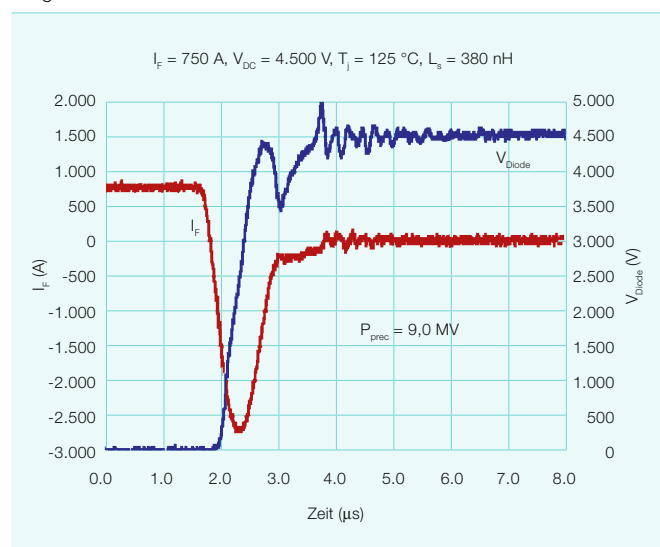
einer Sperrschichttemperatur von 125 °C abgeschaltet. Der Test wurde mit einem externen Gatewiderstand von 1,0 Ω ohne Clamps oder Snubber durchgeführt. Die Streuinduktivität bei dieser Prüfung betrug 750 nH, was selbst im ungünstigsten Fall mehr als dem Doppelten des bei der vorgesehenen Anwendungsumgebung zu erwartenden Werts entspricht.

Dank der Robustheit der SPT+-Zelle sind die IGBTs in der Lage, während des Abschaltvorgangs starke dynamische Lawineneffekte von längerer Dauer zu überstehen, und weisen somit hervorragende SOA-Eigenschaften auf. Bei dem Test erreichte die

12 Abschaltkennlinien des 6,5 kV SPT+-IGBT unter SOA-Bedingungen, gemessen auf Modulebene ( $P_{poff} = 11,7$  MW)

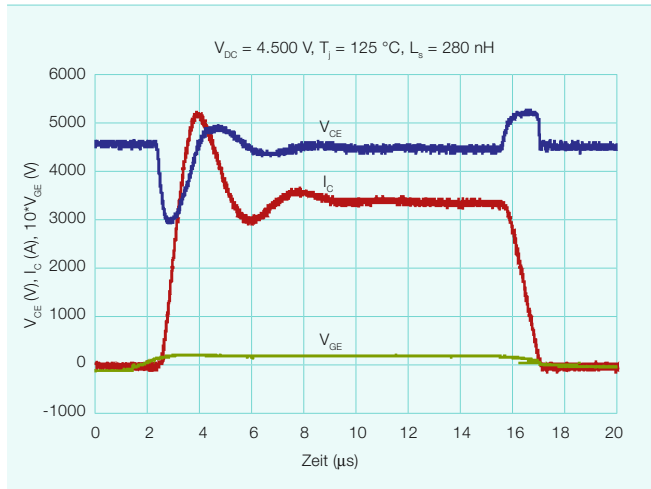


13 Sperrverzögerung der 6,5 kV SPT+-Diode unter SOA-Bedingungen, gemessen auf Modulebene



Halbleiter

14 Kurzschlusskennlinie des 6,5 kV SPT+-IGBT, gemessen auf Modulebene



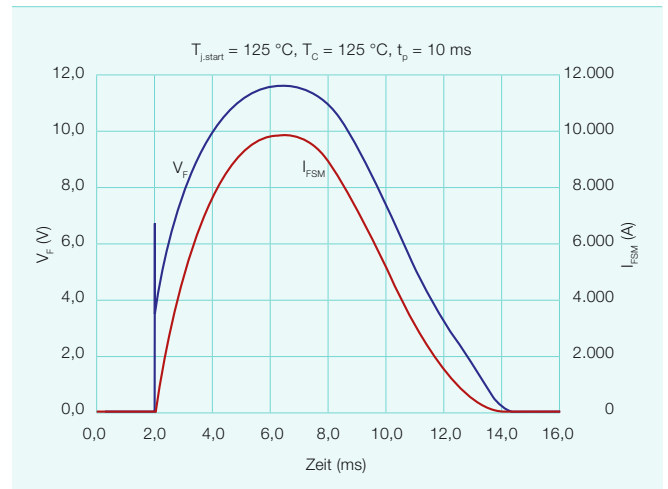
Abschaltleistung einen Spitzenwert von 11,7 MW. Bei der standardmäßigen Produktionsprüfung werden alle Module einem Abschalt-SOA-Test mit dem Dreifachen des Nennstroms (2.250 A) unterzogen, bei dem ein dynamischer Lawineneffekt ausgelöst wird. Zweck dieser äußerst strengen Prüfung ist es, eine hohe Qualität und Zuverlässigkeit aller 6,5 kV HV-HiPak-Module zu gewährleisten.

13 zeigt einen Test der Sperrverzögerung unter SOA-Bedingungen, gemessen auf Modulebene bei einem Durchlassstrom von 750 A (Nennstrom) und einer Zwischenkreisspannung von 4.500 V. Aufgrund des Einschaltverhaltens des IGBT erreicht die Diodenleistung ihren Spitzenwert in der Nähe des Nennstroms und beginnt bei höheren Strömen wieder zu sinken. Das Schalten der Diode erfolgte mithilfe eines externen Gatewiderstands ( $R_{G, on}$ ) von 1,2  $\Omega$  bei einer Schaltgeschwindigkeit von 7.000 A/ $\mu$ s und einer Spitzenleistung von 9,0 MW.

**Kurzschluss-SOA**

Die Kurzschlusskennlinien des 6,5 kV SPT+-Moduls sind in 14 dargestellt. Der IGBT wurde so ausgelegt, dass er einem Kurzschluss bei  $V_{GE} = 15,0$  V und allen Zwischenkreisspannungen bis 4.500 V sowie Sperrschichttemperaturen zwischen  $-40$  °C und  $125$  °C standhält. Die gewünschte Kurzschlussfestigkeit wurde durch Optimierung des PPT-Puffers und des Wirkungsgrads des Anodenemitters erreicht.

15 Stoßstromverlauf bei der 6,5 kV SPT+-Diode auf Modulebene



**Stoßstromfestigkeit**

Zur Prüfung der Stoßstromfestigkeit des 6,5 kV SPT+-Moduls wurde das HiPak-Modul mit 100 Impulsen von 9,9 kA und einer Dauer von 10 ms ( $I^2t = 523$  kA<sup>2</sup>s) belastet 15. Nach dem 100. Impuls wurde das Modul erneut elektrisch getestet, um eine Degradation auszuschließen. Bei einem nachfolgenden Zerstörungstest wurde die Stoßstromfestigkeit bestimmt. Die Dioden erreichten vor dem Ausfall einen Spitzenstrom von 12,3 kA, was einem  $I^2t$ -Wert von 705 kA<sup>2</sup>s entspricht. Erreicht wurde diese hervorragende Stoßstromfestigkeit dank der Kombination aus einem stark dotierten P+-Emitter und einem niedrigen Durchlassspannungsabfall, der wiederum durch die optimale Plasmaverteilung infolge der doppelten He<sup>++</sup>-Bestrahlung begünstigt wird.

**Zukünftige Trends**

Angesichts der Fortschritte auf dem Gebiet der modernen IGBT- und Diodenstrukturen stehen die Konstrukteure leistungselektronischer Elemente vor der wachsenden Herausforderung, die Leistungsfähigkeit von IGBTs mithilfe konventioneller Verfahren zur Optimierung des Ladungsträgerplasmas und Reduzierung der Dicke des Siliziums weiter zu verbessern. Ein Teil der Entwicklung befasst sich heute mit der Wiederbelebung des rückwärts leitenden IGBT (Reverse Conducting IGBT, RC-IGBT), der IGBT und Diode in einer einzigen Struktur vereint und so mehr Leistung pro Fläche (d. h. für eine bestimmte Modulgröße) ermög-

licht. Die Möglichkeiten, die sich aus einem solchen technologischen Schritt ergeben, sind vielfältig.

Auch die maximale Sperrschichttemperatur rückt zunehmend in den Mittelpunkt des Entwicklungsinteresses. Da die Belastbarkeit (d. h. der SOA) der Elemente mittlerweile so weit gestiegen ist, dass IGBTs theoretisch bei Strömen betrieben werden können, die die Nennwerte moderner Systeme bei Weitem übersteigen, stehen die Entwickler nun vor der Aufgabe, den Temperaturbereich zu vergrößern. Da die Ausgangsleistung proportional zum Temperaturunterschied ( $\Delta T$ ) zwischen der Sperrschicht des Chips und dem Kühlmedium ist, bedeutet eine höhere zulässige Betriebstemperatur des Halbleiters eine höhere Leistungsdichte für eine bestimmte Elementfläche. So bewirkt eine Erhöhung der Temperatur um 25 °C je nach Kühlung eine 25 bis 30%ige Verbesserung der Nennleistung.

Mehr zum Thema IGBTs lesen Sie im Artikel „Auf das Packaging kommt es an“ auf Seite 9 dieses Hefts.

**Munaf Rahimo**

**Arnost Kopta**

ABB Semiconductors  
 Lenzburg, Schweiz  
 munaf.rahimo@ch.abb.com  
 arnost.kopta@ch.abb.com