

Charakterisierung und Modellierung der ESD-Zerstörfestigkeit von integrierten Schaltungen unter Berücksichtigung verschiedener ESD-Ausfallmechanismen

Dipl.-Ing. Stanislav Scheier, Prof. Dr.-Ing. Stephan Frei,
Technische Universität Dortmund, AG Bordsysteme

1 Einleitung

Die zunehmende Miniaturisierung von eingesetzten Halbleiterstrukturen stellt neue Herausforderungen an den ESD-Schutz sowohl auf der IC- als auch auf der Systemebene. Die Bewertung der ESD-Festigkeit von Systemen mittels von Testreihen ist kosten- und zeitintensiv. Auch ist die versuchsbasierte Auswahl von optimalen Schutzstrukturen mit erheblichem Aufwand verbunden. Hingegen erlaubt eine simulationstechnische Untersuchung des ESD-Verhaltens eines Systems eine schnelle Bewertung und eventuelle Modifikation eines gewählten Schutzkonzepts.

Die simulationstechnische Untersuchung erfordert genaue Modelle der einzelnen Systemkomponenten. Insbesondere ist das Hochspannungsverhalten von IC-Eingängen relevant. Für Modellierung des elektrischen Verhaltens basierend auf Messdaten existieren verschiedene Ansätze. Z.B. wurde in [1] die IBIS-Methode für ESD-Untersuchungen adaptiert. In [2] und [3] wurde die Strom-Spannungs-Kennlinie in einer Lookup-Tabelle hinterlegt und um frequenzabhängige Gehäuseeigenschaften ergänzt. Beide Ansätze können nicht in jedem Netzwerksimulationsprogramm implementiert werden, deshalb ist der Einsatz von Kennlinienfunktionen eine wichtige Alternative.

Um eine Aussage bezüglich der ESD-Zerstörfestigkeit eines Systems zu treffen, ist die Identifikation des Ausfallmechanismus eines ICs wichtig. In [3] wurde gezeigt, dass die thermische Zerstörung bei speziellen ICs für Kfz-Anwendungen mit ausgedehnten ESD-Schutzstrukturen wie bei LIN- und CAN-Transceivern dominiert. Eine Übertragungsmöglichkeit auf ICs aus anderen Bereichen mit anderen Schutzkonzepten ist fraglich.

Bei thermischen Ausfällen kann es zu einer signifikanten Veränderung der gemessenen Eingangskennlinie kommen. Eine Bewertung der Eingangskennlinie kann somit eine Aussage über Schäden an IC-Strukturen liefern. Eine Beschädigung oder Degradation des Chips kann jedoch schon auftreten, noch bevor die Kennlinie sich verändert. Solche Schäden können möglicherweise bereits durch geringe Spannungspegel verursacht werden und sind im schlimmsten Fall nur mit einer kompletten Funktionsüberprüfung sichtbar. So stellen ESD-Schäden am Gate eines IC-Eingangs ein im Vergleich zu einem thermischen Ausfall anderes Fehlerbild dar, das vom ersten Spannungsspeak einer ESD hervorgerufen werden und auf die Kennlinie keinen Einfluss haben kann.

Als Untersuchungs-ICs, die keinen besonderen ESD-Schutz aufweisen, wurden ein 8-Bit Mikrocontroller (μC) und ein Audio-IC für tragbare Multimedia-Geräte ausgewählt. Am μC wurde ein General Purpose Input Output Pin (GPIO) und am Audio IC ein Kopfhörerausgang (HPout) intensiv untersucht. Beide Pins könnten in einer praktischen Anwendung nach außen geführt werden und sind somit ESD gefährdet. Für die Charakterisierung des ESD-Verhaltens wurden spezielle Platinen hergestellt. Diese bieten zusätzlich zu der Möglichkeit der Aufnahme der Eingangskennlinie, die notwendigen Anschlüsse für eine umfangreiche Funktionsüberprüfung nach einer ESD-Belastung. Das elektrische Verhalten wurde mit einer Ersatzschaltung nachgebildet und diese mit

Messungen validiert. Die durchgeführten Untersuchungen werden in diesem Beitrag ausführlich dargestellt. Die Korrelation zwischen den beiden Fehlererkennungsverfahren - Kennlinie und Funktion - wird diskutiert, und Möglichkeiten, um die ESD Zerstörfestigkeit zu erhöhen, werden vorgestellt.

2 Charakterisierung des Hochspannungs- bzw. Hochstromverhaltens

Die Charakterisierung des ESD-Verhaltens von ICs unterteilt sich in Messung der elektrischen Eigenschaften bei Hochspannungstransienten und Feststellung der kritischen Größen für einen Ausfall. Das statische Strom- Spannungsverhalten von Halbleiterbauelementen kann mit Messungen mit einem Kennlinienschreiber und für höhere Ströme mit einem TLP [4], [6] bestimmt werden. Es ist üblich, die Bewertung der Zerstörfestigkeit von ICs anhand einer statischen Messung der Eingangskennlinie durchzuführen [2]. Wird eine signifikante Veränderung der Kennlinie festgestellt, gilt der IC als beschädigt. Bei den hier vorgestellten Ergebnissen wurde zusätzlich eine Funktionsüberprüfung des ICs im Betrieb vorgenommen. Die Funktionsüberprüfung wird im Folgenden kurz erläutert:

- Audio IC: der IC wird mit einer Mikrocontroller-Platine für den Bypass-Modus konfiguriert. In diesem Zustand wird das Signal am Mikrofon-Pin ohne digitale Verarbeitung an den Kopfhörerausgang geleitet. Der Benutzer kann die Amplitude (Lautstärke) einstellen. Für die Funktionsüberprüfung wird ein 1 kHz Sinus eingespeist, in der Amplitude verändert und am Kopfhörerausgang mit einem Oszilloskop gemessen. Der IC gilt als beschädigt, falls die Amplitude des Signals nicht mehr einstellbar ist oder eine deutliche Verzerrung registriert wird.
- μC Eingangsstufe: in Abhängigkeit von dem Pegel an dem getesteten Pin wird eine LED an einem anderen Pin gesteuert. Der maximale Eingangsstrom an einem beliebigen Pin beträgt laut Datenblatt 10 mA. Um auch bei Konfigurationsfehlern diese Bedingung sicherzustellen, wurde das 5 V Eingangssignal über einen seriellen Widerstand von 1 k Ω angelegt.
- μC Ausgangstreiber: der μC bringt eine LED an dem getesteten Pin zum Blinken.

Die Charakterisierung wurde mit äußerster Sorgfalt durchgeführt. Es wurde immer darauf geachtet, dass während der Belastung mit TLP-Pulsen alle für die Funktionsüberprüfung notwendigen Anschlüsse getrennt wurden, und eine ausreichende Masseanbindung vorhanden war. Der Charakterisierungsprozess ist in Abbildung 1 veranschaulicht.

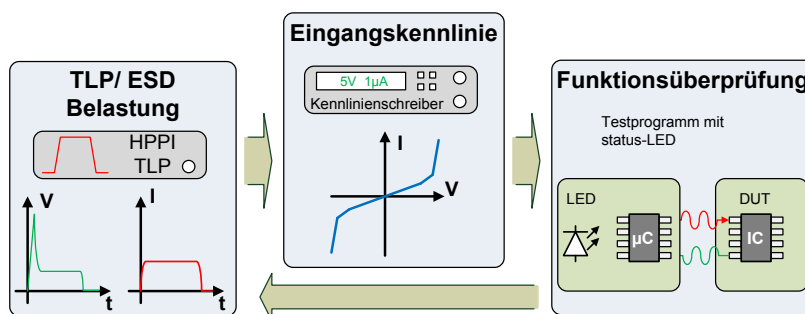


Abbildung 1: Charakterisierungsprozess des Hochstromverhaltens mit Detektion der ESD-Zerstörfestigkeit

2.1 TLP-Platinen

Das Hochstromverhalten des ICs wurde auf Systemebene gemessen. Alle Platinen wurden mit externen Komponenten gemäß Anwendungsinformationen aus dem Datenblatt

bestückt. Vor allem die Pufferkondensatoren an den Versorgungspins können das ESD-Verhalten aufgrund von zusätzlichen Strompfaden maßgeblich beeinflussen. Die Impedanz von Leiterbahnen zum Anschluss des TLP an untersuchte Pins wurde an die 50 Ω des TLP Systems angepasst. Auf diese Weise wurden Reflektionen minimiert. Abbildung 2 zeigt die TLP Platinen für die untersuchten ICs.

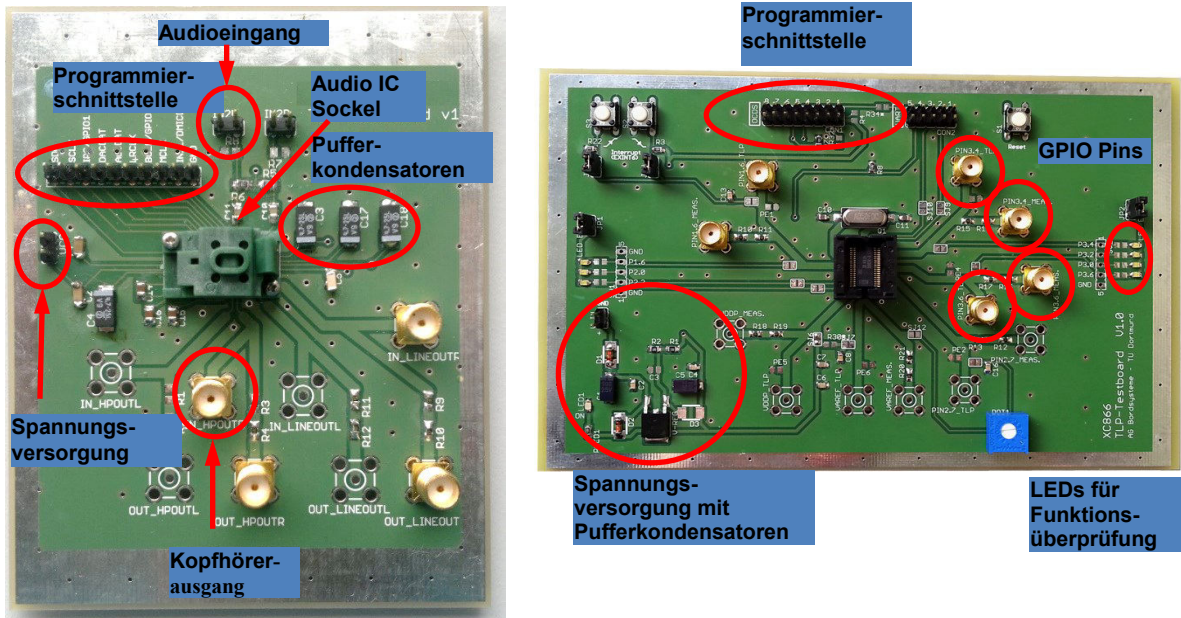
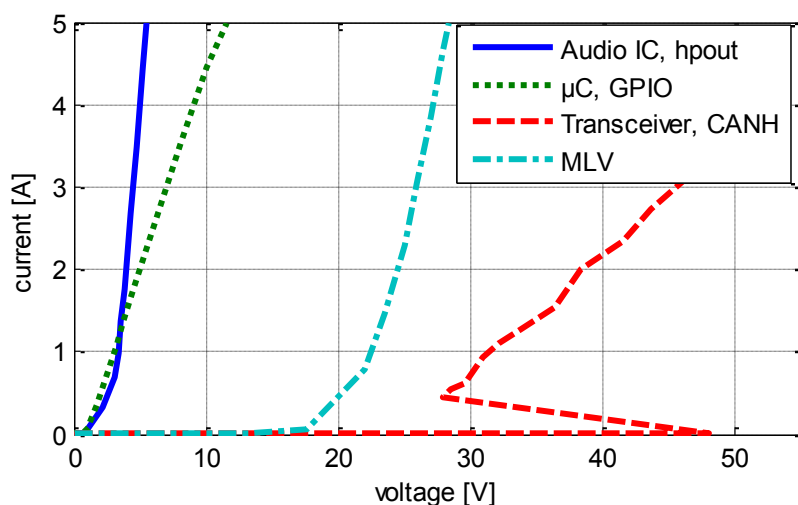


Abbildung 2: TLP Platinen mit Möglichkeit einer Funktionsüberprüfung. Audio IC (links), µC (rechts).

2.2 Elektrisches Verhalten

Abbildung 3 zeigt gemessene UI-Kennlinien für die untersuchten ICs. Zusätzlich sind die Kennlinien eines CAN Transceiver (CAN-High-Pin) und eines Multi-Layer Varistors (MLV) neuer Generation abgebildet. Es fällt auf, dass die Durchbruchspannungen des CAN Transceivers aber auch des MLV deutlich höher sind. Anhand der UI-Kennlinien ist ein ESD-Schutz mit dem vorgestellten MLV aber auch anderen nichtlinearen Schutzkomponenten ohne Beeinträchtigung der Funktionalität wahrscheinlich problematisch.



	Voltage @1 mA	Voltage @1 A
Audio IC, hpout	1 V	3.4 V
µC, GPIO	0.7 V	3.1 V
Transceiver, CANH	48 V	31 V
MLV	12.5 V	22 V

Abbildung 3: Gemessene UI-Kennlinien verschiedener ICs und eines MLV neuer Generation und die charakteristischen Werte

2.3 Zerstörfestigkeit

Für die Parametrisierung des thermischen Ausfallmodells [3] wird die gemessene kritische Energie bei unterschiedlichen TLP Pulsbreiten benötigt.

Der Audio IC zeigte eine außergewöhnlich hohe Robustheit gegenüber TLP Pulsen. Nur unter Belastung mit 200 ns Pulsbreiten wurde eine Zerstörung bei 1200 V mit beiden Kriterien gemessen. Bis zu diesem Pegel ließ der Audio IC sich normal konfigurieren und keine Funktionsbeeinträchtigung konnte festgestellt werden. Für schmalere Pulse hat die maximale Ladespannung des verwendeten TLP System (1480 V) nicht ausgereicht, um eine Zerstörung zu bewirken. Aufgrund dieser Ergebnisse kann der Initialpeak als Fehlerursache sehr wahrscheinlich ausgeschlossen werden und ein thermischer Defekt wird angenommen.

Die Ergebnisse der μC -Charakterisierung zeigen eine thermische Zerstörung mit hoher Wahrscheinlichkeit. Die kritische Energie ist für alle Pulsbreiten beinahe identisch. Eine konstante Ausfallenergie bedeutet, dass kein Wärmeaustausch der aktiven Halbleiterstruktur mit dem Gehäuse während der Pulsbelastung im ns-Bereich stattfindet und der IC adiabat angesehen werden kann. Das Fehlerbild ist für alle Pulsbreiten identisch. Der Leckstrom steigt signifikant an. Nach der Konfiguration als Ausgang kann eine LED betrieben werden. Das Empfangen von Signalen ist jedoch nicht mehr möglich. Tabelle 1 fasst die gemessenen Werte zusammen.

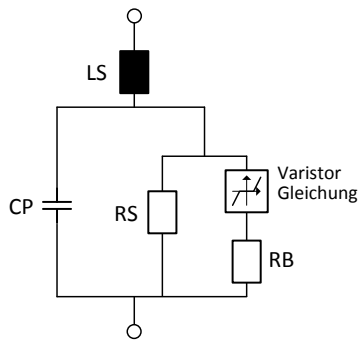
μC , GPIO						Audio IC, HPout				
	U_{TLP}	E_{Kritisch}	Funktion Eingang	Funktion, Ausgang	Statische Kennlinie		U_{TLP}	E_{Kritisch}	Funktion	Statische Kennlinie
50 ns	300 V	13.4	defekt	ok	defekt	50 ns	1480 V	23 μJ	ok	Ok
100 ns	450 V	13.2	defekt	ok	defekt	100 ns	1480 V	43 μJ	ok	Ok
200 ns	650 V	13.3	defekt	ok	defekt	200 ns	1200 V	45 μJ	defekt	Defekt

Tabelle 1: Kritische Energien für untersuchten ICs mit Ergebnissen der Funktionsüberprüfung

3 Modellierung

Wie in der Einleitung bereits angesprochen bietet der Einsatz von Kennlinienfunktionen zur Abbildung des Hochstromverhaltens von ICs und Schutzelementen mehr Flexibilität bei der Wahl des Netzwerksimulationsprogramms und höhere Stabilität bei Ausführung. Um komplexere Setups simulationsbasiert zu untersuchen, werden Modelle von Schutzelementen, hier am Beispiel eines MLV dargestellt, und von ICs benötigt.

Abbildung 4 zeigt das MLV-Modell. Das Verhalten im Vordurchbruchbereich wird über den Sperrschichtwiderstand bestimmt. Der Durchbruch kann mit der Varistor-Gleichung [7] angenähert werden. Bei höheren Spannungen wird der Strom über einen Bahnwiderstand begrenzt. Die Frequenzeigenschaften werden als linear angenommen und über die Gehäuseparameter beschrieben. Diese wurden mit einem Netzwerkanalysator gemessen.



Gehäuseparameter:

LS = serielle Induktivität
CP = parallele Kapazität

Varistor Gleichung:

$$I_{MLV} = \left(\frac{U_{MLV}}{U_{1A}} \right)^n$$

U_{1A} = Durchbruchspannung

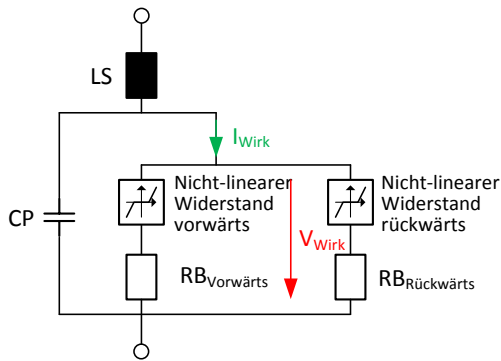
n = Kennliniensteigung

RB = Bahnwiderstand

RS = Sperrschichtwiderstand

Abbildung 4: MLV Modell

Abbildung 5 zeigt die entwickelten IC Modelle. Aufgrund der angenommenen physikalischen Struktur und der gemessenen Ergebnisse wurde die UI-Kennlinie mit einer Diode approximiert. Wenn der innere IC-Aufbau nicht symmetrisch ist, können das Vorwärts- und Rückwärtsverhalten separat modelliert werden. Der Übergang vom nichtleitenden zum leitenden Zustand wird mit der Dioden-Gleichung [7] approximiert. Bei höheren Spannungen wird der Strom, in Analogie zu einer Diode, über einen Bahnwiderstand begrenzt. Auch hier werden die frequenzabhängigen Eigenschaften mit den Parametern LS und CP beschrieben.



Gehäuseparameter:

LS = serielle Induktivität
CP = parallele Kapazität

Nichtlinearer Widerstand:

$$I_D = I_{BR} \cdot \exp \left(- \frac{U_D + U_{BR}}{n_{BR} \cdot U_T} \right)$$

U_{BR} = Durchbruchspannung

I_{BR} = Durchbruchstrom

U_T = Temperaturspannung

n_{BR} = Emissionskoeffizient

RB = Bahnwiderstand

Abbildung 5: IC Modell

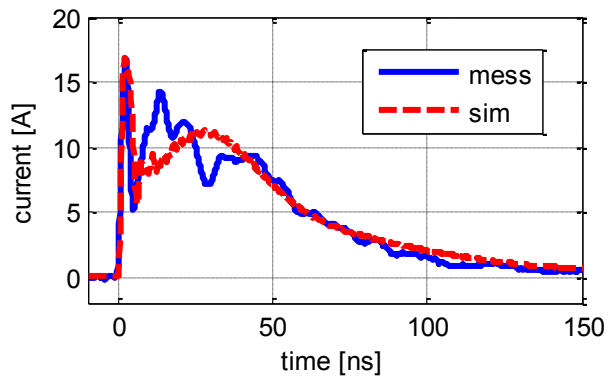
Die Parametrisierung des thermischen Ausfallmodells mit einem RC-Netzwerk [3] erfordert gemessene Ausfälle bei mindestens zwei verschiedenen TLP Pulsbreiten. Somit ist das Verfahren auf den Audio IC nicht anwendbar. Bei der Charakterisierung des µC wurde gezeigt, dass der Wärmeabfluss an die Umgebung für transiente Vorgänge wie ESD und TLP Pulse bis 200 ns nicht signifikant ist. Diese Erkenntnisse machen eine Modellierung des Wärmeabfluss mit einem thermischen Widerstand redundant. Die Temperatur an der thermischen Kapazität ist direkt proportional zu der absorbierten elektrischen Energie. Aus diesen Gründen wurde bei der Modellierung auf die thermische Domäne verzichtet. Eine Zerstörung wird angenommen sobald die simulierte Energie $E = \int I_{wirk} \cdot U_{wirk} dt$ einen kritischen Wert übersteigt.

4 Simulationsbasierte Analyse

4.1 ESD-Zerstörfestigkeit auf Systemebene

Die IC-Modelle werden mit den Ergebnissen der TLP-Charakterisierung parametrisiert. Für die Verifizierung der IC-Modelle wurde die ESD-Zerstörfestigkeit nach der Norm

61000-4-2 [8] unter Berücksichtigung der Konfiguration auf den TLP Platinen simuliert und mit Messung verglichen. Ein NoiseKen ESD-Simulator mit einem 150 pF/ 330 Ω Entladnetzwerk kam dabei zum Einsatz. Das äquivalente Modell aus konzentrierten Bauelementen wurde bereits in [5] vorgestellt und an verschiedenen Lasten verifiziert. Bei messtechnischen Untersuchungen wurden die ICs mit drei Impulsen bei 1 Hz pro Spannungslevel beaufschlagt. Nur geringe Abweichungen zwischen der simulierten und gemessenen kritischen Spannung wurden festgestellt (vgl. Abbildung 6).



	U_{ESD} Gen Sim	U_{ESD} Gen Mess	Funktion	Statische Kennlinie
Audio IC	17,5 kV	17 kV	defekt	defekt
μC	5 kV	5,5 kV	defekt	defekt

Abbildung 6: Simulierte und gemessene kritische ESD-Generator-Spannung für beide ICs (rechts). Kritischer ESD-Strom bei 5,5 kV auf den μC (links).

4.2 Schutz von niederohmigen IC-Pins mit geringer Durchbruchspannung

Für die Untersuchung der System-ESD-Zerstörfestigkeit wurden Demonstratorplatinen hergestellt. Die Leiterbahngeometrie wurde an Designs von typischen Steuergeräten bzw. Kommunikationsgeräten angelehnt. Optional können Schutzelemente bestückt werden. Der Einfluss eines Schutzelementes wird ermittelt, indem nur der ESD-Strom durch den IC gemessen wird. Abbildung 7 (rechts) zeigt exemplarisch den Audio-IC-Demonstrator.

Die gemessenen Hochstrom-UI-Kennlinien haben keine schützende Wirkung des MLV prognostiziert (vgl. Abbildung 3). Die Messung zeigte jedoch eine deutliche Abnahme des IC-Stromes (Abbildung 7 links). Der Initialpeak einer ESD wurde komplett vom Schutzelement absorbiert. Ausschlaggebend für diese Ergebnisse sind zwei Tatsachen.

1. Der verwendete MLV weist eine sehr geringe Kapazität von ca. 15 pF, damit ist eine kurze Ansprechzeit verbunden.
2. Das Schutzelement ist von dem IC über eine Leiterbahn von ca. 30 mm Länge entkoppelt. Der Einsatz eines Stromsensors erfordert eine zusätzliche Leiterschleife mit ca. 3 mm Radius und fügt somit eine kleine Induktivität zwischen dem IC und dem Schutzelement hinzu. Aufgrund dessen erfolgt eine weitere Entkopplung der Spannung am MLV von der Spannung am IC.

Der Aufbau wurde in der Simulation nachgebildet. Die Ergebnisse zeigen eine gute Übereinstimmung. Die positive Auswirkung des MLV auf die ESD-Zerstörfestigkeit ist auch in Simulationen deutlich zu erkennen. Geringe Abweichungen sind auf die Fertigungstoleranzen und Modellgenauigkeiten der Bauelemente zurückzuführen.

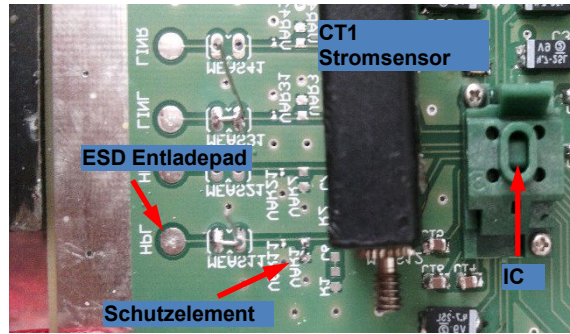
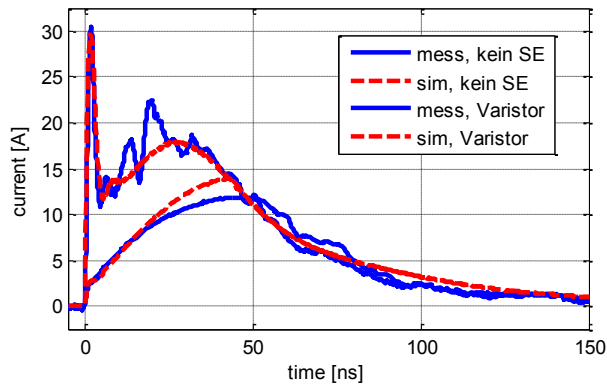


Abbildung 7: Vergleich simulierter und gemessener Ströme am Audio IC mit und ohne MLV bei einer 8 kV IEC-ESD (links). Demonstrator Platine für den Audio IC (rechts).

Es konnte gezeigt werden, dass die Entkopplung des Schutzelements vom IC mit einer Induktivität und Leiterbahn eine deutliche Verbesserung der Schutzwirkung hervorruft. Eine kurze Leiterbahn kann als verlustlos angenommen werden. Kapazitäts- und Induktivitätsbeläge sind von der gewählten Geometrie abhängig, wobei bei kurzen Leitungen der Einfluss der Induktivität auf das Gesamtverhalten dominierend ist. Aus diesen Gründen wurden simulationsbasierte Untersuchungen durchgeführt, bei denen die Leiterbahn mit einer Induktivität approximiert wurde (vgl. Abbildung 8).

Bei einer direkten Entladung sind für den μC 5 kV und für den Audio IC 17,5 kV laut Simulation kritisch. Bei diesen ESD-Generatorspannungen wurde die Induktivität im Bereich 1 nH bis 100 nH variiert. Die Ergebnisse sind in Abbildung 9 dargestellt. Es ist zu erkennen, dass bereits eine geringe Induktivität ausreichend ist, um den Initialpeak zu dämpfen. 10 nH reduzieren die Energie um 20 %.

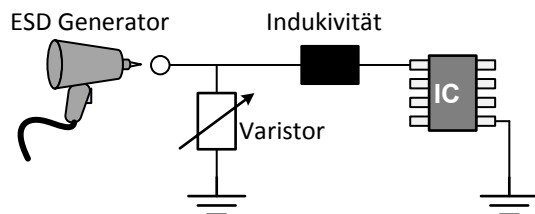


Abbildung 8: Simulationssetup zur Untersuchung des Einflusses der Leiterbahn

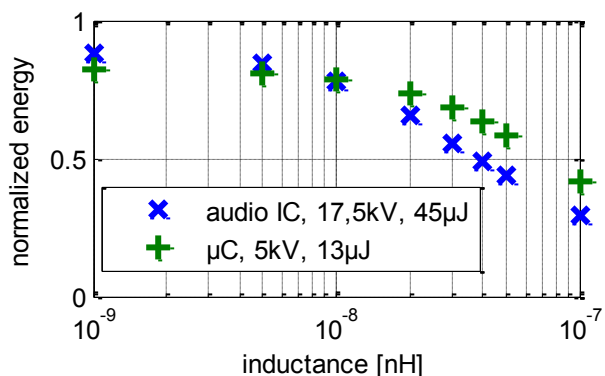
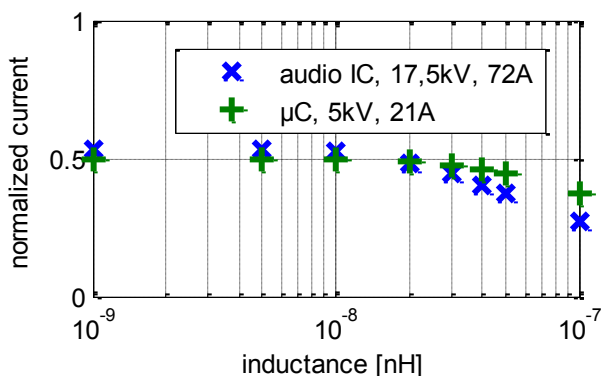


Abbildung 9: Stromamplitude (links)/ Energie (rechts) in Abhängigkeit von der Induktivität. Die Werte wurden normiert auf jeweiligen Maximalwert bei einer ESD-Entladung ohne Schutzelement.

5 Zusammenfassung

Die ESD-Zerstörfestigkeit von einem 8-Bit Mikrocontroller und einem Audio-IC für tragbare Multimedia-Geräte wurde untersucht. Es wurde gezeigt, dass die UI-Kennlinien

beider ICs im Vergleich zu ICs für Kfz-Anwendungen sich stark unterscheiden. Die Durchbruchspannung ist sehr gering. Trotz dieser Unterschiede wurde mit hoher Wahrscheinlichkeit ein thermischer Ausfall als ESD-Fehler nachgewiesen. Die ESD-Ausfall-detektion über die Eingangskennlinie stimmte mit einem Ausfallnachweis durch eine Funktionsüberprüfung überein. Eine Teil-Funktionalität kann aber auch nach Veränderung der Eingangskennlinie erhalten bleiben. Die Modellierung mit Kennlinienfunktionen wurde an den untersuchten ICs durchgeführt und in verschiedenen Aufbauten validiert. Anhand eines Demonstrators wurde gezeigt, dass trotz einer geringen Durchbruchspannung die System-ESD-Festigkeit unter Einsatz von Schutzelementen wie Multi-Layer-Varistoren deutlich erhöht werden kann. Es wurde auch nochmals deutlich gezeigt, dass das Zusammenspiel aller relevanten Komponenten und nicht die Einzelperformance für die ESD-Zerstörfestigkeit auf Systemebene ausschlaggebend ist. Die hier weiterentwickelte Simulationsmethodik ist in der Lage, dieses Zusammenspiel zu reproduzieren und ein Design bereits in der Entwicklungsphase ESD-sicher zu gestalten.

6 Referenzen

- [1] Monnereau, N.; Caignet, F.; Tremouilles, D.; Nolhier, N.; Bafleur, M., "A System-Level Electrostatic-Discharge-Protection Modeling Methodology for Time-Domain Analysis," *Electromagnetic Compatibility, IEEE Transactions on* , vol.55, no.1, pp.45,57, Feb. 2013
- [2] Arndt, B.; zur Nieden, F.; Frei, S.: „Modellierung und Simulation der ESD-Zerstörfestigkeit von integrierten Schaltungen in KFZ-Anwendungen“, EMV-Düsseldorf, Germany, 2012
- [3] Arndt, B.; zur Nieden, F.; Iglitsyn, O.; Frei, S.: „Modellierung des thermischen Ausfallverhaltens von IC-Eingängen zur Bewertung der System-ESD-Festigkeit“, ESD-Forum 2011, Munich, Germany, 2011
- [4] Simbuerger, W.; Johnsson, D.; Stecher, M.; , “High Current TLP Characterisation: An Effective Tool for the Development of Semiconductor Devices and ESD Protection Solutions,” ARMMS RF & Microwave Society, 2012
- [5] F. zur Nieden, B. Arndt, J. Edenhofer und S. Frei, „Vergleich von ESD-System-Level Testmethoden für Packaging und Handling“, ESD-Forum 2009, Berlin, Dezember 2009
- [6] High Power Pulse Instruments GmbH, <http://www.hppi.de/products.html>, Oktober 2011
- [7] Reisch, M.; “Halbleiter-Bauelemente”, Springer, 2007, ISBN 978-3-540-73199-3
- [8] IEC 61000-4-2: Electromagnetic compatibility (EMC) - Part 4-2 : Testing and measurement techniques - Electrostatic discharge immunity test, December 2008