



Rechnerstrukturen Übungsblatt 11

1. Ein 1 GByte großer Adressraum mit einer Wortbreite von 16 Bit (d.h. 2^{31} Speicherzellen zu je 16 Bit) soll mit Hilfe von dynamischen RAM-Bausteinen realisiert werden. Jeder RAM-Baustein speichert 256 MByte mit einer Wortbreite von 8 Bit.

Skizzieren Sie den Speicheraufbau einschließlich der notwendigen Logik zur Generierung der RAS- und CAS-Signale. Gehen Sie von einer quadratischen Organisation der DRAM-Bausteine aus. Fassen Sie Busse geeignet zu jeweils einer Leitung zusammen.

2. Ein fiktives Maschinenprogramm durchlaufe eine Schleife der Länge n insgesamt k mal (der Schleifen-Code beginne an Adresse 0 und ende an der Adresse $n-1$). Jede Instruktion passt in eine Speicherzelle. Weitere Speicherzugriffe werden während der Programmabarbeitung nicht erzeugt. Alle Speicherzugriffe werden von einem 4-Wege-Assoziativcache mit einer Bankgröße von jeweils m Zeilen ausgewertet. Dabei ist jede Zeile in der Lage, genau eine Speicherzelle zu cachen. Die Einträge der 4 Bänke werden nach dem LRU-Verfahren aktualisiert.

Bestimmen Sie die Trefferquote des Caches in Prozent des Gesamtzugriffs für $n=10$, $k=3$ und Bankgrößen $b=5, 10, 15$.