



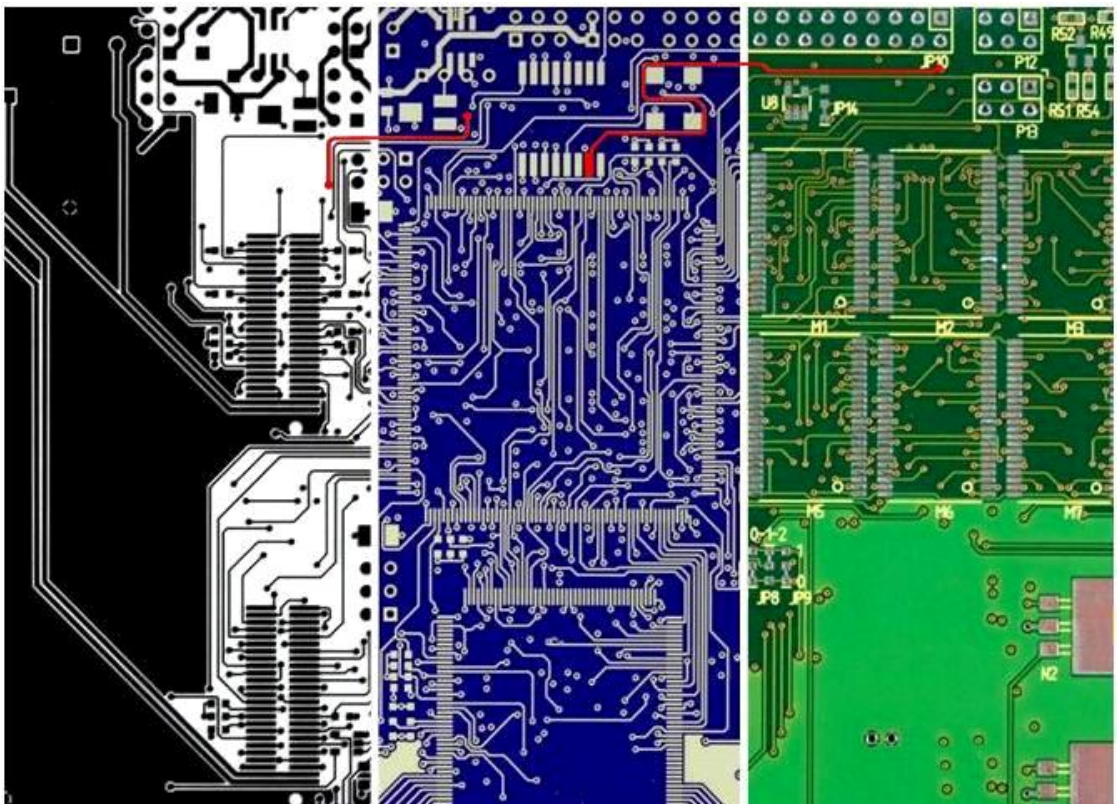
*Arnold Wiemers*

Seminar

## Leiterplatten 1

### ...drc2

Eine Einführung in die aktuellen Produktionstechnologien mit Berücksichtigung der elementaren Designregeln für CAD und CAM



## Wer wird mit dem Seminar "Leiterplatten 1 ...drc2" angesprochen ?

Das Seminar informiert über die elementaren Designregeln, die sich durch die Leiterplattentechnologie ergeben. Die Toleranzen auch der modernsten Produktionsverfahren und die grundlegenden Prozeßabläufe während der Leiterplattenfertigung bestimmen heute die Konstruktionsstrategien für das CAD-Layout.

High-Density-Interconnect (HDI, "100µm-Technologie") ist technisch der Stand der Dinge. Durch die Miniaturisierung (µBGA, Flip Chip, CoB, CiB, ViP, ViL) wird die **Micro-Fineline-Technology (MFT, "50µm-Technologie")** in den nächsten Jahren zum Standard werden.

Für **CAD-Designer/innen** sind die sicheren Kenntnisse der elementaren Designregeln unverzichtbar, wenn ein effektives, funktionierendes und kostengünstiges Design für eine Baugruppe gefordert ist.

"**Leiterplatten 1 ...drc2**" vermittelt die Technologie der Leiterplatte vor dem Hintergrund aktueller Möglichkeiten. Es werden anschauliche Hinweise gegeben, um die Entscheidungen in der Praxis zu unterstützen.

Der Wandel der Leiterplatte von einem mechanischen Bauteilträger zu einem passiven elektronischen Bauteil ist inzwischen vollzogen.

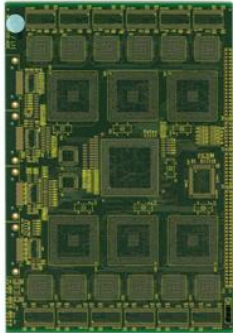
Impedanzdefinierte Leiterbahnen für LVDS bei High-Speed-Anwendungen, Entwärmung, sequentielle Verbindungsstrategien (BlindVias, Buried Vias), die Konstruktion von Multilayersystemen mit Berücksichtigung von Signalintegrität und EMV sowie kapazitiven Stromversorgungssystemen bestimmen heute die Anforderungen an Baugruppen. Hohe Aufmerksamkeit gilt deshalb der frühzeitigen Berücksichtigung der elementaren Regeln bereits im Vorfeld des Konstruktions- und Designprozesses.

Das Seminar ist auch für **CAM-Bearbeiter/innen** der LP-Hersteller von Bedeutung, weil es die Zusammenhänge zwischen CAD und Leiterplatte erläutert. Es fördert damit auch das partnerschaftliche Miteinander auf der Linie "CAD - CAM - Leiterplatte - Baugruppe".

Die übersichtliche Darstellung der Themen ist ebenso interessant für alle **Entscheidungsträger im Bereich Design und Leiterplatte**, deren Aufgabe es ist, das Produkt "Baugruppe" führend und beratend zu begleiten.

## Leiterplattenklassen : Starre Leiterplatten

Starre Leiterplatten sind der klassische Baugruppenträger. Wird FR4 als Basismaterial eingesetzt, dann sind die Leiterplatten mechanisch stabil und belastbar. Die Materialien und die Fertigungstechnologien können auch für funktionale Produkte genutzt werden.

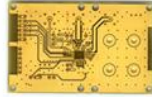


6-Lagen-Multilayer als UTM (= Ultra Thin Multilayerboard) für die Bestückung mit klassischen SMD-Komponenten

Doppelseitige Leiterplatte für eine Kontaktabnahme

10-Lagen-Multilayer für ein CPU-Board mit BGA-Komponenten

Doppelseitige Leiterplatte für ein HF-Modul



Leiterplatten 1 drc2b

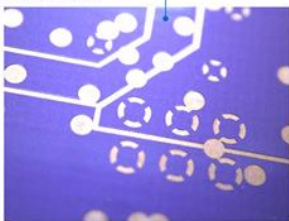
## Leiterplattenklassen

Anforderungen an das Design von elektronischen Baugruppen.  
Anforderung an die Ausbildung von CAD-Designer/innen.

Standardleiterplatten. Flexible und starrflexible Leiterplatten.  
Hauptanwendungsbereiche.

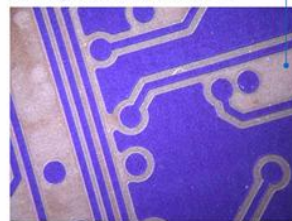
## Fotoresist laminieren, belichten und entwickeln

Fotolaminat



Powerplane (Innenlage)

Durchgehende Kupferfläche



Signalplane (Innenlage)

- Fotoresist laminieren (Laminator)
- Fotoresist belichten (mit einem Film oder einem Laser)

### Fotolaminat auf der Innenlage entwickeln

Die Leiterplatte ist noch durchgehend mit einer Kupferschicht versehen. Das Leiterbild ist aber bereits zu erkennen.

2

Leiterplatten 1 drc2b

## Produktion

Allgemeine Produktionsanforderungen.

Grundlegende Abläufe in der Fertigung von Leiterplatten.

Bohren, Kontaktieren, Leiterbild, Ätzen, Siebdrucke, Mechanische Bearbeitung

## Schliff durch einen Multilayer aus FR4-Material

Das Schliffbild zeigt Kette und Schuß des Glasgewebes. Jeder einzelne Gewebefaden besteht aus hunderten von kleinen Fibrillen, die komplett in Epoxydharz eingebettet sein müssen, um CAF-Effekte zu vermeiden.

Prepreg

Laminat

Prepreg

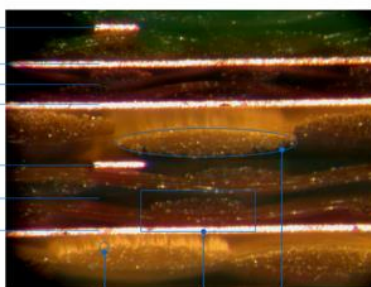
Prepreg

Laminat

Prepreg

Prepreg

Laminat



Fibrillen im Faden

Gewebefaden

Gewebeknoten

Leiterplatten 1 drc2b

## Basismaterialien

Basismaterialien für die Herstellung elektronischer Baugruppen.

Lamine und Prepregs.

Gewebeeinlagen.

Harzsysteme.

Kupferschichtdicken, Tg-Wert, Dielektrikum, Ausdehnungsfaktoren, CTE-Werte.

**Bohrungen : Bohrklassen**

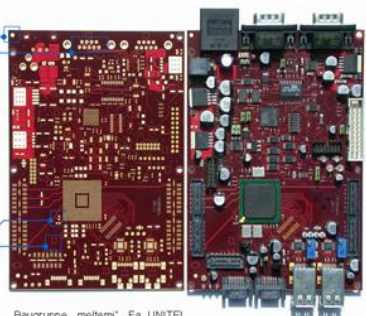
Die Bezeichnung „Bohrungen“ ist ungenau. Viele Anforderungen an das CAD-Layout und die Leiterplattenfertigung können erst dann beschrieben werden, wenn eine Einteilung in Bohrklassen erfolgt. Die Bohrklassen orientieren sich an der Funktion der Bohrung mit Blick auf die Baugruppe und beziehen zudem auch das technische Herstellungsverfahren mit ein.

**Hauptklassen**

- Montagebohrung
- Bauteilbohrung
- Kontaktierung

**Unterklassen**

- Durchkontaktierung
- BlindVia
- BuriedVia



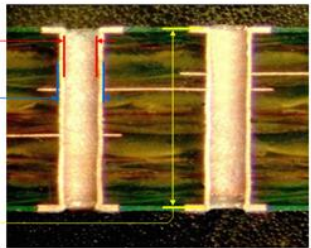
Baugruppe „meltemi“ Fa. UNITEL

## Bohrklassen

Definitionen, Geltungsbereiche und Intervalle für Montagebohrungen, Bauteilbohrungen, Viabohrungen und sequentiellen Vias (Blind Via, Buried Via). Microvias.

**Bohrungen : Definition des AspectRatios**

**Definition** (AspectRatio fuer Bohrungen)  
Das AspectRatio beschreibt das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der galvanisch kontaktierbaren Bohrtiefe.



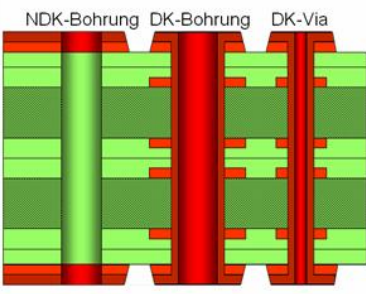
**Definition** (CAD-Tool-Durchmesser)  
Der in der CAD-Dokumentation vorgegebene Tool-Durchmesser beschreibt immer den Enddurchmesser auf der fertigen Leiterplatte.

## Bohrungen

DK- und NDK-Bohrungen. Definition des Aspect Ratio für BuriedVias, BlindVias und Durchkontaktierungen. Grenzbereiche und maximal kontaktierbare Lagenabstände. Zuschläge auf CAD-Vorgaben. Enddurchmesser und DK-Kupfer

**Bohrungen : Durchgangsbohrungen**

**Definition** (Durchgangsbohrungen) Montagebohrungen, Bauteilbohrungen und Durchkontaktierungen gehen durch alle Ebenen einer Leiterplatte.



**Tabelle**  
Maximal kontaktierbare Bohrtiefen für Durchkontaktierungen bei einem AspectRatio von 1 : 8.

Beispiel  
 $0.35 \cdot 8 = 2.80$  (mm)

CAD-Bohrung (mm)	0.05	0.10	0.15	0.20	0.25	0.30
Bohrwerkzeug (mm)	0.15	0.20	0.25	0.30	0.35	0.40
Bohrtiefe (mm)	1.20	1.60	2.00	2.40	2.80	3.20

## Kontaktierungsstrategien

ViasInPads.  
Lagenaufbauten mit Microvias.  
DK- und NDK-Bohrungen.

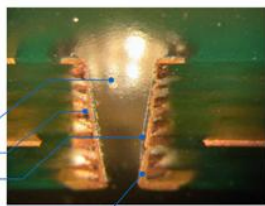
Vorgaben für Restringe.

## Kontaktieren : Schichtaufbau

### Beispiel

Aufsicht auf die Außenwandung und die Innenwandung einer Bohrung in einem 4-Lagen-Multilayer mit der Oberfläche HAL.

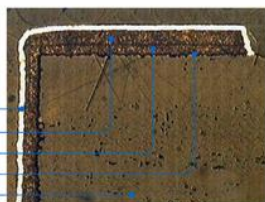
Innenwandung  
Außenwandung  
HAL-Beschichtung  
DK-Kupfer



### Beispiel

Schliff durch die Hülse und das Pad eines Vias mit der Oberfläche ENIG.

Endoberfläche  
DK-Kupfer  
Basiskupfer  
Treatment  
Dielektrikum



Leiterplatten 1 drc2b  
127

## Kontaktieren

Galvanotechnische Verfahren zur Kupferabscheidung.  
Kontaktierungsbilanz und Kupferdicken.

Diverse Kontaktierungstopologien und partielle Metallisierung der Leiterplattenkanten zur EMV-Abschirmung und zur Entwärmung der Baugruppe.

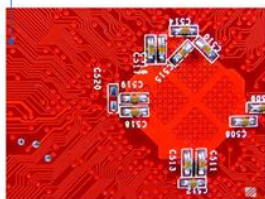
## Leiterbilder : Restringe

**Definition (Restring)** Der Restring ist das, was übrigbleibt, wenn vom Paddurchmesser der Enddurchmesser abgezogen wird.

**Regel (Restring)**  $Restring = 0.5 \cdot (Paddurchmesser - Enddurchmesser)$

Für Vias wurde der minimale Restring von umlaufend 150µm bereits ermittelt (siehe Abschnitt „Bohrungen : Toleranzraum“).

Für THT-Bauteile hat der Restring die zusätzliche Funktion einer Lötfläche. Aus Erfahrung wird eine umlaufende Restringbreite von 300µm empfohlen.



Leiterplatten 1 drc2b  
138

## Leiterbilder

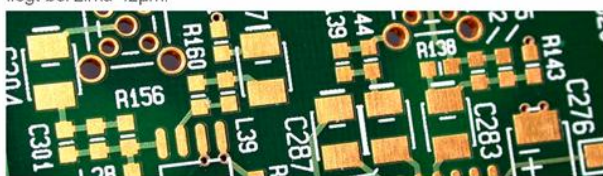
Standardgeometrien für HDI-Leiterplatten. Restringe für Vias und THT-Bohrungen auf der Basis definierter Toleranzräume. Tangens Alpha. Allgemeine technische Eigenschaften von Leiterbildstrukturen. Einfache Vorgaben für das Routing von Leiterbahnen auf Leiterplatten.

## Endoberfläche : Chemisch Gold

Dicke der Endoberfläche auf Außenlagen [µm]	Hinweis		
Basiskupfer	5	17	35
DK-Kupfer	25-42	25-42	25-42
Verluste	-5	-5	-5
Nickel	3-5	3-5	3-5
Gold (chemisch)	0.04-0.08	0.04-0.08	0.04-0.08
<b>Enddicke</b>	<b>28-47</b>	<b>37-56</b>	<b>53-72</b>

Eine andere Bezeichnung für "Gold (chemisch)" ist auch ENIG (= Electroless Nickel Immersion Gold)

Das Basiskupfer ist auf den Außenlagen 17µm dick. Die Hülsenkupferdicke liegt standardseitig zwischen 27µm und 28µm. Durch Reinigung (mechanisch oder chemisch) gehen zirka 5µm verloren. Die Enddicke liegt bei zirka 42µm.



Leiterplatten 1 drc2b  
158

## Galvanotechnik

Leiterbildstrukturierung mit Fotoresist und Metallresist.  
Ätzen und Rückätzung der Leiterbahnbreite. HDI. MFT.  
Diverse Oberflächen (Gold, Zinn, Entek+, HAL, Bleifrei).  
RoHS-geeignete Oberflächen.

## Lötstopplack : Geometrien Pitch 1.27mm

### Beispiel

Jedes Bauteil hat mindestens ein Anschlußpad. Die Länge und die Breite des Pad legen die Lötfläche fest. Der Padabstand (~ Pitchabstand) ist durch den Abstand der Padmitten zueinander definiert. Der verbleibende Raum zwischen den Tangenten benachbarter Pads muß für den Lacksteg und für die Freistellung in der Lötstopmaske genutzt werden.

Klassische Geometrien :  
SMD-IC mit Pitch 1.27mm

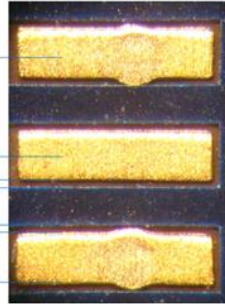
Padabstand 1.27mm

Freistellung 0.05mm

Stegbreite 0.52mm

Freistellung 0.05mm

Padbreite 0.65mm



Leiterplatten 1 drc2b

174

## Lötstopplack

Eigenschaften von 2-Komponenten-Epoxydharzlacken. Minimale und maximale Freistellungen bei Lötstopplackabdeckungen. Epsilon-R-Werte für Impedanzberechnungen.

## Bestückungsdruck : Designregeln

### Regel (Datensatz)

Der Datensatz für den Bestückungsdruck enthält nur die Bauteilsymbole und Texte, die tatsächlich auf die Leiterplatte aufgedruckt sein sollen.

### Regel (Linienbreite)

Der Bestückungsdruck muß zweifelsfrei lesbar sein können.

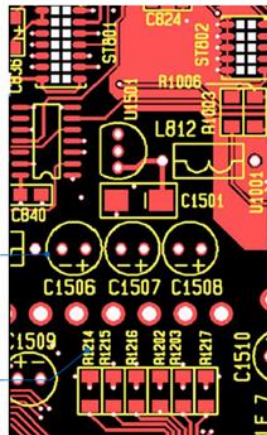
Die *Linienbreite* soll 200µm nicht überschreiten.

Empfehlung : Eine Linienbreite von 150µm.

### Regel (Textgröße)

Die *Textgröße* soll 1.14mm (~ 45mil) nicht unterschreiten.

Empfehlung : Eine Textgröße von 1.39mm (~ 55mil).



Leiterplatten 1 drc2b

180

## Bestückungsdruck / Drucke

Die Kennzeichnung von Bauteilpositionen oder Baugruppenfunktionen. Mindestabstände zu Leiterbildstrukturen. Schriftgrößen und sinnvolle Lesrichtungen.

Viadruck, Carbondruck, Abziehlack.

## NDK-Bohrung : Beispiel 1+2

### 1 Freigestellte NDK-Bohrung

✓ Der Abstand zwischen Bohrung und Massefläche ist mit mehr als 500µm ausreichend.

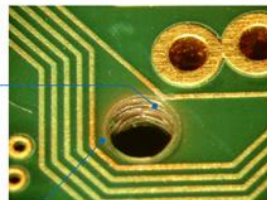
✓ Die NDK-Bohrung ist in der Lötstopmaske mit mehr als 50µm umlaufend freigestellt.



### 2 Freigestellte NDK-Bohrung

✗ Der Abstand zwischen Leiterbahn und NDK-Bohrung ist deutlich zu gering. Die NDK-Hülse hat in Teilbereichen eine Endoberfläche (hier : chem. Ni/Au) bekommen.

✗ Auch in anderen Teilbereichen um die NDK-Bohrung herum ist der Abstand der Leiterbahnen deutlich unter den erforderlichen 500µm.



Leiterplatten 1 drc2b

120

## NDK-Bohrungen

Anforderungen und Funktion nicht-kontaktierter Bohrungen.

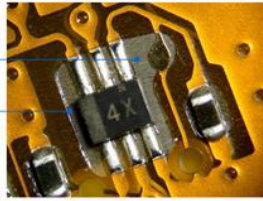
Freistellungen in Lötstopmasken und Powerplanes.

Mindestabstände für Leiterbildstrukturen.

## Coverlay : Beispiel 1 + 2

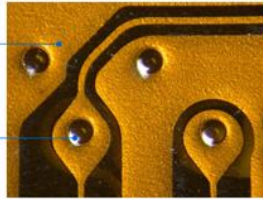
### 1 Freistellung

- ✓ Die Leiterbildstrukturen für das Lötten der SMD-Bauteile sind ausreichend freigestellt.
- ✓ Es gibt keine übermäßigen Kleberrückstände, die auf der Oberfläche verlaufen könnten.



### 2 Coverlay-Verpressung

- ✓ Der Coverlay ist ganzflächig aufgepreßt und schützt alle Leiterbilder, die nicht als Lötfläche benötigt werden.
- ✗ In den mit Coverlay komplett überspannten Vias sind Luftanschlüsse zu erkennen.



Leiterplatten 1 drc2b

196

## Coverlay

Toleranzen für Abdeckungen mit Coverlay bei flexiblen und starr-flexiblen Leiterplatten.

Freistellungen von Lötflächen und ViaPads.

## Konturfraßen : Flexible Leiterplatten aus Polyimid

### Hinweis

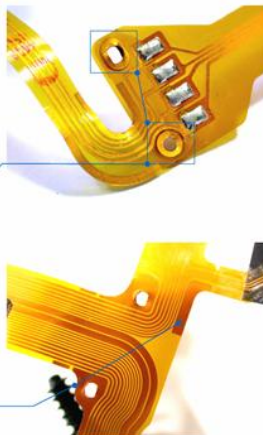
Polyimidfolie kann bei Beanspruchung schnell einreißen. Es muß deshalb mit der Leiterbildgestaltung während des Routings ein mechanischer Einreißschutz layoutet werden, der für eine ausreichende mechanische Stabilität im Bereich der flexiblen Folie sorgt.

### Regel (Befestigung)

Befestigungspositionen für die Aufnahme von Bolzen, Haltestiften, Schrauben u.ä. müssen im Leiterbild mit einer umlaufenden Kupferfläche  $\geq 1.0\text{mm}$  versehen werden.

### Regel (Konturbereich)

Im Bereich von Innenkonturen sollen flexible Leiterplattenbereiche mit einer Kupferbahn  $\geq 500\mu\text{m}$  verstärkt werden.



Leiterplatten 1 drc2b

224

## Konturbearbeitung

Fräsen und Ritzen von starren Leiterplatten. Laserschneiden von Konturen auf starrflexiblen Leiterplatten. Kombinierte Trennverfahren. Niveauritzen in mehreren Ebenen. Vortrennungen von Liefernutzen. Konturtopologien für die selektive Kontaktierung.

## Toleranz : Nullreferenz

### Definition (Nullreferenz)

Das Bohrprogramm für die Durchkontaktierungen ist die Nullreferenz für alle Registrierungen.

### Regel (Generelle Toleranz FR4)

Die zulässige Toleranz aller Leiterbilder, BuriedVia-, BlindVia-, Fräs- und Ritzprogramme sowie aller Siebdrucke zur Nullreferenz beträgt für FR4-Materialien über den gesamten Produktionszuschnitt  $\pm 100\mu\text{m}$  in X- und/oder Y-Richtung.

### Beispiel

Unzulässig : die maximale Registrier-toleranz zwischen Bohrungen (THT) und Leiterbild ist sicherlich  $> 100\mu\text{m}$ .

Toleranz in Y



Toleranz in X

Leiterplatten 1 drc2b

85

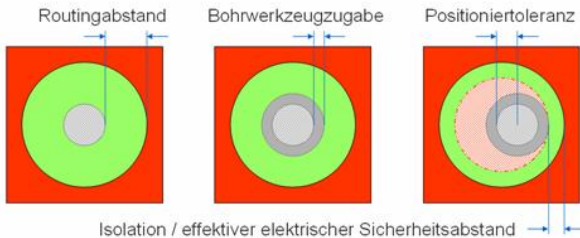
## Toleranzen

Allgemeine Standardtoleranzen für Leiterplatten. Toleranzräume. Nullreferenzen für die Registrierung von Bohrprogrammen.

Übliche Paßgenauigkeiten und Materialverzüge beim Verpressen von Multilayern.

## Powerplanes : Routingabstand und Sicherheitsabstand

Der Sicherheitsabstand einer isolierten Bohrung von der Powerplane ist für die langfristig zuverlässige Funktion einer Baugruppe von sehr großer Bedeutung. Die Routingvorgaben am CAD-System müssen die Zugabe auf das Bohrwerkzeug beachten sowie die toleranzbedingte Passung des Bohrprogrammes zum Leiterbild.



### Regel (Routingabstand)

Routingabstand = Bohrwerkzeugzugabe + Positioniertoleranz + Isolation

Leiterplatten 1 drc2b  
204

## Powerplanes

Geometrische Definitionen für Wärmefallen und Isolationen. Mindestabstände für Freistellungen. Randbegrenzungen unter EMV-Aspekten. Trennungen zwischen Potentialen. **MultiPowerSysteme** und multifunktionale Stromversorgungssysteme.

## Innenliegende Kerne : Kontaktierungsoptionen

**BuriedVias**

LY-2 → LY-3  
LY-4 → LY-5  
LY-2 → LY-3 → LY-4 → LY-5  
wenn  $Cu_{(LY-2)} = Cu_{(LY-5)}$

**BlindVias**

LY-Top → LY-2  
LY-Top → LY-2 → LY-3  
LY-Top → LY-2 → LY-3 → LY-4  
LY-Top → LY-2 → LY-3 → LY-4 → LY-5  
LY-Bot → LY-5  
LY-Bot → LY-5 → LY-4  
LY-Bot → LY-5 → LY-4 → LY-3  
LY-Bot → LY-5 → LY-4 → LY-3 → LY-2

**Nicht möglich**

LY-3 → LY-4

Leiterplatten 1 drc2b  
277

## Multilayersysteme

Strategien für den Aufbau von Multilayersystemen. Multilayer mit innenliegenden und außenliegenden Kernen (Laminaten). Sequentielle Aufbauten. Mögliche und nicht mögliche Kontaktierungsoptionen.

## Nutzen + Produktionszuschnitt : Begriffe

Für die Baugruppenproduktion muß die Leiterplatte in den Bestückungsautomaten zuverlässig transportiert werden können und sie muß mechanisch stabil sein. Insbesondere kleinere und/oder starrflexible Leiterplatten werden deshalb in einem Lieferrahmen ( ~ Bestückungsnutzen) gefertigt.

### Hinweis

Die Größe des Bestückungsnutzens muß mit dem Baugruppenfertiger abgestimmt sein.

### Regel (Summe Leiterplatten pro Produktionszuschnitt)

Produktionnutzen 4-fach  
Lieferrahmen 8-fach

$\Sigma_{(Leiterplatten)} = \text{Produktionnutzen} \cdot \text{Lieferrahmen} = 32$



Leiterplatten 1 drc2b  
239

## Nutzengestaltung

Definition des Produktionsnutzens, des Lieferrahmens und des Bestückungsnutzens. Maße für übliche Nutzflächen und für den Bearbeitungsrahmen eines Produktionszuschnittes. Abschätzen preiswerter Leiterplattenabmaße.





## Ihr Referent



**Arnold Wiemers** ist der Leiterplatte seit 1983 verbunden. Von 1985 bis 2009 war er bei der ILFA GmbH in Hannover beschäftigt.

Er war dort verantwortlich für die Fachbereiche CAD und CAM, für die Auftragsvorbereitung und für die technischen Dokumente der Firma ILFA im Internet.

Er ist seit 1982 freier Softwareentwickler (ISW), vornehmlich für branchentypische Applikationen im Bereich der Leiterplatte, wie die Kalkulation und die Fertigungssteuerung von Leiterplatten.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).

Vom IPC zertifizierter CID, CID+ und Instructor. FED-Designer und FED-Referent. Mitarbeit am Schulungskonzept des FED. Mitarbeit in der international besetzten "Projektgruppe Design" des FED und des VdL/ZVEI.

## Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

## **Seminare und Teilnahmegebühren**

Das Tagesseminar "LP1" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht auch als InHouse-Seminar zur Verfügung.

### ***Freies Seminar***

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte sind in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 520 € zzgl. MwSt. pro Person. Inklusive ausführlicher Seminarunterlagen, Teilnahmezertifikat, Essen und Getränke.

### ***Konferenz-Seminar***

Wenn Sie "LP1" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

### ***InHouse: Unser Seminar in Ihrem Haus***

"LP1" wird auch firmenintern referiert. Sie sparen sowohl Reise- als auch Übernachtungskosten, vor allem jedoch Zeit.

Ab 1.550 € zzgl. MwSt. für einen Teilnehmer liefern wir Ihnen unseren Referenten "frei Haus". Für jeden weiteren Teilnehmer bis 10 Personen berechnen wir Ihnen 150 € p.P. Weitere Teilnehmer auf Anfrage.

Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab: [inhouse@leiterplattenakademie.de](mailto:inhouse@leiterplattenakademie.de)

Jeder Teilnehmer erhält ausführliche Seminarunterlagen sowie ein Teilnahmezertifikat.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



# LeiterplattenAkademie

## ***Die LeiterplattenAkademie***

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

**Schaltungsentwicklung**

**CAD-Design**

**CAM-Bearbeitung**

**Leiterplattentechnologie**

**Baugruppenproduktion**

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



**LA - LeiterplattenAkademie GmbH**  
**Krefelder Straße 18**  
**10555 Berlin**

Telefon	(030) 34 35 18 99
Telefax	(030) 34 35 19 02
eMail	<a href="mailto:info@leiterplattenakademie.de">info@leiterplattenakademie.de</a>
Internet	<a href="http://www.leiterplattenakademie.de">www.leiterplattenakademie.de</a>