



Arnold Wiemers

Seminar und Tutorial

Leiterplatten 37

...*Impedanzdefinierte* Leiterplatten

Analyse und Charakteristik
von Impedanzen auf Leiterplatten

Impedanz : Typische Impedanzwerte

Die typischen Werte für Impedanzen auf digitalen Baugruppen orientieren sich an der Art der Signalübertragung. Übliche Signale werden auf einer einzelnen Leiterbahn übertragen. Für eine schnelle und störösichere Übertragung werden Leitungspaare eingesetzt.

Single Ended (~ Einzelleitung)	
40, 50, 65 Ω	Digitale Signale
75 Ω	Videosignale
Differenziell (~ Leitungspaar)	
80, 90 Ω	DDR3, USB
100 Ω	Infiniband
	Bussysteme
	SATA
120 Ω	CAN-Bus

Bestückte Baugruppe
CAD-Layout (LY-Top, LY-Bot)

Multilayer 4

LP-Klasse	starr
Gesamtdicke	1,60mm
Material	FR4
Layer	10
Kontaktiert	ja
BlindVia	nein
BuriedVia	nein
Legentypen	5 x Sig 5 x Pow
MPS	LY-2 LY-3 / LY-8 LY-9
Pluggen	nein
KM	ja
Impedanz	50 Ω single ended 90 Ω differenziell 100 Ω differenziell
Montage	1 x

Wer wird mit dem Seminar und Tutorial "**Leiterplatten 37 ...Impedanzdefinierte Leiterplatten**" angesprochen ?

Das Halbtagsseminar und Tutorial informiert über die technischen Hintergründe, die zur Forderung impedanzdefinierter Leiterplatten respektive Multilayern führen. Die Kenntnis der Nomenklatur der elementaren Impedanzgeometrien sichert die stabile Kommunikation zwischen dem CAD-Konstrukteur und dem Leiterplattenhersteller.

Highspeed-Baugruppen werden ohne die Beachtung der physikalischen Parameter für die Übertragung von Signalen auf Leiterplatten die Anforderungen an das Leistungsspektrum nicht erfüllen können.

Die Impedanz einer Leiterbahn ist ein zuverlässiger Wert, der von allen Partnern bewertet, vorausberechnet und nachgeprüft werden kann.

Für die **Konstrukteure elektronischer Baugruppen** und die **CAD-Designer/innen** sind die detaillierten Kenntnisse zur Umsetzung von Impedanzen auf Leiterplatten eine Voraussetzung für die Planung und Durchführung eines dokumentierten Designs.

"**Leiterplatten 37 ...Impedanzdefinierte Leiterplatten**" erläutert die zu erfüllenden Voraussetzungen für die Planung, Konstruktion und Fertigung von Highspeed-Baugruppen. Referenz und Ziel ist die praktische Integration impedanzgerechneter Moduln in einen Multilayeraufbau. Die praktischen Beispiele ermöglichen das Erlernen der zu beachtenden Parameter für die Impedanzberechnung.

Das Tutorial zur Impedanzthematik inklusive der praktischen Berechnung üblicher Impedanzmoduln schafft Transparenz und erleichtert das Verständnis für die Anforderungen an die Funktion von Baugruppen.

Das Seminar ist auch für **CAM-Bearbeiter/innen** der LP-Hersteller von Bedeutung, weil es die Zusammenhänge zwischen der Funktion einer Baugruppe und der Fertigung von Leiterplatten erläutert.

Es fördert damit auch das partnerschaftliche Miteinander auf der Linie "CAD - CAM - Leiterplatte - Baugruppe".

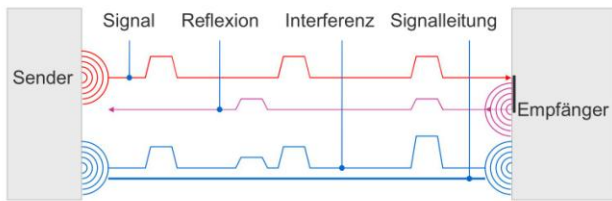
Die Darstellung des Themas ist interessant für alle **Entscheidungsträger im Bereich Design und Leiterplatte**, deren Aufgabe es ist, das Produkt "Baugruppe" führend und beratend zu begleiten.

Signalintegrität

Reflexion und Interferenz

Bei der Übertragung eines Signals kann es zu Störungen kommen, wenn die Leiterbahn so lang und/oder die Signalanstiegszeit so kurz ist, daß bereits weitere Signale auf der Leiterbahn vom Sender zum Empfänger unterwegs sind, obwohl das erste noch nicht vollständig verarbeitet und/oder kompensiert wurde.

Wird ein Teil der Signalenergie auf der Empfängerseite reflektiert und läuft zum Sender zurück, dann wird die Qualität des nachfolgenden Signals durch Interferenzen beeinträchtigt.



Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

Signalübertragung

Allgemeine Hintergründe zu High-speed-Leiterplatten und -Baugruppen. Anforderungen an die Signalübertragungsqualität. Reflexion und Interferenzen als Störquelle. Auswirkungen der Signalanstiegszeit (signal rise time) auf das CAD-Design.

Kritische Signalweglänge in Abhängigkeit vom Epsilon-R

Regel (Kritische Weglänge und Epsilon-R)

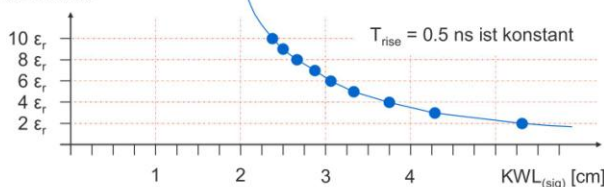
Für eine konstante Signalanstiegszeit T_{rise} nimmt die kritische Signalweglänge $KWL_{(sig)}$ ab, wenn das ϵ_r des Basismaterials zunimmt.

Hinweis

Durch die Kopplung von T_{delay} an $v_{(sig)}$ verändern sich die Werte exponentiell.

ϵ_r	$KWL_{(sig)}$
2	5.30 [cm]
3	4.33 [cm]
4	3.75 [cm]
5	3.35 [cm]
6	3.06 [cm]
7	2.83 [cm]
8	2.65 [cm]
9	2.50 [cm]
10	2.37 [cm]

Permittivität



Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

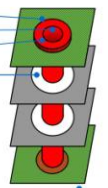
Kritische Weglängen

Auswirkung der kritischen Weglängen auf den Signaltransfer. Abhängigkeit der Weglänge von der Permittivität/dem Dielektrikum des Basismaterials. Kopplung der Signallaufzeit (propagation delay) an das Basismaterial der Leiterplatte.

Vias : Physikalische Eigenschaften

Für das Via sind im Padstack der CAD-Bibliothek vorgegeben :

25µm	Hülsenkupferdicke
200µm	Enddurchmesser des Vias
600µm	Paddurchmesser des Vias
1000µm	Isolationspad auf der Innenlage



Padstack in der Bibliothek des CAD-Systems

Vialänge	Kapazität	Impedanz	Induktivität
0.4 mm	0.137 pF	42.47 Ω	0.246 nH
0.6 mm	0.205 pF	45.18 Ω	0.418 nH
0.8 mm	0.273 pF	47.01 Ω	0.604 nH
1.0 mm	0.341 pF	48.38 Ω	0.799 nH
1.2 mm	0.410 pF	49.47 Ω	1.003 nH
1.4 mm	0.478 pF	50.38 Ω	1.213 nH
1.6 mm	0.546 pF	51.15 Ω	1.429 nH
1.8 mm	0.615 pF	51.82 Ω	1.650 nH
2.0 mm	0.683 pF	52.41 Ω	1.876 nH

Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

Vias

Physikalische Eigenschaften von Vias für den Lagenwechsel von Leiterbahnen. Berechnung der Kapazität, Impedanz und Induktivität in der realen Umgebung auf Multilayern. Parameterintervalle in Abhängigkeit von der Vialänge.

Signalgeschwindigkeit

Beispiel (Signalgeschwindigkeit)

Vorgegeben ist eine relative Permittivität von 4.10 bei einer Frequenz von 1GHz. Referenz ist FR4 des Typs NP-155 der Fa. NanYa.

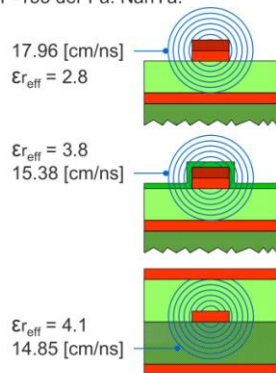
Die relative Permittivität muß sich an der effektiven Permittivität bzw. der effektiven Dielektrizitätseigenschaft orientieren, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

Für Leiterbahnen, die in ein homogenes Umfeld aus FR4 eingebettet sind, ist die Geschwindigkeit :

$$v_{\text{sig (FR4)}} = \frac{30}{\sqrt{4.1}} \quad [\text{cm/ns}]$$

$$= \frac{30}{2.02} \quad [\text{cm/ns}]$$

$$= 14.85 \quad [\text{cm/ns}]$$



Signalgeschwindigkeit

Einflußsphären um Leiterbahnen. Effektive Signalgeschwindigkeiten in Abhängigkeit von der Positionierung einer Leiterbahn innerhalb eines Multilayersystems.

Funktionale Beziehungen zwischen der Permittivität des Basismaterials und der Signalübertragung.

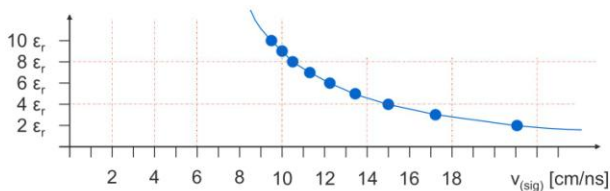
Signalgeschwindigkeit : Einfluß der Permittivität

Hinweis (Permittivität und Signalgeschwindigkeit)

Der Wert für die Geschwindigkeit "c" elektromagnetischer Wellen ist mit zirka 30cm/ns praktisch konstant.

Damit ist die Übertragungsgeschwindigkeit eines Signals nur von der Permittivität des Trägermaterial abhängig. Weil das ϵ_r im Bruch als *Nenner* auftritt, folgt, daß die Übertragungsgeschwindigkeit abnimmt, wenn die Permittivität zunimmt. Weil aus dem ϵ_r die Wurzel gezogen wird, folgt, daß die Veränderung der Geschwindigkeit nicht linear sondern *exponentiell* erfolgt.

$$v_{\text{(sig)}} = \frac{c}{\sqrt{\epsilon_r}} \quad \frac{[\text{cm}]}{[\text{ns}]}$$



Permittivität

Physikalische Eigenschaften des Basismaterials und ihr Zusammenhang zur Übertragungsgeschwindigkeit (propagation delay).

Grenzwerte. Signalanstiegszeiten in Abhängigkeit von der eingesetzten Logikfamilie.

Signalgeschwindigkeit : Basismaterialeigenschaften

Material	Hersteller	Substrat	Tg	ϵ_r (1GHz)	$v_{\text{(sig)}}$ [cm/ns]
NP-155f	NanYa	FR4	150	4.10	14.85
Duraver 114	Isola	FR4	150	4.40	14.29
MC100	Matsushita	FR4	125	4.10	14.85
Duraver CE	Isola	CE	230	3.30	16.48
Duramid CE-Cu	Isola	CE	200	3.00	17.44
TMM6	Rogers	Keramik	n.d.	6.20	12.05
TMM10i	Rogers	Keramik	n.d.	10.0	9.49
Ro4003	Rogers	Glas/Keramik	200	3.58	16.13
Ro4350	Rogers	Glas/Keramik	280	3.68	15.62
D5880	Rogers	Teflon/PTFE	n.d.	2.20	20.27
D6002	Rogers	Teflon/PTFE	n.d.	2.94	17.54
D6006	Rogers	Teflon/PTFE	n.d.	6.15	12.10
Ultralam2000	Rogers	Teflon/PTFE	n.d.	2.50	18.99
Duraver P97	Isola	Polyimid/G30	260	4.40	14.29

Basismaterial

Diverse Basismaterialien für die Konstruktion von Highspeed-Multilayern.

Materialklassen auf der Basis von FR4, Keramik, PTFE und Polyimid. Hersteller und Produkte für Sondermaterialien.

Signalgeschwindigkeiten.

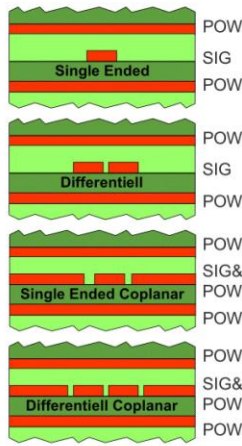
Nomenklatur : Impedanzklassen

Insgesamt werden vier Impedanzklassen unterschieden :

- Single Ended
- Differentiell
- Single Ended Coplanar
- Differentiell Coplanar

Bei "Single Ended"-Impedanzen wird das Signal auf *einer* Leitung übertragen.
Bei "Differentieller"-Impedanz wird das Signal über ein *gekoppeltes* Leitungspaar übertragen.

Nur die Klassen "Single Ended" und "Differentiell" sind wirklich elementar.
Bei den coplanaren Strukturen wird die Signalleiterbahn zusätzlich zu den benachbarten Potentiallayern auch auf dem Signallayer in das Referenzpotential eingebettet.



Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

Impedanzklassen

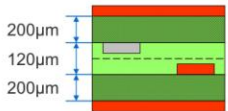
Nomenklatur für die Beschreibung von Impedanzen auf unterschiedlichen geometrischen Moduln. Single Ended, differentielle und coplanare Geometrien. Impedanzen vom Typ Microstrip und Stripline. Erläuterungen zur Kombination von Signal- und Powerplanes.

Impedanzmodul : Single Ended Dual Stripline

Beispiel (Impedanz : Single Ended Dual Stripline)

Zwei 200µm-Lamine sind mit zwei 1080er-Prepregs verpreßt. Bei einer Leiterbahnbreite von 200µm und einer Kupferdicke von 17µm ergibt sich eine rechnerische Impedanz von 49,8 Ω. Bei vorgegebener Modulgeometrie läßt sich die Impedanz über die Leiterbahnbreite modifizieren.

Material FR4 Tg135
Epsilon-R 4.3
Prepregs 2 x 1080 SR



Leiterbreite	Kupferdicke		
	5µm	17µm	35µm
300µm	42.1 Ω	40.4 Ω	38.4 Ω
200µm	52.3 Ω	49.8 Ω	47.0 Ω
150µm	59.7 Ω	56.6 Ω	53.0 Ω
120µm	65.5 Ω	61.8 Ω	57.6 Ω
100µm	70.3 Ω	66.0 Ω	
80µm	76.1 Ω		

Regel (Identische Geometrien) Wenn die Geometrie und das Dielektrikum zweier Impedanzmoduln in einem Multilayersystem identisch sind, dann sind auch die resultierenden Impedanzwerte identisch. Deshalb können konfektionierte Impedanzmoduln vorberechnet werden.

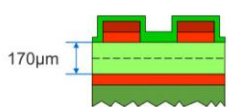
Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

Impedanzmodul 1

Erklärung der Parameter für die Berechnung von Impedanzmoduln. Vorberechnete Impedanzmoduln für die Konstruktion von Highspeed-Baugruppen. Reale Varianten unter Beachtung der Technologien für die industrielle Fertigung von Leiterplatten.

Impedanzmodul : Moduln für den CAN-Bus (~ 120 Ω)

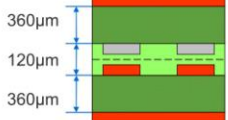
Material FR4 Tg135
Epsilon-R 4.3
Prepregs 1 x 1080 SR
1 x 2116 SR



Differential Surface Coated Microstrip

Leiterbreite	Leiterabstand	Kupferdicke (incl. DK)		
		30µm	42µm	60µm
300µm	450µm	92.8 Ω	91.2 Ω	89.2 Ω
200µm	450µm	112.7 Ω	110.3 Ω	107.3 Ω
175µm	450µm	119.3 Ω	116.6 Ω	113.2 Ω
175µm	375µm	117.0 Ω	114.3 Ω	110.1 Ω
150µm	375µm	124.4 Ω	121.2 Ω	117.2 Ω
150µm	275µm	118.9 Ω	115.5 Ω	111.2 Ω

Material FR4 Tg135
Epsilon-R 4.3
Prepregs 2 x 1080 SR



Differential Dual Stripline

Leiterbreite	Leiterabstand	Kupferdicke		
		5µm	17µm	35µm
300µm	450µm	104.1 Ω	100.1 Ω	95.3 Ω
200µm	450µm	123.4 Ω	117.9 Ω	111.4 Ω
175µm	450µm	129.8 Ω	123.7 Ω	116.5 Ω
175µm	375µm	125.9 Ω	119.7 Ω	112.6 Ω
150µm	375µm	133.2 Ω	126.1 Ω	118.1 Ω
150µm	275µm	124.9 Ω	117.8 Ω	109.8 Ω

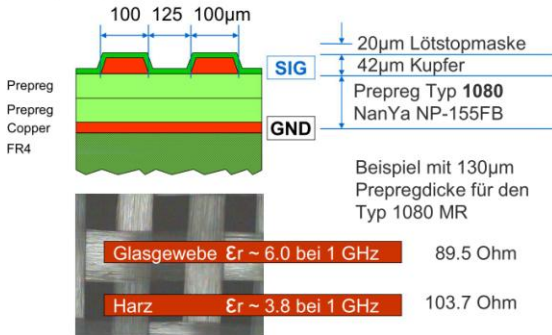
Leiterplatten 37 ... Impedanzdefinierte Leiterplatten

Impedanzmodul 2

Vorberechnete Impedanzmoduln für die Single Ended und Differentielle Signalübertragung. Beispiele für Dual Stripline sowie coplanare Moduln. Berechnungen für LVDS, FPGA, USB, DDR3-RAM, CAN-Bus und Videosignale.

Impedanzabweichungen abhängig vom Glasgewebe 2

Impedance type "Differential Coated Microstrip"
(POLAR type "Edge-Coupled Coated Microstrip 1B")



Die Werte für differentielle Impedanzen können wegen der unterschiedlichen dielektrischen Werte für Harz und Glasgewebe stark abweichen.

Basismaterial

Grundeigenschaften von Prepregs. Laufzeitverzögerungen durch ungeeignete Glasgewebe bei differentiellem Signaltransfer. Gewebetypen und Prepregvarianten mit unterschiedlicher Harzdicke. Impedanztoleranzen abhängig vom Harzgehalt und vom Preßprozeß.

Funktionsfläche

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen der Unterätzung und der Kupferdicke formuliert.

Regel (Unterätzung gesamt)

$$\text{Unterätzung}_{(\text{ges})} = 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

Daraus ergibt sich:

Regel (Abhängigkeit der Unterätzung)

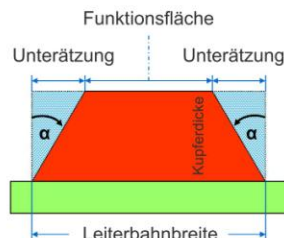
Die Unterätzung ist *ausschließlich* von der Kupferdicke abhängig.

Begriff (Funktionsfläche)

Die Breite des oberen Leiterbildes wird als *Funktionsfläche* bezeichnet.

Regel (Funktionsfläche)

$$\begin{aligned} \text{Funktionsfläche} &= \text{Leiterbahnbreite} - \text{Unterätzung}_{(\text{ges})} \\ &= \text{Leiterbahnbreite} - (2 \cdot \text{Kupferdicke} \cdot \tan \alpha) \end{aligned}$$

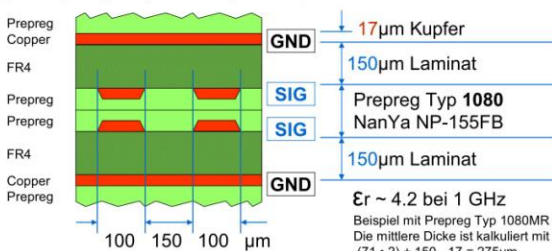


Rückätzung

Die Leiterbildstrukturierung als bestimmender Produktionsabschnitt für die Toleranz eines angestrebten Impedanzwertes. Definition der Rück- und Unterätzung des Leiterbildes über die Formulierung des Ätzwinkels ($\tan \alpha$). Berechnung im Vorfeld einer Multilayerkonstruktion.

Impedanzwerte bei Rückätzung

Impedance type "Differential dual Stripline"
(POLAR type "Edge-Coupled Offset Stripline 1B1A")



Impedanzwerte bei Rückätzung (100-150-100 = 101.9 Ohm)		
Ätzdifferenz (Durchmesser)	Geometrie	Impedanz
+ 5μm	105 - 145 - 105	99.0 Ohm
+10μm	110 - 140 - 110	96.6 Ohm
- 5μm	95 - 155 - 95	104.0 Ohm
- 10μm	90 - 160 - 90	106.6 Ohm

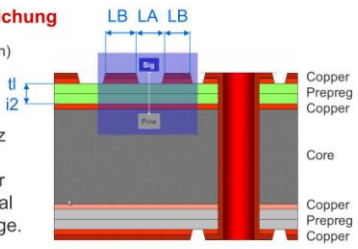
Fehlerrechnung

Berechnung von Impedanzabweichungen in Referenzmoduln. Lötstoplack und Bestückungsdruck als beeinflussende Faktoren. Unregelmäßige Impedanzen in Abhängigkeit von der Ätzmechanik. Querschnittsprofile, Flankenwinkel und Funktionsflächen.

m.n-Format : Impedanzabweichung

Fehlerabschätzung (Interpolation)

Ein (LVDS-)Leiterbahnpaar soll eine differentielle Impedanz von 100 Ohm haben. Die Leiterbahnen liegen auf der Außenlage, das Bezugspotential ist die nächstgelegene Innenlage.



Abstände LB/LA/LB [µm]	Abstand t1-t2 [µm]	Fehler bei einer Interpolation von +/- 10 µm		Fehler bei einer Interpolation von +/- 20 µm	
			Ohm		Ohm
175-175-175 µm	220 µm	-1.8 / + 1.6	= 3.4	-3.6 / + 3.2	= 6.8
125-125-125 µm	220 µm	-3.1 / + 2.9	= 6.0	-6.4 / + 3.5	= 9.9
100-100-100 µm	120 µm	-3.3 / + 3.0	= 6.6	-7.2 / + 5.6	= 12.8
75- 75- 75 µm	100 µm	-5.3 / + 4.3	= 9.6	-11.5 / + 8.1	= 19.6

Mit der Reduzierung der Leiterbahnbreiten nimmt die Abweichung zu.

Datenformat

CAD-Postprozeß und Datatransfer. Impedanztoleranzen mit Bezug zur Koordinatenauflösung.

Interpolationen wegen eines nicht ideal gewählten m.n.-Formates als Fehlerquelle für eine deutliche Abweichung von der Zielimpedanz .

Impedanztoleranz : FR4-Basismaterial

Die klassische Produktion von Multilayern aus FR4-Material ist in eine Umgebung von Standardtoleranzen eingebunden. Material- und prozeß-typische Abweichungen vom idealen vorabgerechneten Impedanzwert müssen bei der Planung einer Baugruppe in Betracht gezogen werden.

FR4-Basismaterial Durch die Kombination von Glasgewebe (...ε_r von 6.0) und Epoxydharz (...ε_r von 3.8) orientiert sich die Impedanz einer Leiterbahn an deren Position innerhalb des Materialverbundes. Für eine Leiterbahn vom Typ "Single Ended" beträgt die Toleranz +/- 2.5 Ohm bei einem Zielwert von 50 Ohm.



Einbettung der Leiterbahn vornehmlich in einer Epoxydharz-Umgebung.

Einbettung der Leiterbahn in einer Glasgewebe-Umgebung.

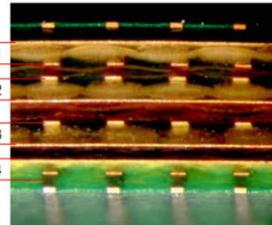
Fertigungstoleranz 1

Basismaterial als vorrangige Einflußgröße auf die Stetigkeit einer Impedanz.

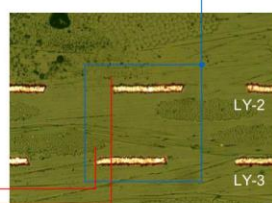
Akzeptable und nicht akzeptable Abweichungen mit Referenz zu Geweben und Harzverfüllungen. Toleranzintervalle. Grenzen der Leistungsfähigkeit von FR4.

Vertikaler Lagenversatz bei einem Multilayer

Das Schlißbild durch den 10-Lagen-Multilayer zeigt einen Versatz der Kerne K1 (LY-2, LY-3) und K2 (LY-4, LY-5) zueinander.



Die beiden Leiterbahnen für die differentielle Signalübertragung sind auf den sich gegenüberliegenden Layern LY-3 und LY-4 dieser beiden Kerne in Z-Achsen-Richtung geroutet.



Die Toleranzen beim Registrieren und Stanzen der Innenlagen vor dem Verpressen, bei der Aufnahme der Innenlagen im Preßwerkzeug und das Driften der Lagen während des Verpressens haben einen (...zusätzlichen) Einfluß auf die Toleranz der Impedanz des Leiterbahnpaars.

30µm Abweichung sind akzeptabel.

Fertigungstoleranz 2

Fertigungsbedingte Abweichungen. Abweichender Lagenabstand und Registrierversatz durch das Verpressen von Multilayern.

Der Einfluß des Kontaktierens und Ätzens auf den Impedanzwert. Kupferdickenabhängige Blendenkompensation.

Verpressen : Regeln für Powerplanes und äußere Signallagen

Weil die Powerplanes flächig sind, werden sie deutlich geringer in die Oberfläche der Prepregs gedrückt, als dies bei Signallagen der Fall ist. Die äußeren Signallagen werden mit Kupferfolien belegt, die erst nach dem Verpressen strukturiert werden.



Regel Die minimale Prepregdicke zwischen zwei Powerplanes mit einer Kupferdicke $\leq 17\mu\text{m}$ ist $50\mu\text{m}$.

Hinweis Prepregs mit mittlerem / hohem Harzgehalt werden empfohlen.

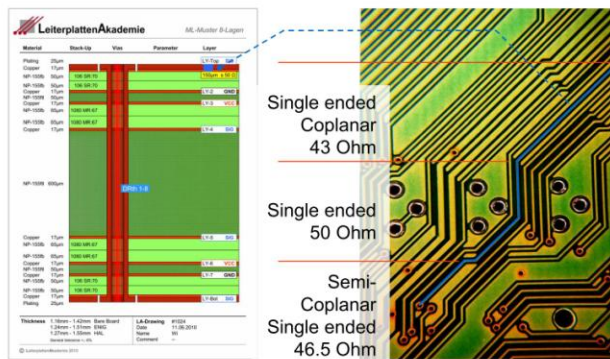
Leiterplatten 37 ... Impedanzdefinierte Leiterplatten 16

Lagenaufbau

Grundregeln für die Konstruktion impedanzdefinierter Multilayer. Mindestabstände für den Lagenaufbau zwischen Signal- und Powerplanes. Variable Signal-Ground-Abstände durch die unterschiedliche Eindringtiefe des Leiterbildes in das Harz der Prepregs.

Eingebettete Leiterbahnen 2

Das pauschale Einbetten von Leiterbahnen in Masseflächen ist ohne Blick auf andere physikalischen Eigenschaften nicht akzeptabel. So wäre eine einheitliche Impedanz wichtiger als eine „Abschirmung“.



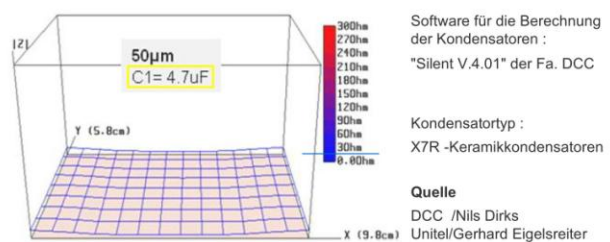
Leiterplatten 37 ... Impedanzdefinierte Leiterplatten 17

Kritische Impedanzmoduln

Eingebettete Leiterbahnen als Fehlerquelle. Zukünftige Impedanzmoduln mit reduzierten Geometrien für das Leiterbild und mit minimalen Lagenabständen. Falsche und richtige Verteilung der Qualitäten SIG, GND und VCC in einem Multilayer.

LP2010 : Impedanz des Stromversorgungssystems 3

Variante 3 50µm Distanz der Powerplanes VCC und GND.



Die Impedanz des Stromversorgungssystems ist praktisch gleich über die Fläche der Powerplane. Im Mittbereich liegen die Werte bei $<1\text{ Ohm}$, in den Randbereichen bei maximal 1.5 Ohm .

Für die Dämpfung der erwarteten Resonanzfrequenzen wird eine Gruppe von 1 Kondensator benötigt.

Leiterplatten 37 ... Impedanzdefinierte Leiterplatten 18

Multipowersysteme

Niederimpedante Konstruktion von Stromversorgungssystemen. Der Einfluß der Abstände zwischen den Powerplanes auf die Funktion des Multilayersystems. Gerechnete Kondensatorgruppen zur Dämpfung von Resonanzfrequenzen.

Multilayer 4

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LV-Top SIG
Copper	17µm			
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-2 GND
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-3 VCC
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-4 GND
NP-1558	250µm			
Copper	17µm			LV-5 SIG
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-6 GND
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-7 VCC
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-8 GND
NP-1558	250µm			
Copper	17µm			LV-9 SIG
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-10 GND
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-11 SIG
Plating	25µm			LV-Bot SIG

- LP-Klasse starr
- Gesamtdicke 1.60mm
- Material FR4
- Layer 10
- Kontaktiert ja
- BlindVias nein
- BuriedVias nein
- Lagertypen 5 x Sig, 5 x Pow
- MPS LY-2 LY-3 / LY-8 LY-9
- Pluggen nein
- KM ja
- Impedanz 50 Ω single ended, 90 Ω differentiell, 100 Ω differentiell
- Montage 1 x

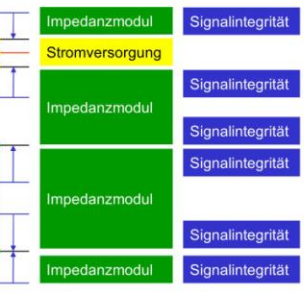
Dokumentation

Dokumentation von Multilayeraufbauten als Garant für eine zuverlässige Reproduktion von Leiterplatten in verschiedenen Chargen bei verschiedenen Herstellern. Kennzeichnung von Impedanzen im Lagenaufbau. Filesyntax als kommunikatives Ordnungssystem.

Funktionsmodul in einem Multilayer

Die Konstruktion von Funktionsräumen in einem Multilayersystem.

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LV-Top SIG
Copper	17µm			
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-2 GND
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-3 VCC
NP-1558	50µm			
NP-1558	70µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-4 GND
NP-1558	200µm			
Copper	17µm			LV-5 SIG
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	85µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-6 GND
NP-1558	50µm			
NP-1558	85µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-7 VCC
NP-1558	300µm			
Copper	17µm			LV-8 GND
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	85µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-9 SIG
NP-1558	300µm			
Copper	17µm			LV-10 GND
NP-1558	50µm		100-100-100µm @ 100 OI	100µm @ 100 OI
NP-1558	85µm		100-100-100µm @ 100 OI	100µm @ 100 OI
Copper	17µm			LV-11 SIG
Plating	25µm			LV-Bot SIG



Multilayersysteme

Strategische Aspekte für die Konstruktion impedanzdefinierter Multilayersysteme. Die Zuordnung von Rückströmen zu Signalintegritätsmodul. Die Integration von Impedanz- und Stromversorgungsmodul in die Aufbausystematik eines Multilayers.

Impedanzberechnung mit Polar Si8000 : Eingabefelder

Auswahl des Impedanzmoduls, Eingabefelder für die Parameter zur Graphik des Modulaufbaus, Berechnung des Impedanzwertes

Berechnung der Geometrie bei bereits vorgegebener Impedanz

Ergebnis der Impedanzberechnung

Vorwahl für eine verlustlose Berechnung oder für eine Empfindlichkeitsanalyse

Vorwahl des Interface-Typs, der Zielsuchkonvergenz und des Toleranz-Modus.

Tutorial (Impedanz)

Übungen zur Impedanzberechnung mit dem Softwareprogramm Si8000 von Polar Instruments. Auswahl geeigneter Geometrien. Parametrisierung der Berechnung. Toleranzberechnungen. Mögliche Fehlerintervalle abschätzen können.

Ihr Referent



Arnold Wiemers ist der Leiterplatte seit 1983 verbunden. Von 1985 bis 2009 war er bei der ILFA GmbH in Hannover beschäftigt.

Er war dort verantwortlich für die Fachbereiche CAD und CAM, für die Auftragsvorbereitung und für die technischen Dokumente der Firma ILFA im Internet.

Er ist seit 1982 freier Softwareentwickler (ISW), vornehmlich für branchentypische Applikationen im Bereich der Leiterplatte, wie die Kalkulation und die Fertigungssteuerung von Leiterplatten.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).

Vom IPC zertifizierter CID, CID+ und Instructor. FED-Designer und FED-Referent. Mitarbeit am Schulungskonzept des FED. Mitarbeit in der international besetzten "Projektgruppe Design" des FED und des VdL/ZVEI.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das Halbtagsseminar und Tutorial "**Leiterplatten 37 ...Impedanzdefinierte Leiterplatten**" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht Ihnen auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte liegen in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 260 € zzgl. MwSt. pro Person. Enthalten sind ausführliche Seminarunterlagen, das Teilnahmezertifikat und Getränke.

Konferenz-Seminar

Wenn Sie "**Leiterplatten 37 ...Impedanzdefinierte Leiterplatten**" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

Das Seminar und Tutorial "**Leiterplatten 37 ...Impedanzdefinierte Leiterplatten**" wird auch firmenintern referiert. Sie sparen Reise- und Übernachtungskosten, vor allem jedoch Zeit.

Für pauschal 1.450 € zzgl. MwSt. liefern wir Ihnen unsere Referenten "frei Haus" bei Teilnahme von bis zu 10 Personen.

Jeder Teilnehmer erhält ausführliche Seminarunterlagen sowie ein Teilnahmezertifikat. Für mehr als 10 Teilnehmer unterbreiten wir Ihnen gerne ein gesondertes Angebot.

Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



LeiterplattenAkademie

Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon	(030) 34 35 18 99
Telefax	(030) 34 35 19 02
eMail	info@leiterplattenakademie.de
Internet	www.leiterplattenakademie.de