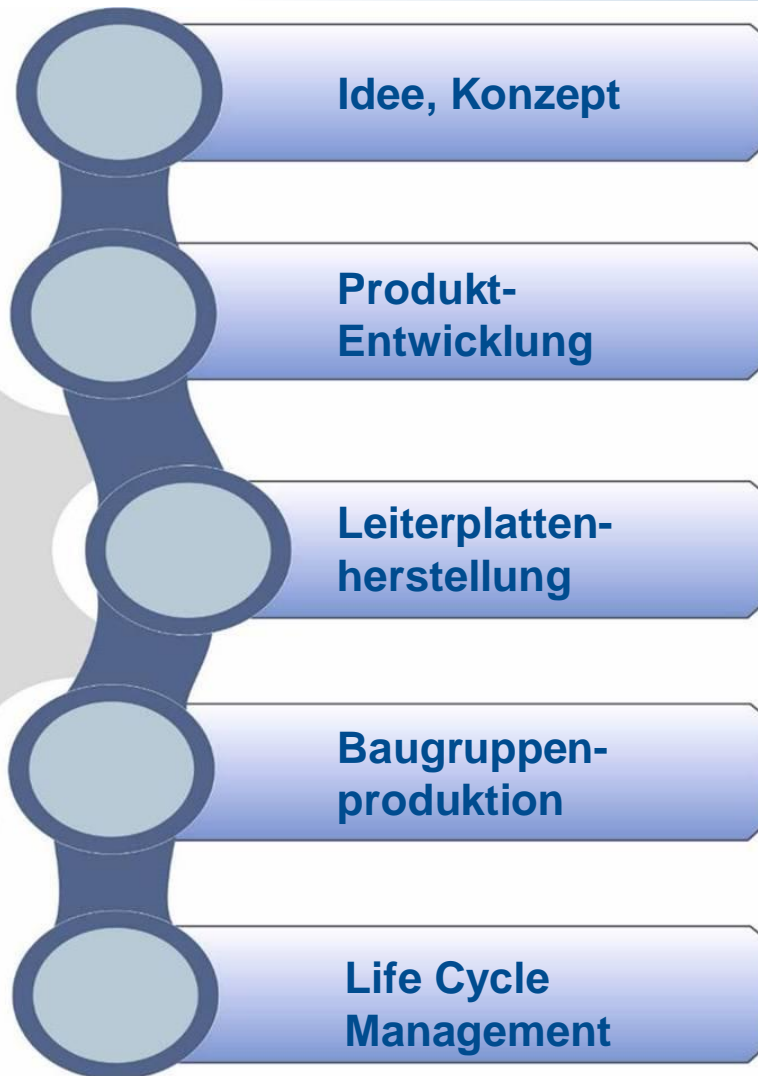


AK Design Chain



Autonomes Fahren

Arnold Wiemers
ILFA GmbH
LeiterplattenAkademie GmbH

Zukunft autonomes Fahren : Elementare Designregeln als Schlüssel des Erfolgs

Autonome Mobilität ?

Udenkbar ohne Elektronische Baugruppen !

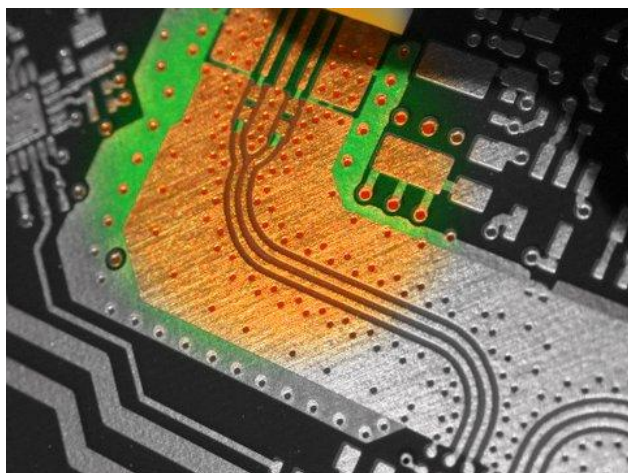
Der AK Design des ZVEI informiert Sie über seine Regelwerke für das CAD-Design, die Leiterplattenfertigung und die Baugruppenproduktion.



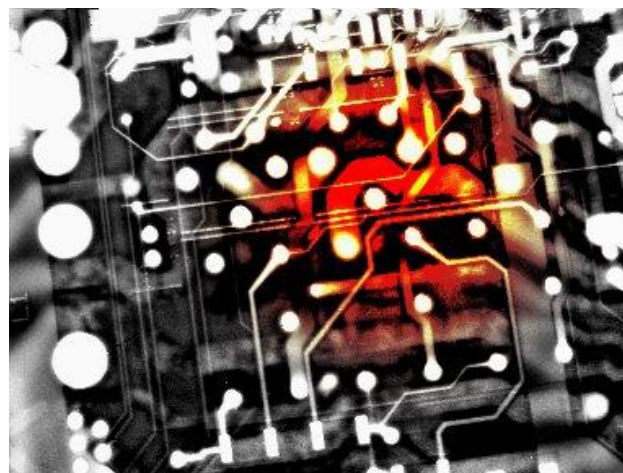
Zukunft Autonomes Fahren

Eine elementare Voraussetzung für das autonome Fahren ist die zuverlässige Kommunikation zwischen Systemen. Das setzt den superschnellen Austausch großer Datenvolumina voraus.

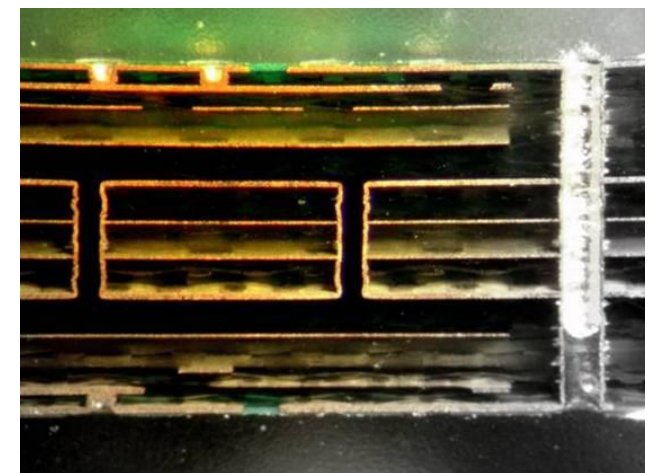
Um handeln zu können, muß die Elektronik eines autonomen Fahrzeuges optische, akustische, thermische, physikalische und chemische Szenarien im Nah- und Fernbereich vollständig und irritationsfrei erfassen und analysieren.



Differential Microstrip



Entwärmung



Via-Strategie

Zukunft Autonomes Fahren

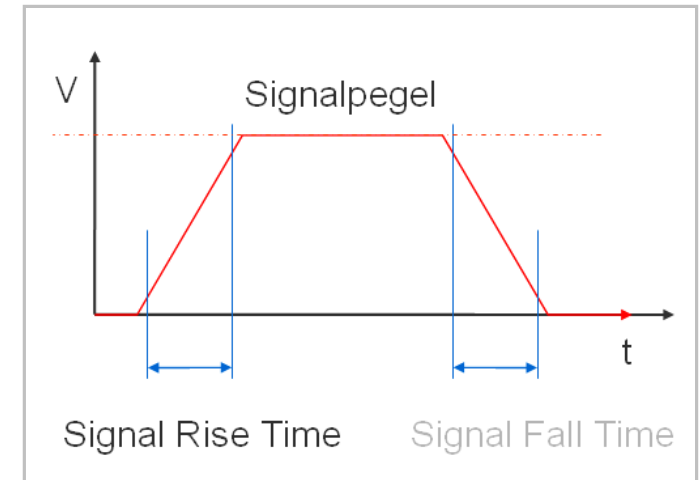
EMV, Signal- und Powerintegrität dominieren die Highspeed- und Highpower-Baugruppen für das autonome Fahren. Der Umbruch in der Leiterplatten- und Baugruppentechologie wird schnell kommen.

Technologischer Erfolg setzt voraus, die Gesetze der Physik zu respektieren - und klug zu nutzen.

Die Bedeutung der Elektronik in unserer Welt verleitet Designregeln eine wirtschaftspolitische Komponente.

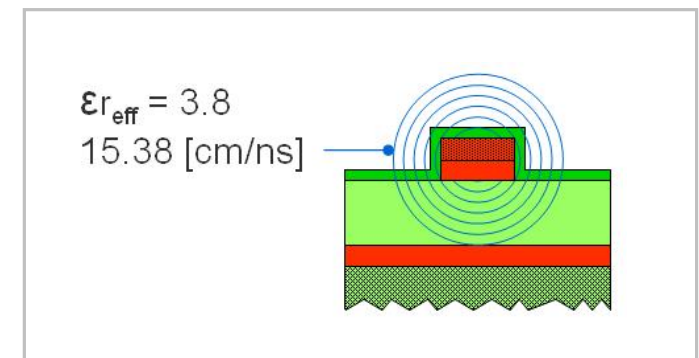
Wir dürfen uns nicht an Designregeln orientieren, die uns nur mit Zeitverzögerung zugänglich sind.

Wir müssen selbst handeln.



Signalanstiegszeit
Signalgeschwindigkeit

Grafik
Arnold Wiemers



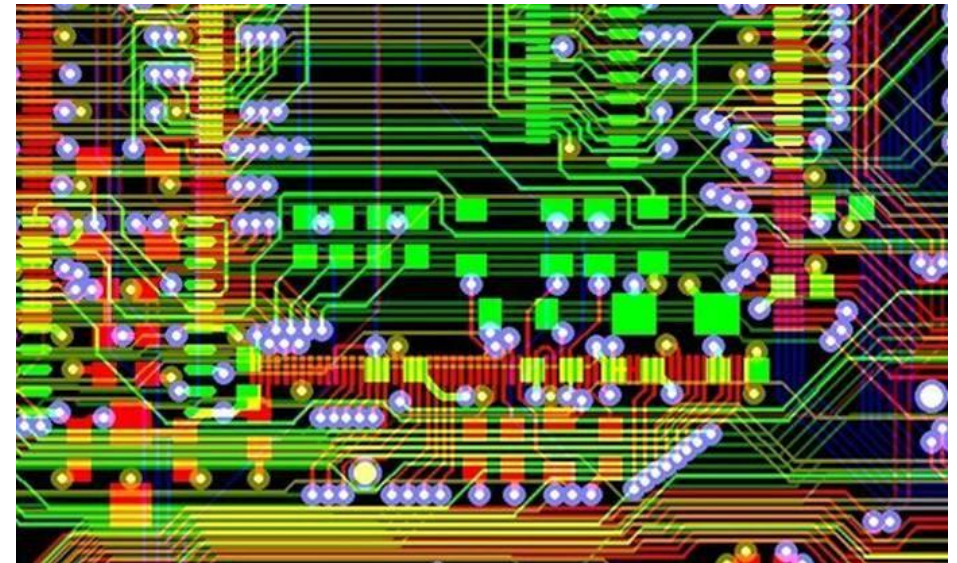
Zukunft Autonomes Fahren

CAD-Design

Kompakte Geometrien mit 100µm-Vias und -Leiterbahnen für ein Highspeed-Design.

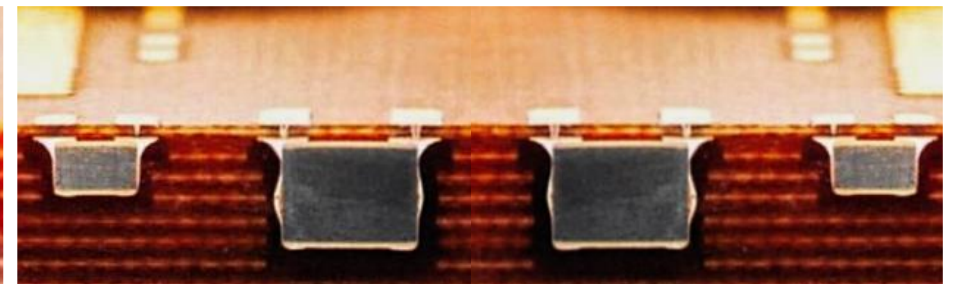
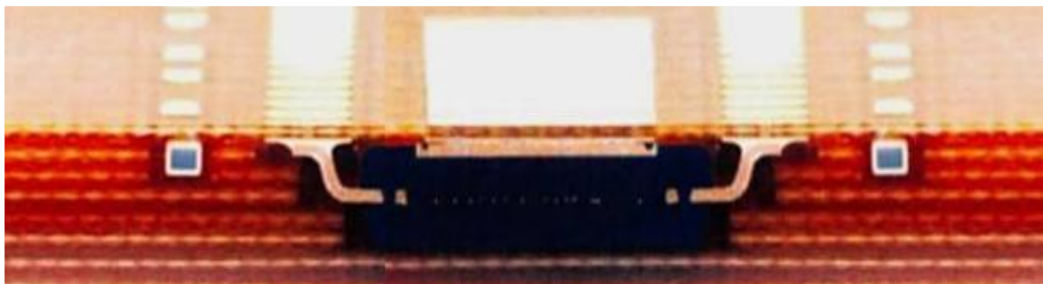
Leiterplattentechnologie

Superspeed-Transfer : Eingebettete elektronische Bauteile in einem Multilayer.



CAD-Layout Bildquelle Arnold Wiemers

Embedded Components innerhalb eines FR4-Multilayers



Bildquelle ILFA modifiziert Wi

Zukunft Autonomes Fahren

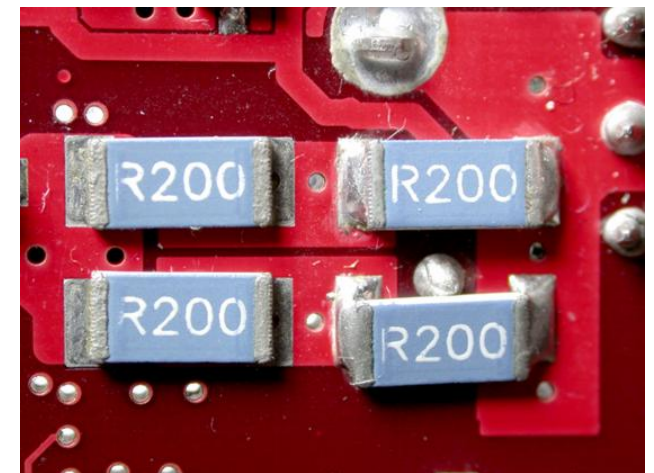
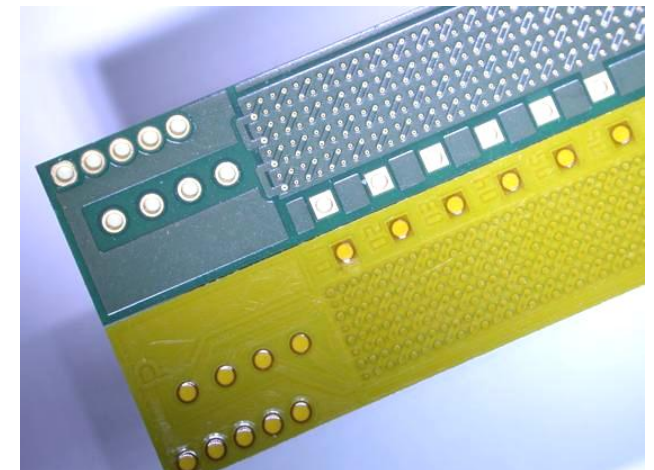
Baugruppenproduktion

Bestückung der elektromechanischen Komponenten und Montage des Gerätes.

Test

Prüfung der Funktion von Leiterplatten, Komponenten und Baugruppen.

IST-Testcoupon



Arnold Wiemers

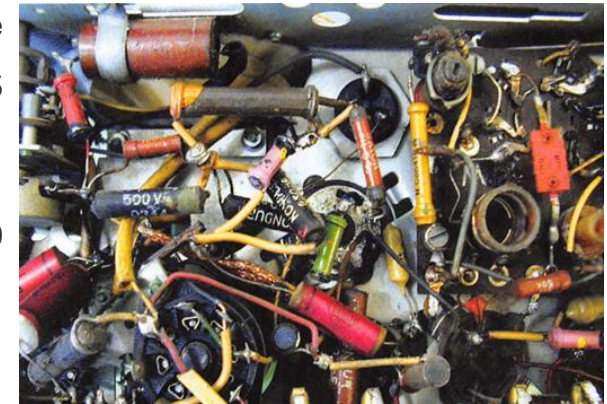
Gruppe 4 Leiterplattentechnologie

Gruppe 4 : Leiterplattentechnologie

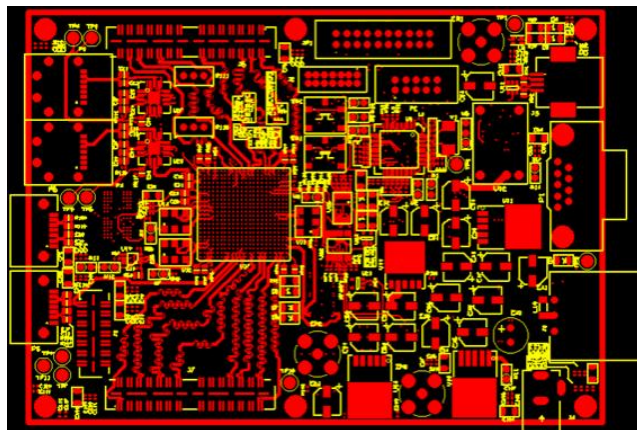
Leiterplatten vermitteln zwischen den geometrischen Vorgaben des CAD-Layout-Designs einerseits und der Produktion und der Inbetriebnahme der Baugruppe andererseits.

Bildquelle
ELEKTRONIKPRAXIS 12-2015

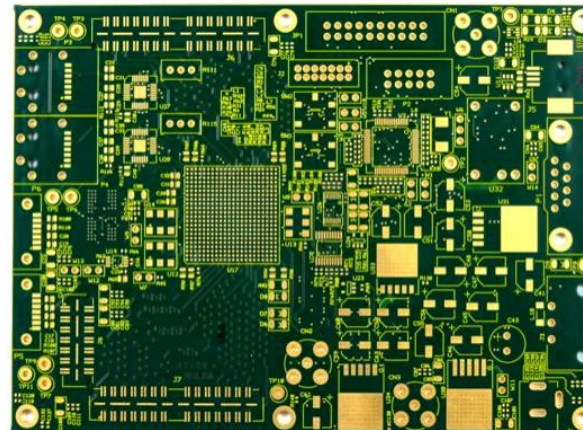
Baugruppe um 1950



Bildquelle Arnold Wiemers Baugruppe um 2009
"Die Leiterplatte 2010" von Gerhard Eigelsreiter/Unitel



CAD-Layout



Leiterplatte



Baugruppe

Gruppe 4 : Leiterplattentechnologie

Regel (Layout, Leiterplatte, Baugruppe)

Die Disziplinen CAD-Layouterstellung, Leiterplattenfertigung und Baugruppenproduktion bedingen sich *gleichwertig* gegenseitig.

CAD Das CAD-Layout liefert die Fertigungsdokumente für die Produktion der Leiterplatte und der Baugruppe.

Leiterplatte Die Leiterplattentechnologie liefert die Konstruktionsvorgaben für die Erstellung des CAD-Layoutes und stellt die Leiterplatten für die Baugruppenproduktion bei.

Baugruppe Die Baugruppententechnologie definiert die Anforderungen an die Qualität der Leiterplatte und des Layouts.

Regel (Formulierung von Designregeln)

Die Formulierung von Designregeln ist nur möglich über die Analyse der Fertigungsbedingungen für die Leiterplatten- und Baugruppenproduktion.

ZVEI
Die Elektroindustrie

Leiterplattenklassen (allgemein)

Die Konstruktion und die funktionellen Eigenschaften von Leiterplatten sind abhängig von den zulässigen Anforderungen an den Fertigungsprozess. Auch die eingesetzten Basismaterialien legen diese Eigenschaften mit fest sowie die Anzahl der Lagen, die für die Leiterplatte vorgesehen sind.

Die Anzahl elektronischer Baugruppen auf der Basis flexibler und starrflexibler Leiterplatten nimmt zu. Die überwiegend produzierten elektronischen Baugruppen setzen jedoch auf starren Leiterplatten auf. Für diese Produkte sprechen die relativ geringen Kosten, die erprobten Fertigungsverfahren und die übersichtlichen Designregeln für die Erstellung des CAD-Layouts.

Für Baugruppen mit extrem integrierten elektronischen Bauteilen reichen 2 Lagen nicht mehr aus, um den Aufbau aller Signalverbindungen zu ermöglichen. Damit mehr als 2 Lagen genutzt werden können, müssen Multilayer (= Mehrebenenschaltungen) gebaut werden.

Die grundsätzliche Klassifizierung in flexible, starre und starrflexible Leiterplatten ordnet die Anforderungen an die CAD-Konstruktion und die Prozesstechnologie für die Leiterplattenfertigung und die Baugruppenproduktion.

Starre Leiterplatten...

...bestehen immer aus einem starren Material, wie zum Beispiel FR4 oder starrem Polyimid. Das Material ist mechanisch belastbar und deshalb gut für die Bauteilbestückung geeignet. Anwendungsbereiche sind Leiterplatten mit einseitiger oder doppelseitiger Verdrahtung.

Schematischer Aufbau

Flexible Leiterplatten...

...nutzen flexibles Polyimid als Basismaterial. Die Flexibilität des Materials bietet dynamische Verbindungen. Die Leiterplatten sind ein- oder zweiseitig ausgeführt. Eine Bestückung ist in Bereichen möglich, die plan montiert und im Gerät nicht gebogen werden.

Schematischer Aufbau

Starre Multilayer...

...bestehen aus einem starren Materialverbund. Standard ist FR4 aber auch andere Materialien sind verfügbar. Die einzelnen Lagen werden durch einen Präsvorgang miteinander verklebt. Die höhere Lagenanzahl ermöglicht die Verdrahtung hochpoliger Komponenten.

Schematischer Aufbau

14.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

Schematischer Fertigungsablauf für einseitige Leiterplatten

Die Fertigung einer zu kontaktierenden doppelseitigen starren Leiterplatte kann bis zu 45 Fertigungsschritte erfordern. Für die erfolgreiche Konstruktion eines CAD-Layouts und für die Vorbereitung der Herstellung von Prototypen ist die Kenntnis der grundlegenden Fertigungsschritte hilfreich.

Schematischer Fertigungsablauf für einseitige Leiterplatten

Erläuterungen der Fertigungsschritte zur Herstellung einseitiger Leiterplatten.

- 1 Ausgabe des Materials nach Spezifikation (grün = Basismaterial, rot = Kupfer)
- 2 Bohren nach Vorgabe des CAD-Postprozesses (...Excellon- oder Sieb&Meyer-File)
- 3 Beschichten des Produktionszuschnitts mit sensitivem Fotolaminat (blau)
- 4 Auflegen des geplotteten Filmes (grau) nach CAD-Daten (...Gerber-File) und UV-Belichtung (gelb)
- 5 Entfernen des Filmes und Entwickeln des Fotolaminates (blau)
- 6 Ätzmedium aufsprühen und freiliegendes Kupfer auflösen und ausspülen

14.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

Weil Vias von ihrer Funktion her keine Bauteile aufnehmen, können Anforderungen an ihre mechanische Stabilität vernachlässigt werden. Folglich können für Vias die Geometrien des Viapads und der Viabohrung hinsichtlich des minimalen Platzbedarfs optimiert werden.

Bauteilmontage

Die Bestückung kann auf doppelseitig kontaktierten Leiterplatten theoretisch in Form von 2 Lagen THD plus 2 Lagen SMD erfolgen. Wegen des aufwendigen Handlings wird jedoch empfohlen, den Bestückungsaufwand durch Reduzierung der zu bestückenden Lagen gering zu halten. Insbesondere die Bestückung mit THDs sollte auf nur einen Lötvorgang begrenzt werden.

Das Löten einer doppelseitigen und kontaktierten Leiterplatte mit beidseitiger SMD- und THD-Bestückung kann in nur einem einzigen Arbeitsgang erfolgen, wenn alle SMDs auf einer Seite platziert sind und wenn alle THDs auf der gegenüberliegenden Seite platziert sind. Sind SMDs und/oder THDs gemischt auf beiden Seiten platziert, dann sind (...mindestens) zwei Lötgänge notwendig. Das erhöht die thermische Belastung, die auf die Leiterplatte und die Komponenten der Baugruppe einwirkt.

Doppelseitig kontaktierte Leiterplatte, die einseitig mit THD- und SMD-Bauteilen bestückt ist. Doppelseitig kontaktierte Leiterplatte, die einseitig mit SMD-Bauteilen bestückt ist.

Anwendungsbereiche

Doppelseitige und kontaktierte Leiterplatten sind ein erfolgreicher Typus, der für viele Anwendungen im Bereich der Industrieelektronik eingesetzt werden kann. Die heute (~ 2017) übliche Leiterbahnbreite von 100µm und der übliche Via-Enddurchmesser von 200µm gestalten die Konstruktion kompakter Baugruppen mit zuverlässiger Funktion über viele Jahre.

Sind die Bauteilbohrungen mit Kupfer beschichtet, dann kann als Montagetechnik auch das Einpressen angewandt werden. Das setzt allerdings ein Material wie FR4 voraus, das durch den Aufbau aus Glasgewebe plus Epoxidharz mechanisch einerseits elastisch und andererseits bruchresistenter ist und daß zudem eine minimale Hülsenkupferdicke von 25µm hat.

Für das Einpressen wären Präsvorgangsstoffe wie CEM1 oder FR2 nicht geeignet.

17.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI
Die Elektroindustrie

CAM-Bearbeitung

Die Daten des CAD-Systems können niemals direkt für die Fertigung von Leiterplatten genutzt werden. Immer müssen vorab die Vollständigkeit und Richtigkeit der Daten bestätigt werden. Anschließend müssen die Daten für die Belange der Leiterplattenproduktion aufbereitet werden.

Es ist die Aufgabe von CAM, die CAD-Daten zu sichten. Die rein optische Überprüfung am Bildschirm kann je nach Leistungsfähigkeit der eingesetzten CAM-Software durch automatische Routinen für die mechanische Abstandsprüfung der Leiterbilder zu einander, zur Kontur oder zum Bohrtrid ergänzt werden.

Datenprüfung und Design-Rule-Check

Das CAD-System gibt mit dem Postprozeß diverse Layoutdaten aus. Übliche Datenformate sind "Sieb&Meyer" oder "Excellon" für Bohr- und Fräsdaten sowie "Gerber" für die Leiterbilder und Drucke.

Im Vorfeld der Erstellung der Produktionsdaten für die Leiterplattenproduktion wird ein Design-Rule-Check (= DRC) durchgeführt, der die Produzierbarkeit der Leiterplatte sicherstellen soll.

Mit dem Design-Rule-Check werden die mechanischen Konstruktionsvorgaben seitens des CAD-Layouts überprüft. Restringe, Bohrdurchmesser und die Abstände zwischen Kupferstrukturen werden vermessen. Die Lagenaufbaudokumentation, die Materialspezifikation und die Anforderungen an Lücke und Farben werden abgeglichen.

Bei Unstimmigkeiten ist die Kommunikation zum CAD-Konstrukteur erforderlich. Erst nach verbindlicher Klärung aller Unstimmigkeiten darf das Layout für die Leiterplattenfertigung freigegeben werden.

Datenaufbereitung und Nutzensetzen

Aus logischen und wirtschaftlichen Gründen werden Leiterplatten während des Produktionsdurchlaufs mit festen Masken für den Basismaterialzuschnitt gefertigt.

CAM-Daten (Drills) als Ausgangspunkt für die Montage des Produktstrukturs (rechts).

17.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Leiterplattentechnologie : Dokumente des AK Design

Basismaterial

Das Basismaterial ist wichtig für die technisch-physikalische Funktion elektronischer Baugruppen.

Basismaterial (starr)

Das Material für die Konstruktion von Leiterplatten (= Basismaterial) ist ausschlaggebend für die technisch-physikalische Funktion und die Kosten einer elektronischen Baugruppe.

Der wirtschaftliche Erfolg eines Gerätes, einer Anlage oder einer Maschine ist ohne ein passend definiertes Basismaterial unkontrolliert.

Was ist „Basismaterial“ ?

Die einzelnen Bestandteile eines typischen starren Basismaterials sind:

- Klebstoff, Trägermaterial und Leitschicht. Beim FR4, dem mit Abstand meistgenutzten Basismaterial, besteht der Klebstoff aus Epoxidharz und das Trägermaterial aus Glasfäden (... bestehend aus Glasfibrillen), die zu einem Glasgewebe verwoben sind.
- Prepregs und Kupferfolien sind das Ausgangsmaterial für die Herstellung des klassischen FR4-Basismaterials. Der Basismaterialhersteller verpresst ausgewählte Prepregs mit Kupferfolien zu einem Materialverbund, den sogenannten Laminaten.

Prepreg

„Prepreg“ leitet sich von „Preimpregnated“ ab. Das Kunstwort soll darauf hinweisen, daß das Glasgewebe mit einem Epoxidharz vorimprägniert (= beschichtet) ist, wobei das Harz aber noch nicht vollständig ausgehärtet (= polymerisiert) ist.

Jedes Prepreg besteht aus genau einem Glasgewebe, dessen Typ mit einer Nummer angegeben wird, zum Beispiel „106“, „1080“, „2116“ oder „7628“.

Bei der Herstellung von FR4-Prepregs wird das Glasgewebe mit einem Epoxidharz getränkt. Das Harz verfüllt die Zwischenräume des Gewebes und bedeckt zudem die Außenseiten des Glasgewebes.

Prepregvarianten

Früher war die Dicke eines Prepregs mit Bezug auf die Bezeichnung des Prepregs sehr verbindlich. Das 106er war zirkulär 50µm dick, das 1080er zirkulär 60µm, das 2116er zirkulär 115µm und das 7628er zirkulär 180µm.

Die Forderung nach einem sicheren aber auch kostengünstigen Verpressen von Multilayern hat zu Prepregvarianten mit unterschiedlich dickem Harzauftrag geführt.

Kupferfolie

Die Dicke der Kupferfolien beträgt üblicherweise 5, 9, 12, 17, 35, 70, 105, 210 oder 420µm. Mit diesen Kupferdicken ist keine direkte physikalische Eigenschaft verknüpft.

08.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Welche Prepregvariante vorliegt, ist üblicherweise durch einen Namenszusatz erkennbar. Die Kennung „SR“ steht für „Standard resin“, „MR“ für „Medium resin“ und „HR“ für „High resin“.

Herstellerabhängig und inklusive aller Fertigungstoleranzen kann somit die Dicke eines Prepregs mit einem 1000er-Glasgewebe schwanken zwischen 56µm (= SR-Variante, untere Toleranz) und 84µm (= HR-Variante, obere Toleranz).

Hinweis (Prepreg)

Nicht alle Basismaterialhersteller weltweit benutzen die Bezeichnungen SR, MR und HR. Einige Basismaterialhersteller haben von einem Prepregtyp nicht nur drei sondern 4 oder 5 oder noch mehr Varianten.

Laminat

Als alternative Bezeichnungen für Laminat sind auch die Begriffe „Kern“ (= Core) oder „kupferkassiertes Material“ (= Copper Clad Laminate) üblich.

Für die Fertigung eines Basismateriallaminates werden in der Laminatpresse des Herstellers ein oder mehrere Prepregs zusammengeführt und außen zusätzlich auf einer oder auf beiden Seiten mit einer Kupferfolie belegt.

Diesen Materialstapel verpresst der Basismaterialhersteller zu einem Laminat (...früher auch als „Tafel“ oder „Tafelware“ bezeichnet).

Die Enddicke des fertigen Laminates ergibt sich aus der Kombination der eingesetzten Prepregs und Kupferfolien. Umgangssprachlich sind „Dünnlaminat“ (= thin laminates) mit Dicken zwischen zirkulär 0,05mm und 0,86mm, und „Dicklaminat“ (= rigid laminates) mit Dicken zwischen zirkulär 0,90mm und 3,2mm verfügbar.

Das vollständige Materialgefüge abzüglich der Kupferfolien wird als „Dielektrikum“ bezeichnet.

Sollen Multilayer hergestellt werden, dann werden die Kerne mit originären Prepregs zu einem Verbund verklebt.

Kupferfolie

Die Dicke der Kupferfolien beträgt üblicherweise 5, 9, 12, 17, 35, 70, 105, 210 oder 420µm. Mit diesen Kupferdicken ist keine direkte physikalische Eigenschaft verknüpft.

08.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Die Bezeichnungen kommen historisch bedingt aus dem anglo-amerikanischen Sprachraum und sind lediglich ein Vielfaches oder ein Teiler von 1 Unze (= 35µm) Kupfer.

Die Seite der Kupferfolie, die auf das Dielektrikum geklebt wird, ist oxidativ aufgeraut, um die Haftung zwischen Kupferfolie und Dielektrikum zu erhöhen.

FR4

„FR“ steht für „Flame retardant“ und weist auf die flammhemmende Eigenschaft des Materials hin. Die „4“ steht für einen bestimmten FR-Typus. Es gibt auch die Typen „FR2“ und „FR3“, die für einfachere Baugruppen eingesetzt werden und „FR5“ mit einer höheren Temperaturbelastbarkeit als „FR4“ (... die heute aber auch von Hoch-Tg-FR4 erreicht wird).

Die absehbare Zukunft gehört sicherlich dem FR4 und seinen Derivaten. Das Material ist stabil, die Isolation ist zuverlässig, das dielektrische Verhalten ist brauchbar, die Kosten sind akzeptabel, die Verarbeitung ist etabliert und die Temperaturbeständigkeit ist tolerabel.

Die FR4-Derivate (... vermutlich um die 220 Varianten) werden im Wesentlichen durch eine Modifikation der Epoxidharzmatrix erzeugt. Mit der Umstellung auf bieffreie Elektronik (= RoHS I, RoHS II) ist es üblich geworden, einen Teil des Harzvolumens der FR4-Basismaterialien gegen mineralische Füllstoffe auszutauschen.

Die temperaturbedingt verstärkte Z-Achsen-Ausdehnung (= Kenngröße CTE(z)) der Leiterplatte wird dadurch vermindert.

Der Standard für den Kennwert „Tg“ von FR4 liegt bei 135°C, höhere Tg-Werte sind 150°C oder 175°C, je nach Materialhersteller.

In Folge der höheren Temperaturbelastbarkeit reduziert sich dadurch die Wahrscheinlichkeit, daß die Leiterplatte während der Baugruppenproduktion Schaden nimmt.

Man spricht dann von „FR4 mit einem höheren Tg-Wert“, von „gefüllten Materialien“ oder auch von „Hoch-Tg-Material“.

Begriff (RoHS)

„Restriction of hazardous substances“ = Einschränkung der Verwendung gefährlicher Stoffe (... in elektronischen Baugruppen).

Tg-Wert für FR4

Der „Tg-Wert“ ist eine (... von mehreren) Kenngrößen, mit der die technisch-physikalische Qualität eines FR4-Basismaterials beschrieben wird. Bei Temperaturbelastungen oberhalb des Tg-Wertes wird das Epoxidharzgefüge weich und elastisch. Die Z-Achsen-Ausdehnung des FR4-Materials nimmt erheblich zu. Fehlerereignisse sind dann Risse der kontaktierten Vias und/oder Abrisse der innenliegenden Leiterbahnen von den Vialöhfen.

08.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

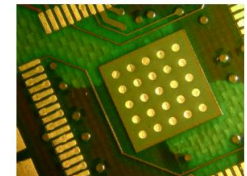
Mit einer Aufheizrate von 10°C/min wird eine Probe des Basismaterials erwärmt. Dabei wird der Gewichtsverlust gemessen, der sich durch Ausgasung und die Umwandlung thermisch instabiler Harzkomponenten in gasförmige Verbindungen ergibt.

Begriff (Td : decomposition temperature)

Der „Td-Wert“ beschreibt die Temperatur, bei der 5% Gewichtsverlust detektiert wurde. Der Wert wird in °C (= Grad Celsius) angegeben.

Delamination

Eine hohe und über längere Zeit einwirkende Temperaturbelastung führt auf Leiterplatten (... und das gilt insbesondere für Multilayer) zu einer Beschädigung des Materialverbundes. Dabei können sich die einzelnen Materialschichten (...Prepregs, Laminat, Kupferfolie) partiell von einander ablösen (= delaminieren).



Delaminationen auf einem Multilayer

T260 und T288

Die T260- und T288-Werte geben einen Hinweis auf die Delaminationswahrscheinlichkeit eines Basismaterials an. Geeignete Materialproben werden schrittweise mit 10°C/20°C/min bis zur Haltezeittemperatur 260°C/288°C erwärmt. Anschließend wird die Zeit bis zum Auftreten von Delaminationen gemessen.

Begriff (Td : time to delamination)

Die T260- und T288-Werte beschreiben die Zeit bis zur Delamination ab Erreichen der Haltezeittemperatur. Der Wert wird in Minuten angegeben.

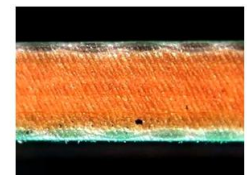
CEM1 und CEM3

CEM steht für „Composite Electronic Material“. Der Begriff soll verdeutlichen, daß es sich um ein Mischmaterial für elektronische Baugruppen handelt.

CEM1 hat einen Kern aus Zellulosepapier, der mit Epoxidharz getränkt ist.

CEM2 ist im Kern aus nicht gewobenen Glasfasern (= Glas-Wirraser) aufgebaut und ist mit Epoxidharz imprägniert.

CEM1 und CEM3 sind im Prinzip Hybride mit einem Preßverbundmaterial im Kern und jeweils einer einzigen FR4-Glasgewebelage zur Außenseite hin. Das Material ist ein- oder doppelseitig mit einer Kupferfolie laminiert. Die Materialien sind mechanisch gut verarbeitbar (= bohren, stanzen, fräsen) und haben akzeptable technische Qualitäten. Das Material ist nicht multilayerfähig.



CEM1 Verbundmaterial mit 2 x je 1 äußeren FR4-Lage

Leiterplattentechnologie : Dokumente des AK Design

Bohrungen : AspectRatio

Die galvanische Kontaktierbarkeit eines Vias ist für die Auswahl des minimalen Viadurchmessers bedeutsam.

AspectRatio für Bohrungen

Elementare Vorgaben für eine zuverlässige Hülsenmetallisierung

Leiterplatten müssen kontaktiert werden, wenn die elektrischen Signale über mehrere Lagen geführt werden sollen.

Nach dem Bohren/Lasern der Löcher durchlaufen die Leiterplattenzuschneite in einem Galvanoautomaten mehrere galvanische Bäder. Auf die Vorreinigung der Löcher folgt das Aktivieren der zu diesem Zeitpunkt noch nicht leitenden Lochwände/Lochhöhlen. Dabei wird durch eine chemische Abscheidung von Kohlen oder Palladium oder Kupfer ein Strom leitende Oberfläche mit einer geringen Dicke von 2-3µm erzeugt.

Der endgültige Aufbau des deutlich dickeren Hülsenkupfers findet in einem galvanischen Bad statt, das Kupferionen in wässriger Lösung zur Verfügung stellt. Die Kupferionen werden von ermüdeten Kupferanoden gelieferte, die in das Bad eingetaucht werden.

Der Leiterplattenzuschneit wirkt als Kathode. Durch Anlegen eines elektrischen Feldes kommt es zur Elektrolyse. Die Kupferionen werden motiviert, sich auf der gesamten freiliegenden Oberfläche des Leiterplattenzuschneites abzulagern.

Durchflutung der Hülse

Topologisch gesehen ist die Innenwand einer Bohrung (= die Bohrhülse) Teil der Oberfläche. Damit die Hülsewand mit Kupfer beschichtet wird, muss die Bohrung in den einzelnen galvanischen Bädern mit den reaktiven Flüssigkeiten durchflutet werden.

Wird Flüssigkeit in eine Bohrung eingebracht, dann kommt es zu Wechselwirkungen zwischen den Molekülen der Flüssigkeit und der Hülsewand.

Durch Adhäsion (= Haftkraft, Haftung) wird die Flüssigkeit an der Wand festgehalten.

Zusätzlich halten die Moleküle untereinander zusammen, mit dem Bestreben, eine geschlossene Oberfläche auszubilden (= Oberflächenspannung). Diese Effekte wirken einer beliebigen Durchflutung entgegen.

Für eine Leiterplatte/Baugruppe kann eine unzureichende Durchflutung katastrophale Folgen haben. Ist die Durchflutung der Bohrung unregelmäßig, dann wird auch das Kupfer an der Hülsewand unregelmäßig abgeschieden.

Im Ergebnis ist die Hülsewand zu dünn oder fehlt in Teilbereichen ganz.

12.06.2017 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Designregeln für die Geometrie einer Bohrung

Mit der Konstruktion des CAD-Layouts muss vorausschauend bereits die spätere zuverlässige Produktion der Leiterplatte/Baugruppe beachtet werden. Das erfordert, daß der Leiterplattenhersteller sein Aspect Ratio für Bohrungen mitteilt.

Das Aspect Ratio ist üblicherweise an die Kontaktierungsstrategie (= Blind Via, Buried Via, Durchkontaktierung) gebunden, an die Fertigungstechnik (= bohren, lasern) und gegebenenfalls auch an die Leiterplattenklasse (= Flex, Starr, Starrflexibel) und die Qualität des Basismaterials.

Ein typischer Wert für Durchkontaktierungen und Buried Vias ist 1:8. Ein typischer Wert für Blind Vias ist 1:1.

Die galvanotechnische Kontaktierbarkeit von Blind Vias im Vergleich zu Durchgangsbohrungen/Durchkontaktierungen ist immer deutlich unterschiedlich. Durchgangsbohrungen werden in der Galvanik von dem chemischen Reagenzien durchflutet während bei Blind Vias die Reagenzien von einer Seite eingebracht und von dieser Seite aus auch wieder entfernt werden müssen.

Das Aspect Ratio für Bohrungen ist zudem von der technischen Leistungsfähigkeit der Galvanoanlage des Leiterplattenherstellers abhängig und/oder dem eingesetzten technischen Kontaktierungsverfahren.

Die Werte für das Aspect Ratio können folglich von Hersteller zu Hersteller abweichen. Für die Konstruktion des CAD-Layouts müssen daher die Werte der Leiterplattenhersteller zu Grunde gelegt werden, die später mit der Produktion der Leiterplatten beauftragt werden.

Allgemein gilt, daß ein Leiterplattenhersteller mit einem kleineren Wert für das Aspect Ratio, zum Beispiel 1:8, problemlos Leiterplatten fertigen kann, die für ein größeres Aspect Ratio, zum Beispiel 1:7, ausgelegt sind. Die Umkehrung dagegen gilt keinesfalls.

Definition (Aspect Ratio für Bohrungen)

Die sichere Kontaktierbarkeit einer Bohrung ist genau dann gegeben, wenn die Länge der zu kontaktierenden Bohrung ein bestimmtes Vielfaches des Bohrdurchmessers nicht überschreitet. Es gilt:

$$(GL1) \quad \text{AspectRatio} = \frac{\text{Bohrwerkzeugdurchmesser}}{\text{Kontaktierbare Bohrtiefe}}$$

12.06.2017 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Hinweis : Aus didaktischen Gründen ist "Aspect Ratio" in den Formeln "AspectRatio" geschrieben.

Damit beschreibt das Aspect Ratio für Bohrungen also das **mathematische Verhältnis** zwischen dem minimalen Lochdurchmesser und der galvanisch maximal zu kontaktierbaren Hülsenlänge.

Als Nebeneffekt ergibt sich die Erkenntnis, daß der Enddurchmesser eines Vias wohl anscheinend immer dem vom CAD-System vorgegebenen Tool-Durchmesser (= tool diameter) entsprechen soll.

Da die Formel eine direkte Abhängigkeit des Aspect Ratios von der "Kontaktierbaren Bohrtiefe" aufzeigt, folgt, daß es für nichtkontaktierte Bohrungen eine Bedingung für ein Aspect Ratio nicht geben kann.

Das Aspect Ratio als allgemeine mathematische Formulierung

Ein Aspect Ratio beschreibt stets ein "Verhältnis" oder auch eine "Relation" zwischen üblicherweise zwei Größen.

Wird die Relation mit "c" bezeichnet und werden die beiden Größen mit "a" und "b" benannt, dann ergibt sich die allgemeine mathematische Formulierung :

$$c = a : b \quad \text{oder} \quad c = \frac{a}{b}$$

Nach den algebraischen Regeln läßt sich diese Gleichung umformen in:

$$a = b \cdot c \quad \text{und} \quad b = \frac{a}{c}$$

Faktisch ist eine Relation als Bruch darstellbar. Die Interpretation der allgemeinen Gleichung $c = a : b$ erlaubt einige Schlußfolgerungen :

Wenn "c" den Charakter eines konstanten Wertes haben soll, dann muss "b" größer werden, wenn "a" größer wird. Andererseits muss "b" kleiner werden, wenn "a" kleiner wird. Die Beziehung zwischen "a" und "b" ist linear. Verdoppelt sich "a", dann verdoppelt sich auch "b".

12.06.2017 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Außerdem gilt : wenn "a" sich verändert, "b" sich aber nicht verändern kann oder darf, dann muss sich "c" verändern, damit die Gleichung ihre Gültigkeit behält. Gleiches gilt, wenn "b" sich verändert, "a" sich aber nicht verändern kann oder darf.

Das Aspect Ratio in der Praxis

Mit der Übertragung dieser theoretischen Betrachtungen auf das Aspect Ratio für Bohrungen werden Durchmesser und kontaktierbare Hülsenlängen berechenbar.

In der Galvanik wird die Durchflutung der Bohrung erschwert, wenn der Lochdurchmesser kleiner wird. Deshalb beschreibt das Aspect Ratio immer eine **Mindestbedingung**. Es wird der **minimale Lochdurchmesser** festgelegt, bei dem eine zuverlässige Kontaktierung noch gewährleistet ist.

Weil minimale Lochdurchmesser betrachtet werden führt das Aspect Ratio zu Regeln, die vornehmlich für die Geometrie von Vias zum Einsatz kommen werden.

Die Abscheidung von Kupfer an der Hülsewand einer Bohrung/eines Laservias ist nur **einer** von mehreren Fertigungsschritten, die durchgeführt werden müssen, damit Metall an der Hülsewand abgeschieden wird.

Die Durchströmung einer Bohrung/eines Loches ist beispielsweise auch für die HAL-Beschichtung erforderlich oder für die chemische Vergoldung über einer vorher aufgetragenen Nickelschicht.

Für die Prozessierung der Endoberfläche müßte somit jeweils ein eigenes Aspect Ratio parametrisiert werden.

Wir erhalten deshalb eine allgemeingültige Formel, wenn wir in Gleichung (GL1) den Begriff "Bohrwerkzeugdurchmesser" gegen "Lochdurchmesser_(min)" ersetzen :

$$(GL2) \quad \text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(min)}}{\text{Kontaktierbare Bohrtiefe}}$$

Diese Gleichung läßt sich nach den algebraischen Regeln umformen in :

$$(GL3) \quad \text{Kontaktierbare Bohrtiefe} = \frac{\text{Lochdurchmesser}_{(min)}}{\text{AspectRatio}}$$

$$(GL4) \quad \text{Lochdurchmesser}_{(min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrtiefe}$$

Sind zwei Parameter bekannt, dann ist der dritte Parameter berechenbar und es ist möglich, die Aufgaben zu lösen, die mit dem Aspect Ratio für Bohrungen verknüpft sind.

Also lassen sich die technischen Vorgaben aus der Leiterplattenproduktion als verbindliche Regel für den Teil der geometrischen Konstruktion von CAD-Layouts formulieren, der sich mit Viageometrien beschäftigt.

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Durchmesser des Bohrwerkzeugs.

12.06.2017 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Leiterplattentechnologie : Dokumente des AK Design

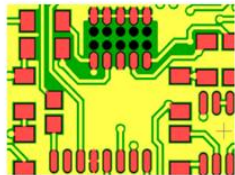
Drucke und Lacke

Drucke und Lacke schützen die Leiterplattenoberfläche und sichern den zuverlässigen Betrieb der Baugruppe.

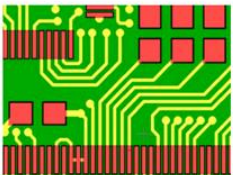
Designregeln für den Lötstopdruck

Regel (Einheitliche Freistellung)
Die Freistellung für *alle* Lötflächen soll umlaufend einheitlich 50µm betragen. Ausgenommen sind Paßmarken und Aufnahmepositionen für Bestückungsnutzen.

Regel (Lacksteg)
Zwischen benachbarten Lötflächen soll immer ein Lacksteg sein. Die minimale Stegbreite soll 100µm nicht unterschreiten.




Umlaufende einheitliche Freistellung der SMD-Pads



Lacksteg zwischen den SMD-Lötflächen

Regel (Steckerleiste)
PC-Steckerleisten müssen *immer* vollständig von Lötstoplack freigehalten sein.


Hinweis (Steckerleiste)
Durch die Freihaltung der Steckerleiste von Lötstoplack wird Abrieb beim Stecken auf das Motherboard vermieden.



Lackfreie PC-Steckerleiste

Regel (Randabstand)
Metallische Leiterbildstrukturen sollen von der Leiterplattenkontur einen Mindestabstand von 500µm haben und mit Lötstoplack bedeckt sein.

Hinweis (Randabstand)
Das gilt insbesondere für Kupferflächen. Der Abstand verhindert beim Wellenlöten die Aufnahme von Lot aus der Lotwelle.



Von der Kontur zurückgesetzte Metallfläche

30.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

können (...und sollten) aufgedruckt werden. Hilfreich sind zudem Hinweise auf mögliche Sperrflächen. Der Bestückungsdruck soll in der Datenbank des CAD-Systems so angelegt sein, daß Polaritäten auch nach der Bestückung der Leiterplatte nicht abgedeckt werden und auch später noch lesbar sind.

Editieren des Bestückungsdruckes
Bevor die Arbeit an einem CAD-Layout abgeschlossen wird, müssen Position und Lesbarkeit von Texten und Bauteilnamen im Bestückungsdruck überprüft und gegebenenfalls editiert werden.
Bei dichtbestückten SMD-Layouts reicht der zur Verfügung stehende Platz auf der Leiterplatte oft für eine Kennzeichnung aller Bauteile nicht mehr aus. Die Namen und die Markierungen für den Platzbedarf insbesondere zweipoliger Bauteile müssen dann weggelassen werden.
Am CAD-System muß dann zusätzlich ein Bestückungsplan erstellt werden, dem die Position, die Lageorientierung und die Bezeichnung aller Bauteile entnommen werden kann.



Bestückungsdruck auf einer bestückten Leiterplatte

Designregeln für den Bestückungsdruck

Regel (Datensatz)
Der Datensatz für den Bestückungsdruck enthält nur die Bauteilsymbole und Texte, die tatsächlich auf die Leiterplatte aufgedruckt sein sollen. Textgröße und Linienbreite des Bestückungsdruckes müssen für Menschen lesbar sein.

Regel (Linienbreite)
Der Bestückungsdruck muß zweifelsfrei lesbar sein können.
Die Linienbreite soll 200µm nicht überschreiten.

Empfehlung:
Eine Linienbreite von 150µm.

Regel (Textgröße)
Die Textgröße soll 1.14mm (~ 45mil) nicht unterschreiten.
Empfehlung:
Eine Textgröße von 1.39mm (~55mil).



Sicht auf den Bestückungsdruck während der Erstellung des CAD-Layouts und auf der Leiterplatte

12.04.2017 Arnold Wiemers, ILFA / LeiterplattenAkademie

ZVEI:
Die Elektroindustrie

Abziehlack
Auf einer Leiterplatte können definierte Bereiche mit Abziehlack vor der Aufnahme von Lot aus der Lotwelle geschützt werden.

Substrat und Aufbringung auf die Leiterplatte
Abziehlack ist ein thermisch härtender 1-Komponenten-Lack, der im Siebdruckverfahren aufgebracht wird.
Der Lack ist dickflüssig und wird mit einem Sieb mit großen Maschenöffnungen gedruckt. Die darstellbaren Strukturen sind deshalb recht grob.

Aufgabe des Abziehlacks
Der Abziehlack soll metallisierte Bohrungen und freiliegende metallische Flächen abdecken, die beim Wellenlöten nicht mit Lot verfüllt oder benetzt werden dürfen. Diese Anforderung tritt bei Baugruppen auf, die doppelseitig mit THT-Bauteilen bestückt werden sollen und/oder, die metallisierte Befestigungsbohrungen/-schlitze enthalten.
Nach dem ersten Wellenlötlgang würden diese offenen Bohrungen/Schlitze der noch unbestückten Bauteile Lot aufnehmen.
Das Bestücken dieser Bauteile für den zweiten Lötvorgang wäre dann nicht mehr möglich.
Der Abziehlack kann nach dem ersten Wellenlöten händisch wieder abgezogen werden.
Bei mehr als einem Lötvorgang wird der Lack jedoch durch das Ausgasen der Weichmacher verspröden und dadurch an Elastizität verlieren.



Abziehlack auf Flächen und Bohrungen

Konstruktion am CAD-System
Die Konstruktion des Abziehlacks erfolgt am CAD-System praktisch immer von Hand. Auf einem freien Layer des CAD-Systems werden die Bereiche gezeichnet, die später auf der Leiterplatte mit Abziehlack überdeckt werden sollen.
Zur besseren Orientierung sollten während der Arbeit am CAD-System insbesondere Befestigungspositionen oder Flächenbereiche (... z.B. Goldstecker) am CAD-Bildschirm immer im Hintergrund mit angezeigt werden.
Der Druck von Abziehlack sollte nur für eine Seite der Baugruppe vorgesehen werden.
Jede übliche Leiterplattenoberfläche kann mit Abziehlack bedruckt werden, wenn die zu bedruckende Fläche mechanisch stabil genug ist.



Geometrien am CAD-System für den Abziehlack

09.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

ZVEI:
Die Elektroindustrie

Viadruck
Mit dem Viadruk (~ Viafüller) werden Vias/offene Bohrungen auf einer Leiterplatte verschlossen.

Substrat und Aufbringung auf die Leiterplatte
Vias können mit einem 1- oder 2-Komponentenlack im Siebdruckverfahren verschlossen werden. Die Lacke können fotochemisch und UV-härtend prozessiert werden.

Anforderungen an den Viadruk
Der Viadruk kann auf einer Leiterplatte mehrere Aufgaben übernehmen. Weil die offenen Bohrungen der Vias durch den Viadruk mit einem Füllsubstrat verschlossen werden, können die (... späteren) Baugruppen für den InCircuitTest mit Vakuum adaptiert werden.
Die hohe Bestückungsdichte moderner SMD-Baugruppen führt unweigerlich zu stark eingeschränkten Freiräumen bei der Entflechtung des Layouts am CAD-System. Oft werden dann die Vias für die Verdrahtung der Signale zwischen den elektronischen Komponenten so dicht an die Lötflächen herangeführt, daß zwischen Via und Lötfläche kein Lötstoplacksteg mehr vorhanden ist.
Das unweigerliche Abfließen von Lotpaste in eine offene Bohrhülse kann dann zu einer deutlichen Vorschädigung der betroffenen Lötstelle führen, weil sich das Lotvolumen direkt am Pin des Bauteils reduziert.
Ein Füllen der Vias schließt dieses Risiko aus. Der Viadruk verhindert das Eindringen flüssiger und/oder kristalliner Rückstände während der Leiterplatten- und Baugruppenproduktion. Mit Blick auf den langfristigen Einsatz einer Baugruppe wird auch die Aufnahme von Kondensat vermieden.
Ein doppelseitiger Viadruk ist nicht empfehlenswert, weil es beim Druck auf der Rückseite der Leiterplatte zu Luft einschließen in den Viahülsen kommen kann. Der hermsische Eintrag beim Löten der Baugruppe kann einen Gasdruck erzeugen, der zu einer lokalen Schädigung (= Hülsenriß) der Hülse führt.
Der einseitige Viadruk soll die Hülsen von Via-Bohrungen bis zu mindestens 75% verschließen.
Ist dies für die langfristig zuverlässige Funktion einer Baugruppe nicht ausreichend, dann kann an Stelle des Viadrucks nur eine andere Technologie ausgeführt werden, zum Beispiel das Pluggen von Vias mit Epoxyharz oder Silberleitpaste.



Viadruk in den Kontaktierungen einer Leiterplatte

09.03.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Leiterplattentechnologie : Dokumente des AK Design

Multilayerdokumentation

Die Dokumentation eines Multilayers präzisiert die Leistungsbeschreibung und Reproduzierbarkeit.

Multilayer Dokumentation

Die Notwendigkeit für die Spezifikation von Lagenaufbauten wird bei Weitem noch nicht voll erkannt. Lagenaufbauten müssen bereits vorliegen, lange bevor die CAD-Arbeit beginnt. Eine aussagefähige Analyse der Schaltfunktion in der Phase der Schaltplanerstellung ist sonst nicht möglich.

Elementare Abschnitte der Dokumentation

Sobald das Konzept für die Konstruktion einer Baugruppe vorliegt, gibt es für den weiteren Ablauf fünf elementare Abschnitte:

- 1 Erstellen des **Konzeptes** für die Konstruktion eines Gerätes
- 2 Erstellen des **Schaltplanes** und der weiteren Vorlagen für CAD
- 3 Erstellen des **CAD-Layouts** und Weitergabe der Daten an CAM
- 4 Produktion der **Leiterplatten**, Anlieferung an den Baugruppenfertiger
- 5 Fertigung der **Baugruppen**, Funktionstest, Lieferung an den Kunden

Heute muß zum Zeitpunkt der Schaltplanerstellung bereits der verbindliche Multilayerbauplan vorliegen. Wesentliche Eigenschaften der späteren Baugruppe (Schaltungssimulation, Funktion, Prozessierbarkeit) sind sonst nicht rechtzeitig zuverlässig berechenbar und planbar.

Wann liegt der Bauplan vor ?

Mit den Jahren hat sich die Verschiebung der Erstellung des Multilayerbauplans vor die Produktion der Baugruppe verschoben.

Multilayerdokumentation

Die Produktion von hochwertigen Multilayers, insbesondere bei Anwendungen im Highspeed-Bereich, darf nicht der Willkür überlassen werden. Die Materialauswahl, der Lagenaufbau, die Kontaktierungsstrategie, die Impedanzklassen, die Impedanztypen, die Impedanztoleranzen und sonstige physikalische Anforderungen an die Leiterplatte müssen reproduzierbar dokumentiert sein.

Regel (Multilayerdokumentation)

Die Multilayerdokumentation muß ein verbindlicher technischer und juristischer Bestandteil der Bestellung von Leiterplatten (... und Baugruppen) sein.

27.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Regel (inhalt einer Multilayerdokumentation)

Die Dokumentation eines Multilayers sollte maßstabsgerecht sein. Empfohlen ist 1:100. Der Multilayerbauplan muß Auskunft geben über die eingesetzten Materialien, über die Materialauswahl, über physikalische Anforderungen und über die Zuordnung der Files zu den diskreten Lagen.

Regel (Multilayerbeziehung)

Multilayer müssen eine eindeutige Artikelbezeichnung haben, die eine Verwechslung in der Logistik der Dokumentation eines Baugruppenprojektes ausschließt.

Beispiel

Dokumentation eines Multilayerlagenaufbaus.

Beispiel für die Dokumentation eines 6-Lagen-Multilayers

Zur **Minstdokumentation** einer Leiterplatte gehört die Auskunft über:

- 1) Die **Qualität** und die **Quantität** des eingesetzten Materials
- 2) Die **technischen Parameter** des eingesetzten Basismaterials
- 3) Die **Leiterplattenspezifikation** inklusive der Subqualitäten
- 4) Die **CAD-Constraints** mit den Extremwerten für das Routing
- 5) Die **elektrophysikalischen Eigenschaften** der Leiterplatte
- 6) Die **wichtigsten Volumenparameter** für die Baugruppenproduktion

27.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Materialspezifikation

Die Materialeigenschaften müssen im Detail zuverlässig belegt sein. Die präzise Nomenklatur der Materialien ist unverzichtbar. Die technischen Eigenschaften der Basismaterialien müssen zweifelsfrei in der zugehörigen Dokumentation aufgelistet sein.

Referenzen zu Standard-Richtlinien sind notwendig (z.B. DIN EN, IPC). Die Angabe elementarer physikalischer Eigenschaften ist notwendig.

Material per PCB	#	Glass	Resin	Pressed Thickness	Company
Prepreg	NP-155fb	4	106 SR-70%	48µm +/- 8µm	NanYa
Prepreg	NP-155fb	4	1060 MR-67%	71µm +/- 8µm	NanYa
Core	NP-155B	2	n.a.	n.a.	NanYa
Core	NP-155E	1	n.a.	710µm	NanYa

Main Material Properties

IPC-Specification sheet: IPC-4101C / 124
Epoxy-System: FR4
Curing agent: phenolic
Flame retardant mech: RoHS compliant Bromine
UL-zertifizierte: UL94 V-0
Dielectric value: 4.1@1GHz
Loss tangent: 0.014@1GHz
Tg: 155° by DSC / TMA
after Tg: 181B/300
Electrical strength: 40 kv/mm minimum
Adhesive strength: 0.78 n/mm minimum for copper foils >17µm

Technolam Data sheet NanYa, May 2010

Beispiel UL

Wenn „UL“ eine Qualität der Leiterplatte sein soll, dann muß die Zertifizierbarkeit bekannt sein.

Beispiel Loss Tangent und Dielectric Value

Wenn die Signalfrequenzen und die Übertragungsqualität vorab simuliert werden sollen, dann müssen diese Parameter vor Beginn der Layoutarbeit bereits bekannt und fixiert sein.

Beispiel Tg, Td und CTE(z)

Wenn das Retrowprofil gezielt definiert werden soll, dann müssen die thermische Belastbarkeit und die Z-Achsen-Ausdehnung der Leiterplatten zuverlässig eingeschätzt werden können. Es sind Leitwerte notwendig.

27.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

PCB und CAD-Spezifikation

Jeder Multilayer ist heute praktisch mit einer verbindlichen Anwendung verknüpft. Die technischen Eigenschaften eines individuellen Aufbaus müssen durch die Dokumentation der Anforderungen an die Qualität der Leiterplatte nicht nur beschrieben, sondern auch jederzeit zuverlässig nachvollziehbar offengelegt werden.

Nur mit einer aussagefähigen Dokumentation wird im Fall einer Layout-Revision die Wiederholbarkeit der Produktion einer Leiterplatte (... + Baugruppe) zuverlässig sichergestellt.

PCB & CAD-Layout Specification

PCB Class	Rigid
Cores mounted	Inside
Copper Thickness	25µm for throughhole barrels
Throughhole Vias	CAD : 100µm diameter + 400µm pad minimum Tool : 200µm diameter minimum
Aspect-Ratio	1:8 or better is necessary
BuriedVias	no
BlindVias	no
Track width	100µm minimum on all signal layers
Track distance	90µm minimum on all signal layers
Solder Mask	double sided, fotolithographic, thickness 20µm
Plugging	no
Edge Metallisation	no

Dokumentation der PCB- und CAD-Layout-Spezifikation

Beispiel Viadurchmesser und Aspect-Ratio

Das „Aspect-Ratio“ bestimmt den minimalen Viadurchmesser, der seinerseits die geometrischen Freiheitsgrade für das CAD-Layout fixiert. Weil per Definition eine Verknüpfung zwischen der kontaktierbaren Hülsenlänge und dem Bohrwerkzeuggdurchmesser besteht, ist durch die Dicke der Leiterplatte der kleinstmögliche Viadurchmesser vorgegeben. Das „Aspect-Ratio“ ist individuell abhängig von der Anlagentechnologie des Leiterplattenherstellers.

Beispiel Leiterbahnbreite und Leiterbahnabstand

Die minimal prozessierbare Leiterbildgeometrie gibt ebenfalls die zuverlässig nutzbaren Freiheitsgrade für das CAD-Layout vor und ist ebenfalls abhängig von der Anlagentechnologie des Leiterplattenherstellers.

27.04.2018 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

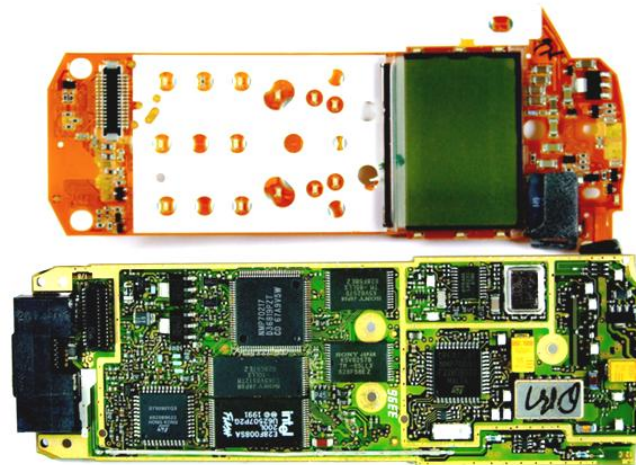
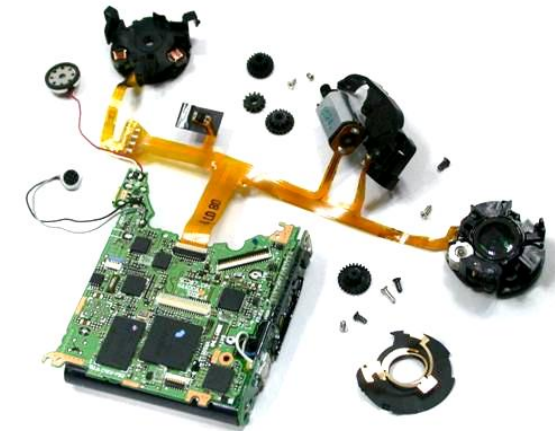
Arnold Wiemers

Gruppe 8 Produktbeispiele für konkrete Aufgaben

Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Die elementaren Designregeln für die Konstruktion und Fertigung von Leiterplatten sind variantenreich und zunehmend von Nebenbedingungen geprägt.

Die interdisziplinäre Beschreibung von detaillierten Produktbeispielen löst diese Komplikation.



Bildquelle Arnold Wiemers

Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Leiterplattendokumentation / einseitig

Baugruppen auf der Basis einseitiger Leiterplatten gelten als einfach. Ein Konzept ist jedoch unerlässlich.

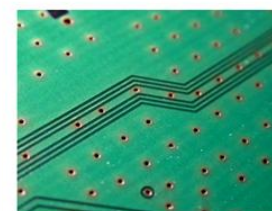


Bild 8 Coplanare differentielle Impedanz (...hier auf einer ds-Leiterplatte)

Die dielektrische Umgebung einer Leiterbahn legt die Übertragungsgeschwindigkeit eines Signals fest. Leiterbahnen auf einer einseitigen Leiterplatte aus FR4-Material sehen an ihrer Basis das Dielektrikum des Materials mit einem Epsilon-R von 3.5 bis 4.5. Über der Leiterbahn ist Luft mit einem Epsilon-R von 1.0 per Definition. Die Übertragungsgeschwindigkeit nimmt zu, wenn der Wert für das Dielektrikum abnimmt. Weil eine außenliegende Leiterbahn zwischen Basismaterial und Luft eingebettet ist, reduziert sich das effektive Epsilon-R und in Folge nimmt die Übertragungsgeschwindigkeit zu.

In der Praxis ist dadurch ein Signal auf einer einseitigen Leiterplatte aus FR4 schneller, als auf der Innenlage eines FR4-Multilayers.

Geometrien für Pads und Tracks

Das Routing einseitiger Leiterplatten muß die Technologien für die Produktion von Leiterplatten- und Baugruppen beachten. Für die Fertigung der Leiterplatten sind der Bohrerwerkzeugdurchmesser, der Restring der THDs und der Vias, die Leiterbahnbreite und die elektrischen Sicherheitsabstände wichtig.

Für die Fertigung der Baugruppe sind der Restring, der Durchmesser der THD-Pads und die mechanischen Abstände zwischen den Bildstrukturen ausschlaggebend. Mit der Berechnung der Geometrien werden die Werte für die Anlage der THDs in der CAD-Bibliothek festgelegt sowie die Constraints für das Routing am CAD-System. Die in der Tabelle ausgewiesenen Werte sind als minimaler Standard zu verstehen.

Wert	Parameter	Verwendung
600µm	Viabohrung, Bohrerwerkzeug	CAD-Layout / LP-Fertigung
1200µm	Viapad	CAD-Bibliothek / Routing / LP-Fertigung
300µm	Restring	CAD-Layout / LP-Fertigung
800µm	THD-Bohrung, Bohrerwerkzeug	CAD-Layout / LP-Fertigung
1800µm	THD-Pad (Bohrung+1000µm)	CAD-Bibliothek / Routing / LP-Fertigung
500µm	THD-Restring	CAD-Layout / LP-Fertigung
150µm	Leiterbahnbreite	CAD-Layout / LP-Fertigung
150µm	Sicherheitsabstand (drc)	CAD-Layout / LP-Fertigung / Bestückung

8.4 Konstruktion starrer einseitiger Leiterplatten

Die Anforderungen an Alltagslösungen sind üblicherweise durch den direkten Nutzen einer elektronischen Baugruppe geprägt. Viele Aufgabenstellungen können mit einseitigen Leiterplatten gelöst werden. Einseitige Leiterplatten sind in der Herstellung unkompliziert, preiswert, weltweit verfügbar und von beachtlichem Leistungsspektrum.

Anwendungen für einseitige elektronische Baugruppen

Fernbedienug
Elektronische Geräte können oft mit einer Fernbedienug gesteuert werden. Bild 1 zeigt eine Fernbedienug für einen Fernseher auf der Basis einer einseitigen Leiterplatte. Durch den Aufdruck von Carbon wird die Funktion einer einfachen doppelseitigen Leiterplatte erreicht, auf der eine Schaltmatrix untergebracht ist. Die Betätigung einer Taste wird von einem Chip ausgewertet und als Handlungsanforderung an den Fernseher gesendet.

DVBT-Antenne
Damit Fernsehbilder empfangen werden können, müssen Antennen eingesetzt werden. Bei der in Bild 2 gezeigten stationären DVBT-Tischantenne wird die Signalaufbereitung auf einer einseitigen Leiterplatte durchgeführt.

Fahrradbeleuchtung
Die Fahrradbeleuchtung in Bild 3 besitzt einen Blinkmodus, der für die Aufmerksamkeit der anderen Verkehrsteilnehmer sorgt und damit zur Sicherheit im Straßenverkehr beiträgt.

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Die Oberfläche soll ein guter elektrischer Leiter sein, darf aber andererseits nicht korrodieren. Das Material muß lötlbar sein und dabei Temperaturen von bis zu 300° aushalten ohne dabei Schaden zu nehmen. Es soll durch entstehende Wärme während des Baugruppenbetriebs nicht zur Selbstentzündung kommen. Bei Dauerbetriebstemperaturen von 90° sollen aber auch langfristig keine Materialausfälle auftreten. Bei einer Bestückung mit SMD-Bauteilen (i.e. Surface Mounted Devices = oberflächenmontierte Bauteile) soll die Klebkraft / Haftkraft zwischen Kupferfolie und Basismaterial ausreichen, um Stöße und Vibrationen schadfrei zu überstehen.

Die dielektrischen Eigenschaften des Basismaterials sollen eine zuverlässige Isolation gegen Kurzschlüsse und ungewollten Stromfluß bieten.

Nicht zuletzt soll das Material beliebig verfügbar und preiswert sein.

Diese Anforderungen sind offensichtlich vielfältig und es gibt heute einen fast unüberschaubaren Variantenreichtum bei Basismaterialien. Neben den technisch-physikalischen Eigenschaften von Basismaterialien ist zu beachten, mit welchem Produktionsaufwand das Material gehandhabt werden kann. Das betrifft insbesondere die Verarbeitungsmöglichkeiten durch Bohren, Fräsen und Stanzen.

Basismaterialien werden entsprechend ihrer stofflichen Zusammensetzung gruppiert. Die wichtigste Gruppe ist heute FR4. Weitere Gruppen sind CEM1/CEM3 sowie FR2 (Bild 5).

FR4 ist vollständig aus einer bis zu mehreren Glasgewebeschichten aufgebaut, die mit Epoxidharz beschichtet sind. Das Material ist sehr stabil und kann erhebliche Biegebelastungen aushalten.

FR2 ist ein phenolisch getränktes Preßverbundmaterial mit homogener Struktur aber geringer Biegebelastbarkeit. Das Material ist relativ weich aber spröde, und bricht leicht, wenn es mechanischen Spannungen ausgesetzt wird.

CEM1 hat einen Kern aus mit Epoxidharz getränktem Zellulosepapier (Bild4).

Bild 4 Montierte Baugruppe aus CEM1 (weiß-beige) und FR4 (grün)

Bild 5 Bedrätete Bauteile auf einer Leiterplatte aus FR2-Material

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Der Lagenaufbau für einseitige Leiterplatten

Der Lagenaufbau für eine einseitige Leiterplatte muß die Anforderungen an die Funktion und die Geometrie beschreiben.

LeiterplattenAkademie A0171_00530-2081

Material	Stack-Up	Vias	Parameter	Layer
Copper	1mm		1-Top	100µm
FR4	0.5mm		2-Bottom	1.5mm

Geltungsbereich
Gültig für alle starre, einseitige Leiterplatten.

Querverweise
Einseitige Leiterplatte, Einseitige Baugruppe, Lagenaufbau, Signalintegrität, Highspeed-Leiterplatten, Impedanzdefinierte Übertragungsleitungen, Basismaterial, Baugruppenproduktion

22.08.2016 Arnold Wiemers, ILFA GmbH, LeiterplattenAkademie GmbH

Gruppe 8 : Produktbeispiele für konkrete Aufgaben

Leiterplattendokumentation / Highspeedmultilayer

"First Time Right". Das geht, wenn die Möglichkeit besteht, auf der Basis konkreter Konzepte zu lernen.

Konstruktion eines Highspeed-Boards

Der Transfer von Informationen muß schnell und zuverlässig erfolgen, wenn die Anforderungen an die Leistungsfähigkeit von CPU-Boards erfüllt werden sollen.

Diese Aufgabenstellung ist nur mit einer ganzheitlichen Vorgehensweise lösbar. Die Konstruktion des CAD-Layouts muß mit einer funktionalen Geometrie durchgeführt werden. Der Aufbau des Multilayers für ein Highspeed-Board muß diese Geometrie umsetzen können.

Aus physikalischer Sicht sind die Signalintegrität, die Powerintegrität und das allgemeine EMV-Verhalten der späteren Baugruppe zu beachten.

Ausschlaggebend für eine analytische Vorabklärung ist immer die Geometrie der komplexesten elektronischen Komponente. Die nachfolgende Beschreibung geht von einem BGA mit einer 25x25 Matrix bei einem 800er-Pitch aus.

Routing des BGAs

Im CAD-Layout lassen sich die beiden äußeren Reihen des BGAs direkt in der Schaltung verdrahten, ohne daß ein Kontaktieren notwendig ist. Der innere Bereich des BGAs kann nur über Vias verdrahtet werden. Um den verfügbaren Platz für die Leiterbahnen zu maximieren, werden die Vias in 4 ausgelegten Quadranten platziert, die von der Mitte des BGAs weg führen. Dadurch entstehen zwischen benachbarten Quasikanten Kanäle, die für das Routing der Leiterbahnverbindungen genutzt werden können.

25x25 Matrix des BGAs mit Deklarierung der äußeren Reihen. Ausrichtung der Fanout-Vias in 4 Quadranten schritt 4 Kanäle

Die Verdrahtung der BGA-Pins kann jetzt Reihe für Reihe erfolgen. Die mögliche Verdrahtungsdichte und die ausgewählte Strategie entscheiden über die Anzahl der Lagen im Multilayer, die für das vollständige Routing benötigt werden.

25.08.2016 Arnold Wiemers, ILFA GmbH / LeiterplattenAkademie GmbH

Routing für Layer LY-4

Die inneren Reihen AA, unc Y und die Spalten 5 und 6 lassen sich auf dem dritten Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differentiell ist möglich.

Die Layer LY-2 und LY-5 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Routing für Layer LY-11

Die inneren Reihen E und F und die Spalten 20 und 21 lassen sich auf dem vierten Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differentiell ist möglich.

Die Layer LY-10 und LY-13 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Routing für Layer LY-12

Die inneren Reihen W, G und die Spalten 7, 19 lassen sich auf dem fünften Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded und/oder differentiell ist möglich.

Die Layer LY-10 und LY-13 sind mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

25.08.2016 Arnold Wiemers, ILFA GmbH / LeiterplattenAkademie GmbH

Routing für Layer LY-Bot

Die Reihen V, H und die Spalten 8 und 18 lassen sich auf dem sechsten und äußeren Signallayer routen.

Ein Routing von Übertragungsleitungen im Modus SingleEnded ist möglich.

Der Layer LY-13 ist mit GND belegt und dienen als Referenz für den Rückstrom und die Impedanz.

Geometrien für Pads und Tracks

Das Routing des BGAs muß die Leiterplatten- und die Baugruppenproduktion beachten.

Für die Fertigung der Leiterplatten sind der Bohrerwerkzeugdurchmesser, der Restring des Vias, die Leiterbahnbreite und die elektrischen Sicherheitsabstände wichtig.

Für die Fertigung der Baugruppe sind der Durchmesser des BGA-Pads und die mechanischen Abstände zwischen den Bildstrukturen ausschlaggebend.

Für die einzelnen geometrischen Elemente gibt es den folgenden Zusammenhang:

$$\text{Diagonale } (a_{90}) = \text{Pitch} \cdot \sqrt{2} = 1131\mu\text{m}$$

$$= 400\mu\text{m BGApad} + 2 \cdot 115,5\mu\text{m Sicherheitsabstand} + 200\mu\text{m ViaEDM} + 2 \cdot 150\mu\text{m Restring}$$

25.08.2016 Arnold Wiemers, ILFA GmbH / LeiterplattenAkademie GmbH

Mit der Berechnung der Geometrien werden die Werte für die Anlage des BGA in der CAD-Bibliothek festgelegt sowie die Constraints für das Routing am CAD-System.

Wert	Parameter	Verwendung
400µm	Durchmesser des BGA-Pads	CAD-Bibliothek / Bestückung / Routing
500µm	Durchmesser Lotpaste BGA-Pad	CAD-Bibliothek / Bestückung
300µm	Viabohrung, Bohrwerkzeug	CAD-Layout / LP-Fertigung
200µm	Via-Enddurchmesser	CAD-Layout / LP-Fertigung
500µm	Viapad	CAD-Bibliothek / Routing / LP-Fertigung
150µm	Restring	CAD-Layout / LP-Fertigung
100µm	Leiterbahnbreite	CAD-Layout / LP-Fertigung
150µm	Sicherheitsabstand	CAD-Layout / LP-Fertigung / Bestückung

Lagenaufbau

Der Lagenaufbau des Multilayers muß die Anforderungen an die Funktion und die Geometrie umsetzen.

LeiterplattenAkademie R114T1.55:50-17c100-11W1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top SIG EM
Copper	17µm			
NP-150b	50µm	106 SR 70	100-125-100µm ø 100 D	200µm x 50 D
NP-150b	70µm	1080 MR 67	110-100-110µm ø 90 D	
Copper	17µm			LY-2 GND
NP-150b	100µm		100-115-100µm ø 90 D	115µm x 50 D
Copper	17µm			LY-3 SIG
NP-150b	70µm	1080 MR 67	100-225-100µm ø 100 D	LY-4 SIG
Copper	17µm			LY-5 GND
NP-150b	100µm		100-115-100µm ø 90 D	115µm x 50 D
Copper	17µm			LY-6 VCC
NP-150b	70µm	106 SR 70	100-115-100µm ø 90 D	LY-7 GND
Copper	17µm			LY-8 VCC
NP-150b	100µm		100-115-100µm ø 90 D	115µm x 50 D
Copper	17µm			LY-9 VCC
NP-150b	50µm	106 SR 70	100-125-100µm ø 100 D	200µm x 50 D
Copper	17µm			LY-10 GND
NP-150b	100µm		100-115-100µm ø 90 D	115µm x 50 D
Copper	17µm			LY-11 SIG
NP-150b	70µm	1080 MR 67	100-225-100µm ø 100 D	LY-12 SIG
Copper	17µm			LY-13 GND
NP-150b	100µm		100-115-100µm ø 90 D	115µm x 50 D
Copper	17µm			LY-14 GND
NP-150b	50µm	106 SR 70	100-125-100µm ø 100 D	200µm x 50 D
Copper	17µm			LY-Bot SIG

Thickness 1.37mm - 1.55mm Bare Board
1.49mm - 1.64mm ENIG
1.49mm - 1.67mm HAL
Seawater Resistance > 1kΩ

LA-Drawing #1008
Date 13.10.2013
Name WI
Comment --

© LeiterplattenAkademie 2013. All rights reserved. Kabinen-Design - without customer

25.08.2016 Arnold Wiemers, ILFA GmbH / LeiterplattenAkademie GmbH

Konstruktion des Multilayers

Für ein BGA mit einer voll belegten Matrix von 25x25 Spalten und Reihen sind maximal 6 Signallayer für das Routing erforderlich. Für GND sind 5 Lagen vorgesehen, für VCC insgesamt 3 Lagen.

Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von vier GND-VCC-Paaren stehen interne Kapazitäten im Multilayer für eine effektive Stromversorgung zur Verfügung.

Der Aufbau bietet maximale Stabilität wenn die BGA-Leistung voll in Anspruch genommen wird.

Mit den notwendigen Informationen im Netzwerk intelligent ans Ziel
Sichern Sie sich aktuelles Wissen und arbeiten Sie aktiv im Arbeitskreis mit!

ZVEI:
 Die Elektroindustrie



Design Chain für Elektronik Systeme

Wissenspool für den Ablauf in der elektronischen Produktentwicklung



Anhang

Arnold Wiemers

Nach naturwissenschaftlichem Studium ab 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH. In den 1990er Jahren Aufbau der CAM.

Ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Technischer Direktor der LeiterplattenAkademie GmbH. Fachseminare zur Leiterplatten- und Baugruppentechologie. Mitarbeit am Schulungskonzept der entsprechenden Fachverbände. Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Fach- und Hochschulen.



Kurzportrait: Ilfa

Branche Leiterplattenproduktion

Dienstleistungen Starre, flexible und starrflexible Leiterplatten / Ultra Thin Multilayer / Blind-, Buried-, Stacked Vias / Pluggen / Impedanzkontrollierte Leiterbahnen / Mikrofeinstleiter bis 50 µm / Embedded Components / Integriertes Mikrokühlsystem (ILFACOOOL) / HF- und Leistungstechnik / EMV gerechte Leiterplatten / Hybridmultilayer / Kantenmetallisierung / Elektro-Optische Leiterplatten / Multilayer bis 32 Lagen / CAD-Design / Scan-Service / Machbarkeitsanalyse / Bestückung (...über Partnerunternehmen)

Historie Das inhaber- und gründergeführte Unternehmen ILFA (~ Industrielle Leiterplattenfertigung aller Art) entwickelt und produziert seit über 37 Jahren Leiterplattentechnologie im High-Tech-Segment.

Standorte Firmensitz 30559 Hannover Lohweg 3
Niederlassung 01723 Kesselsdorf Am Wüsteberg 3
Dresden

Kennzahlen 18 Mio. € Umsatz / a 190 Mitarbeiter

Zertifizierungen DIN ISO EN 9001, DIN ISO EN 14001, DIN ISO EN 50001 / UL CERTIFICATE / CERTIFIED COMPLIANCE TO IPC 6010-SERIES & SM 840, IPC QL-653 und IPC A-600

