

# Systemprogrammierung

## Grundlagen von Betriebssystemen

### Teil B – V.3 Rechnerorganisation: Betriebssystemmaschine

---

27. Juni 2023

Rüdiger Kapitza

(© Wolfgang Schröder-Preikschat, Rüdiger Kapitza)



Lehrstuhl für Verteilte Systeme  
und Betriebssysteme



Friedrich-Alexander-Universität  
Technische Fakultät

## Agenda

### Einführung

Hybride Maschine

Teilinterpretation

### Ausnahmen

Trap

Interrupt

### Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

### Nichtsequentialität

Wettlaufsituation

Kritischer Abschnitt

### Zusammenfassung

# Gliederung

## Einführung

Hybride Maschine

Teilinterpretation

## Ausnahmen

Trap

Interrupt

## Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

## Nichtsequentialität

Wettlaufsituation

Kritischer Abschnitt

## Zusammenfassung

SP

Einführung

B - V.3 / 3

# Lehrstoff

- den Prozessor der Maschinenprogrammebene als **hybride Maschine** kennenlernen und sein **Operationsprinzip** begreifen
  - Ablauf der Teilinterpretation von Maschinenprogrammen verinnerlichen
  - den Aspekt der Ablaufinvarianz eines Betriebssystems nachvollziehen
- Gemeinsamkeiten und Unterschiede von synchronen und asynchronen **Unterbrechungen** verstehen
  - Konzepte „Trap“ und „Interrupt“ differenzieren, voneinander abgrenzen
  - beide als Ausnahme von der normalen Programmausführung sehen
  - den Prozessorstatus bzw. -zustand eines Programmablaufs identifizieren
  - daraus Implikationen für die Unterbrechungsbehandlung ableiten
- ein Betriebssystem als **nichtsequentielles Programm** erkennen und in die „Untiefe“ solcher Programme einführen
  - durch Wettlaufsituationen verursachte Laufgefahren erläutern
  - eine erste Einführung zum zentralen Begriff „kritischer Abschnitt“ geben

virtuelle Maschine ↔ **Betriebssystem** ↔ hybride Maschine

SP

Einführung

B - V.3 / 4

# Einführung

## Hybride Maschine

### Elementaroperationen der Maschinenprogrammebene

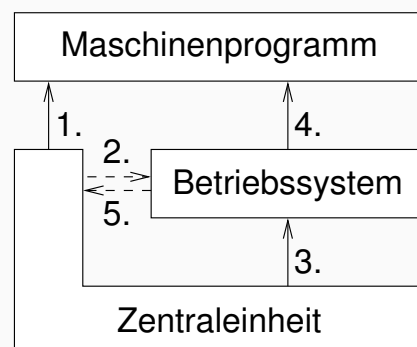
- Maschinenprogramme umfassen zwei Sorten von Befehlen [2, S. 5]:
  - i Anweisungen an das Betriebssystem, das Ebene<sub>3</sub> implementiert
    - explizit als **Systemaufruf** (*system call*) kodiert
    - implizit als **Unterbrechung** (*trap, interrupt*) ausgelöst
  - ii Anweisungen an die CPU, die Ebene<sub>[2,3]</sub> implementiert
    - Ebene<sub>2</sub> direkt, nur dort ist die Ausführung aller Befehle der CPU gültig
    - Ebene<sub>3</sub> indirekt, in enger Kooperation mit dem Betriebssystem
- wirklich ausführende Instanz im Rechensystem ist immer die CPU
  - reine Ebene<sub>3</sub>-Befehle { werden „wahrgenommen“, nicht ausgeführt, signalisieren jew. eine **Ausnahme** (*exception*), die ans Betriebssystem „hochgereicht“ wird um dort behandelt zu werden.
- Betriebssysteme fangen Ebene<sub>3</sub>-Befehle ab, behandeln Ausnahmen
  - sie bilden jeweils eine (logisch) eigenständige **Maschine**
  - die die von ihr ausführenden Befehle von der CPU zugestellt bekommt

# Einführung

## Teilinterpretation

### Partielle Interpretation

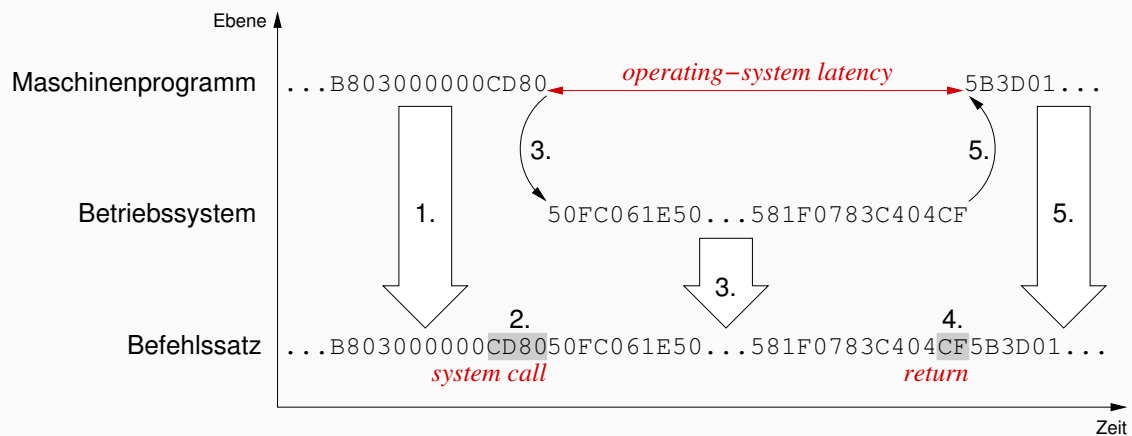
- die CPU (Zentraleinheit):
  1. interpretiert das Maschinenprogramm eingeschränkt befehlsweise,
  2. setzt dessen Ausführung aus,
    - Ausnahmesituation
    - **Unterbrechung**startet das Betriebssystem und
  3. interpretiert die Programme des Betriebssystems befehlsweise.



- Folge von 3., der Ausführung von Betriebssystemprogrammen:
  4. das Betriebssystem interpretiert das in seiner Ausführung unterbrochene Maschinenprogramm befehlsweise und
  5. instruiert die CPU (Zentraleinheit), die Ausführung des/eines zuvor unterbrochenen Maschinenprogramms wieder aufzunehmen.

*In Phase 1. ist nur eine Teilmenge von Ebene<sub>2</sub>-Befehlen direkt von der CPU ausführbar, in Phase 3. dagegen alle.*

- logischer Aufbau des Befehlsstroms für die Zentraleinheit, in Analogie zu den umseitig (S. 8) genannten fünf Phasen:



- Ausführung eines Maschinenprogramms durch die Zentraleinheit (CPU)
- Wahrnehmung einer synchronen/asynchronen Ausnahme (hier: synchron)
- Teilinterpretation durch das Betriebssystem, Ausnahmebehandlung
- Beendigung der Ausnahmebehandlung/Teilinterpretation
- Wiederaufnahme der Ausführung des Maschinenprogramms

## Unterbrechung von Betriebssystemabläufen

Die in Phase 3. (S. 8) erfolgende Ausführung von Programmen des Betriebssystems kann ebenfalls ausgesetzt werden. Jede Programmausführung kann eine Unterbrechung erfahren, wenn der ausführende Prozessor dazu befähigt ist.

- ablaufinvariant (re-entrant)** ausgelegte Betriebssysteme ermöglichen den **Wiedereintritt** während der eigenen Ausführung
  - auch wenn Betriebssysteme normalerweise keine Systemaufrufe absetzen, können sie sehr wohl von Unterbrechungen betroffen sein:
    - im Kontext der Ausführung eines Systemaufrufs ☺
    - hervorgerufen durch Peripheriegeräte (Ein-/Ausgabe, Zeitgeber) ☺
    - bedingt durch einen Programm(ier)fehler  $\leadsto$  **Panik** ☹
  - die in der Folge notwendige Unterbrechungsbehandlung gestaltet sich wie eine **indirekte Rekursion**
    - das Betriebssystem wird in seiner Definition selbst nochmals aufgerufen
    - nämlich indirekt durch die CPU im Rahmen der partiellen Interpretation
- der Wiedereintritt kann **asynchron** erfolgen, was das Betriebssystem als **nichtsequentielles Programm** darstellt

## Zwischenzusammenfassung

- Befehle der Maschinenprogrammebene, also Ebene<sub>3</sub>-Befehle sind...
  - „normale“ Befehle der Ebene<sub>2</sub>, die die CPU direkt ausführen kann
    - **unprivilegierte Befehle**, die in jedem Arbeitsmodus ausführbar sind
  - „unnormale“ Befehle der Ebene<sub>2</sub>, die das Betriebssystem ausführt
    - **privilegierte Befehle**, die nur im privilegierten Arbeitsmodus ausführbar sind
- die „aus der Reihe fallenden“ Befehle stellen Adressräume, Prozesse, Speicher, Dateien und Wege zur Ein-/Ausgabe bereit
  - Interpreter dieser Befehle ist das Betriebssystem
  - der dadurch definierte Prozessor ist die **Betriebssystemmaschine**
- demzufolge ist ein Betriebssystem immer nur **ausnahmsweise** aktiv
  - es muss von außerhalb aktiviert werden
    - programmiert im Falle eines Systemaufrufs (CD80: Linux/x86) oder einer sonstigen synchronen Programmunterbrechung (*trap*)
    - nicht programmiert, also nicht vorhergesehen, im Falle einer asynchronen Programmunterbrechung (*interrupt*)
  - es deaktiviert sich immer selbst, in beiden Fällen programmiert (CF: x86)

## Gliederung

Einführung

Hybride Maschine

Teilinterpretation

Ausnahmen

Trap

Interrupt

Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

Nichtsequentialität

Wettlaufsituation

Kritischer Abschnitt

Zusammenfassung

- die Ausnahmesituationen der Ebene<sub>2</sub> fallen in zwei Kategorien:
  - trap**    ■ **Abfangung** für Ausnahmen von interner Ursache
  - interrupt**    ■ **Unterbrechung** durch Ausnahmen von externer Ursache
- **Unterschiede** ergeben sich hinsichtlich...
  - Quelle, Synchronität, Vorhersagbarkeit und Reproduzierbarkeit
- ihre **Behandlung ist zwingend** und grundsätzlich prozessorabhängig
  - aufwerfen (*raising*) einer Ausnahme kommt entweder einem realen (CPU) oder einem abstrakten (Betriebssystem) Prozessor zu
    - die CPU wirft eine Ausnahme der Hardware (IRQ, NMI, Fehler)
    - das Betriebssystem wirft eine Ausnahme der Software (POSIX: SIG\*)
  - wogegen die Behandlung (*handling*) einem abstrakten Prozessor obliegt
    - Hardwareausnahmen behandelt das Betriebssystem (auf Ebene<sub>2</sub>)
    - Betriebssystemausnahmen behandelt das Maschinenprogramm (auf Ebene<sub>3</sub>)

## Ausnahmen

---

### Trap

# Synchrone Ausnahme

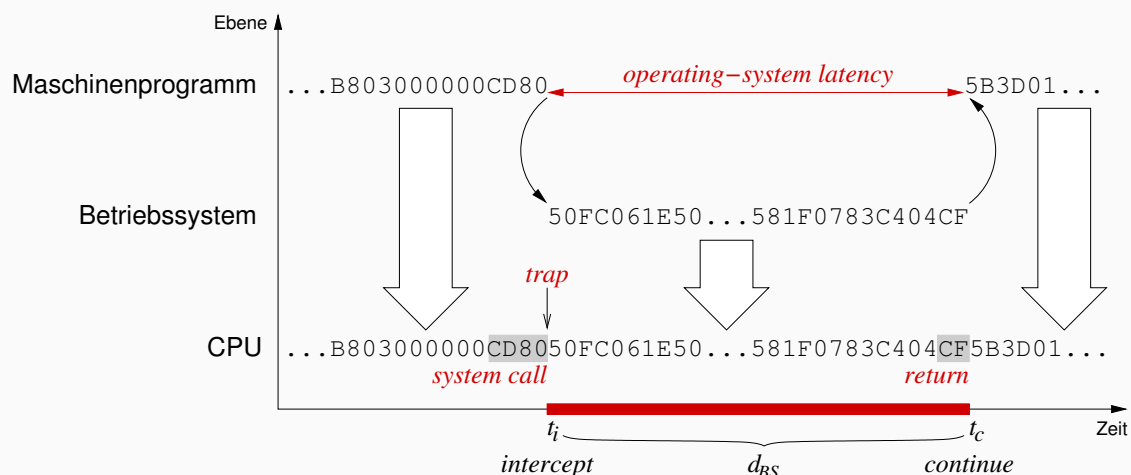
- unbekannter Befehl, falsche Adressierungsart oder Rechenoperation
- Systemaufruf, Adressraumverletzung, unbekanntes Gerät
- Seitenfehler im Falle lokaler Ersetzungsstrategien (vgl. [3, S. 16])

## Trap – synchron, vorhersagbar, reproduzierbar

Ein in die Falle gelaufenes („getrapptes“) Programm, das unverändert wiederholt und jedesmal mit den selben Eingabedaten versorgt auf ein und dem selben Prozessor zur Ausführung gebracht wird, wird auch immer wieder an der selben Stelle in die selbe Falle tappen.

- durch das Programm in Ausführung ( $\equiv$  Prozess) selbst ausgelöst
- als Folge der Interpretation eines Befehls des ausführenden Prozessors
- im **Fehlerfall** ist die Behebung der Ausnahmebedingung zwingend

# Synchrone Ausnahme – Trap



## Betriebssystemlatenz

Verzögerung zwischen dem Abfang-/Unterbrechungszeitpunkt und dem Zeitpunkt der Wiederaufnahme der Programmausführung.

- $d_{BS}$  ■ muss begrenzt sein für ein echtzeitfähiges Betriebssystem
- **maximale Ausführungszeit** (worst-case execution time, WCET)



# Ausnahmen

---

## Interrupt

### Asynchrone Ausnahme

- Signalisierung „externer“ Ereignisse
- Beendigung einer DMA- bzw. E/A-Operation
- Seitenfehler im Falle globaler Ersetzungsstrategien (vgl. [3, S. 16])

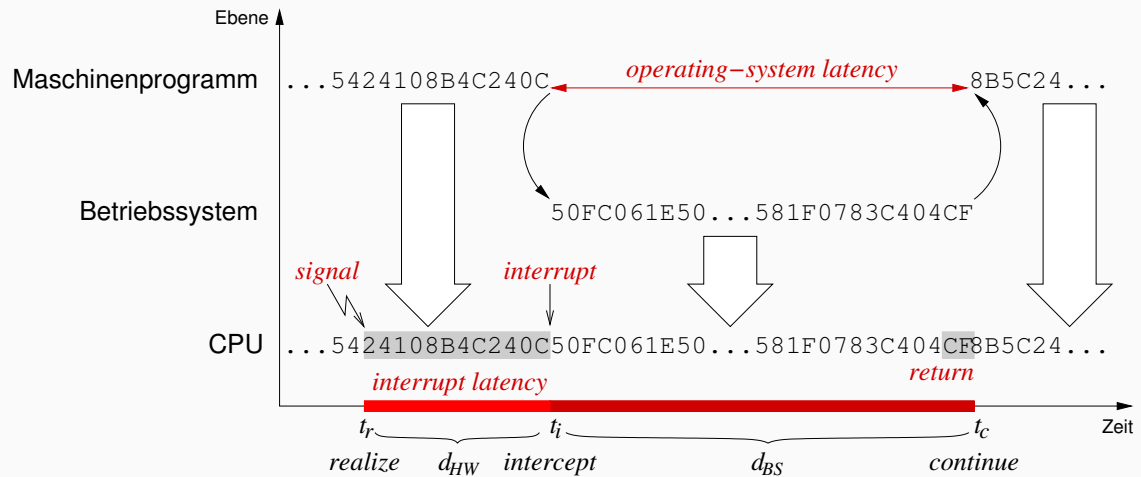
#### **Interrupt – asynchron, unvorhersagbar, nicht reproduzierbar**

*Ein „externer Prozess“ (z.B. ein Gerät) signalisiert einen Interrupt unabhängig vom Arbeitszustand des gegenwärtig sich in Ausführung befindlichen Programms.*

*Ob und ggf. an welcher Stelle die Ausführung des betreffenden Programms unterbrochen wird, ist nicht vorhersehbar.*

- durch einen anderen, externen (Soft-/Hardware-) Prozess ausgelöst
- unabhängig von der Befehlsinterpretation des ausführenden Prozessors
- **Nebeneffektfreiheit** der Unterbrechungsbehandlung ist zwingend

# Asynchrone Ausnahme – Interrupt



## Unterbrechungslatenz

Verzögerung zwischen Wahrnehmung (durch die CPU) und Annahme (im Betriebssystem) der Unterbrechung.

- $d_{HW}$
- Restausführungszeit des laufenden Befehls der CPU plus
  - restliche Dauer einer **Unterbrechungssperre** im Betriebssystem

## Gliederung

Einführung

Hybride Maschine

Teilinterpretation

Ausnahmen

Trap

Interrupt

Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

Nichtsequentialität

Wettlaufsituation

Kritischer Abschnitt

Zusammenfassung

# Programmunterbrechung

## Ausnahmen

### Ausnahmen von der normalen Programmausführung

*Ausführungsunterbrechungen sind **Ereignisse**, die den unterbrochenen Programmablauf unerwünscht verzögern und nicht immer durch ihn selbst auch verursacht sind.*

- Signale von der Peripherie (z.B. E/A, Zeitgeber oder „Wachhund“)
- Wechsel der Schutzdomäne (z.B. Systemaufruf)
- Programmierfehler (z.B. ungültige Adresse)
- unerfüllbare Speicheranforderung (z.B. bei Rekursion)
- Einlagerung auf Anforderung (z.B. beim Seitenfehler)
- Warnsignale von der Hardware (z.B. Energiemangel)

*Im Betriebssystem sind Maßnahmen zur **Ereignisbehandlung** unabdingbar, im Maschinenprogramm dagegen nicht.*

- sie sind in beiden Fällen jedoch immer problemspezifisch auszulegen

- Unterbrechungen implizieren **nicht-lokale Sprünge**:

vom  $\left\{ \begin{array}{l} \text{unterbrochenen} \\ \text{behandelnden} \end{array} \right\}$  Prozess zum  $\left\{ \begin{array}{l} \text{behandelnden} \\ \text{unterbrochenen} \end{array} \right\}$  Prozess

- der **Unterbrechungshandhaber**<sup>1</sup> wird plötzlich aktiviert, sein exakter Aktivierungszeitpunkt ist nicht vorhersehbar
  - der **Prozessorstatus** des unterbrochenen Programms ist daher während der Unterbrechungsbehandlung **invariant** zu halten
    - Sicherung vor Ansprung bzw. Start der Behandlungsroutine
    - Wiederherstellung vor Rücksprung zum unterbrochenen Programm
  - Mechanismen dazu liefert die Befehlssatzebene (CPU) bzw. das jeweils behandelnde Programm (Betriebssystem) selbst
- führt zu **Betriebslast**, deren Höhe die Programmierenebene des Betriebssystems und die Befehlssatzebene bestimmt

---

<sup>1</sup>Dem deutschen Patentwesen entnommen, das die englische Bezeichnung „handler“ fachbegrifflich als „Handhaber“ übersetzt. Dort wird „trap“ sachlich und fachlich korrekt auch als „Falle“ verstanden (vgl. auch S. 16).

## Programmunterbrechung

### Sicherung/Wiederherstellung

# Prozessorstatus invariant halten

- die CPU führt eine **totale oder partielle Zustandssicherung** durch
  - minimal**
    - Statusregister (SR) und Befehlszähler (*program counter*, PC)
  - maximal**
    - den kompletten Registersatz
- Maßnahme, die im **Unterbrechungszyklus** der CPU stattfindet
  - je nach CPU werden dabei wenige bis sehr viele Daten(bytes) bewegt
- das Betriebssystem führt eine **partielle Zustandssicherung** durch

alle { dann noch ungesicherten  
flüchtigen<sup>a</sup>  
im weiteren Verlauf verwendeten } CPU-Register

<sup>a</sup>Register, deren Inhalte nach Rückkehr von einem Prozeduraufruf verändert worden sein dürfen: festgelegt in der **Aufrufkonvention** des Kompilers.

- die erste Option betrifft ein Betriebssystem, das mit Sprachkonzepten der Ebene<sub>4</sub> (d.h., in Assemblersprache) programmiert wurde
- demgegenüber betreffen die letzten beiden Optionen ein in Hochsprache (Ebene<sub>5</sub>) programmiertes Betriebssystem

## Option 1: Alle dann noch ungesicherten...

- **Mantelprozedur** zur Statussicherung auf Ebene<sub>2</sub>:
  - Behandlungsroutine (*handler*) evtl. in Assemblersprache programmiert

```
1 train:  
2   pushal  
3   call handler  
4   popal  
5   iret
```

m68k

```
1 train:  
2   moveml d0-d7/a0-a6,a7@-  
3   jsr handler  
4   moveml a7@+,d0-d7/a0-a6  
5   rte
```

- **train** (trap/interrupt):
  - 2**   ▪ alle Arbeitsregisterinhalte im RAM (Stapelspeicher) sichern
  - 3**   ▪ Unterbrechungsbehandlung durchführen
  - 4**   ▪ im RAM gesicherten Arbeitsregisterinhalte wiederherstellen
  - 5**   ▪ unterbrochene Programmausführung wieder aufnehmen

- beteiligte Prozessoren:
  - CPU (Ebene<sub>2</sub>), Betriebssystem (Ebene<sub>3</sub>)

- **Mantelprozedur** zur Statussicherung in Bezug auf Ebene<sub>5</sub>:
  - Behandlungsroutine (`handler`) in Hochsprache programmiert

```

1  train:
2    pushl %edx; pushl %ecx; pushl %eax
3    call  handler
4    popl  %eax; popl  %ecx; popl  %edx
5    iret

```

m68k

```

1  train:
2    moveml d0-d1/a0-a1,a7@-
3    jsr handler
4    moveml a7@+,d0-d1/a0-a1
5    rte

```

- `train` (trap/interrupt):
  - 2 ▪ Inhalte flüchtiger Arbeitsregister im RAM (Stapelspeicher) sichern
  - 3 ▪ Unterbrechungsbehandlung durchführen
  - 4 ▪ im RAM gesicherten Arbeitsregisterinhalte wiederherstellen
  - 5 ▪ unterbrochene Programmausführung wieder aufnehmen
- beteiligte Prozessoren:
  - CPU (Ebene<sub>2</sub>), Betriebssystem (Ebene<sub>3</sub>), Kompilierer (Ebene<sub>5</sub>)

## Option 3: Alle im weiteren Verlauf verwendeten...

- **Mantelprozedur** zur Statussicherung auf Ebene<sub>5</sub>:
  - Behandlungsroutine (`handler`) in Hochsprache programmiert

```

1  inline void __attribute__((interrupt)) train () {
2      handler();
3  }

```

- `__attribute__((interrupt))`:
  - Generierung der speziellen Maschinenbefehle durch den **Kompilierer**
    - zur Sicherung/Wiederherstellung der Arbeitsregisterinhalte
    - zur Wiederaufnahme der Programmausführung
  - nicht jeder „Prozessor“ (für C/C++) implementiert dieses Attribut
- beteiligte Prozessoren:
  - CPU (Ebene<sub>2</sub>), Kompilierer (Ebene<sub>5</sub>)

Einführung

Hybride Maschine

Teilinterpretation

Ausnahmen

Trap

Interrupt

Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

**Nichtsequentialität**

Wettlaufsituation

Kritischer Abschnitt

Zusammenfassung

## **Nichtsequentialität**

### **Wettlaufsituation**

```
1 int wheel = 0;
```

- welche wheel-Werte gibt main() aus?

```
2 main () {
3     for (;;)
4         printf("%u\n", wheel++);
5 }
```

- normalerweise fortlaufende Werte im Bereich<sup>2</sup>  $[0, 2^{32} - 1]$ , Schrittweite 1

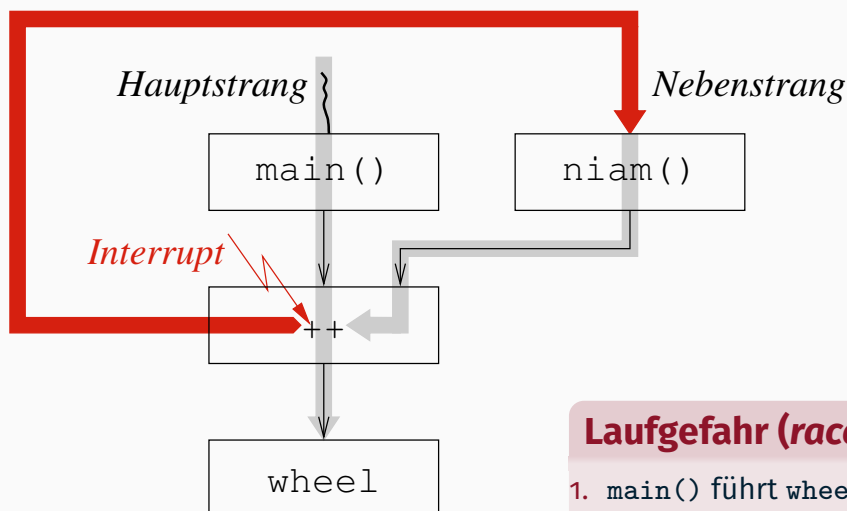
- falls niam() main() unterbricht : welche Ausgabewerte nun?

```
6 void __attribute__((interrupt)) niam () {
7     wheel++;
8 }
```

- mit Schrittweite  $n$ ,  $0 \leq n \leq 2^{32} - 1$ , jenachdem...
  - wie wheel++ vom Compiler für die zugrunde liegende CPU übersetzt und
  - wie oft und wo main() dann von niam() unterbrochen wurde
- $n = 1$  impliziert nicht, dass keine Unterbrechung stattgefunden hat

<sup>2</sup>Annahme: `sizeof(unsigned int) = 4 Bytes` je acht Bits, d.h. 32 Bits.

## Asynchronität von Unterbrechungen



### Laufgefahr (race hazard)

1. main() führt wheel++ aus
2. wheel++ wird unterbrochen
3. der Interrupt führt zu niam()
4. niam() führt wheel++ aus
5. wheel++ überlappt sich selbst



- `wheel++` ist eine **Elementaroperation** (kurz: Elop) der Ebene<sub>5</sub>
  - in Hochsprache formuliert ist diese Aktion scheinbar **atomar, unteilbar**
- nicht zwingend ist `wheel++` auch eine Elop der Ebene<sub>4</sub> (und tiefer)
  - in Assembler-/Maschinensprache formuliert ist diese Aktion **teilbar**

	main()	niam()
Ebene <sub>5</sub>	wheel++	
Ebene <sub>4</sub>	movl wheel,%edx leal 1(%edx),%eax movl %eax,wheel	incl wheel
# Elop	3	1

- dies trifft insbesondere auch zu auf die dreiphasige Aktion **incl wheel**:
  - den Wert (1) von `wheel` laden, (2) verändern und (3) an `wheel` speichern
- ein **read-modify-write-Zyklus**, teilbar bei Mehr-/Viel(kern)prozessoren
- im **Überlappungsfall** ist die gleichzeitige Ausführung von `wheel++` möglich, was falsche Berechnungsergebnisse liefern kann

<sup>3</sup>Aktion ist die Ausführung einer Anweisung einer (virtuellen/realen) Maschine.

## Nichtsequentialität

### Kritischer Abschnitt

# Unterbrechungsbedingte Überlappungseffekte

- `niam()`-Ausführung überlappt `main()`-Ausführung:

wheel	Befehls- folge	main()			niam()
		x86-Befehl	%edx	%eax	x86-Befehl
42	1	<code>movl wheel,%edx</code>	42	?	
43	2				<code>incl wheel</code>
43	3	<code>leal 1(%edx),%eax</code>	42	43	
43	4	<code>movl %eax,wheel</code>	42	43	

- zweimal `wheel++` durchlaufen (nämlich je einmal in `main()` und `niam()`)
- zweimal gezählt, den Wert von `wheel` aber nur um eins erhöht
- in nichtsequentiellen Programmen ist die Implementierung des Inkrementoperators<sup>4</sup> (`++`) als **kritischer Abschnitt** aufzufassen

*critical in the sense, that the processes have to be constructed in such a way, that at any moment at most one of the two is engaged in its **critical section**. [1, S. 11]*

<sup>4</sup>Gleiches gilt für den Dekrementoperator, egal ob Prä- oder Postfix.

## Semantikkonforme Elementaroperation

- der **Postfix-Inkrementoperator** (`wheel++`) hat folgende Semantik:
  - fetch** den Operandenwert (`wheel`) als Ausdruckswert bereitstellen
  - add** dann dem Operanden den um eins erhöhten (`++`) Wert zuweisen
- ein „**fetch and add**“ (FAA), geschieht logisch in einem Schritt
  - um der Laufgefahr vorzubeugen, muss diese Aktion physisch unteilbar sein

- dies leistet `xadd` (x86):

- i `tmp ← dst`
- ii `dst ← tmp + src`
- iii `src ← tmp`

- `src = 1, dst = wheel`

- Befehl durchsetzen: 4-7

- *inline assembler* (gcc)

- die nunmehr unteilbare Aktion für `printf()` sicherstellen:

```
11 printf("%u\n", FAA(&wheel, 1));
```

```
1 inline int FAA(int *ref, int val) {
2     int aux = val;
3
4     asm volatile ("xaddl %0, %1"
5                  : "=g" (aux), "=m" (*ref)
6                  : "0" (aux), "m" (*ref)
7                  : "memory", "cc");
8
9     return aux;
10 }
```

```
12 ...
13 movl $1, %eax
14 xaddl %eax, wheel
15 ...
```

### Definition (Grundblock (*basic block*))

Ein aus einer Anweisungsfolge bestehender Programmabschnitt mit genau einem Eintrittspunkt und einem Austrittspunkt.

Gelingt die Abbildung einer in Hochsprache ausformulierten kritischen Operation auf einen elementaren Maschinenbefehl nicht – weil sie zu komplex ist oder ein äquivalenter Maschinenbefehl nicht existiert, gefunden werden kann oder gesucht werden will –, muss die Operation als kritischer Abschnitt ausformuliert werden.

### ■ Unterbrechungssperre

- 4     ▪ IRQ abwehren
- 5–6   ▪ unteilbar, atomar
- 7     ▪ IRQ zulassen
- IRQ   ▪ *interrupt request*

### ■ Holzhammermethode

- Kollateraleffekte
- Alternative [7, S. 5–15]

```

1  inline int FAA(int *ref, int val) {
2      int aux;
3
4      enter(INTERRUPT_LOCK);
5      aux = *ref;
6      *ref += val;
7      leave(INTERRUPT_LOCK);
8
9      return aux;
10 }
```

vgl. auch S. 50ff

# Gliederung

Einführung

Hybride Maschine

Teilinterpretation

Ausnahmen

Trap

Interrupt

Programmunterbrechung

Ausnahmen

Sicherung/Wiederherstellung

Nichtsequentialität

Wettlaufsituation

Kritischer Abschnitt

Zusammenfassung

- zur Einführung wurden **virtuelle Maschinen** erneut aufgegriffen
  - um zu verdeutlichen, dass ein Betriebssystem eine **hybride Maschine** ist
  - die die **Teilinterpretation** von Maschinenprogrammen bewerkstelligt
    - was den Wiedereintritt ins Betriebssystem einschließt: **Ablaufinvarianz**
- das Mittel zur Teilinterpretation ist die **Ausnahme**
  - trap**     ▪ die synchron, vorhersagbar und reproduzierbar ist
  - interrupt**   ▪ sich asynchron, unvorhersagbar und nicht reproduzierbar zeigt
- wodurch in ihrer Ausführung unterbrochene Programme verzögert werden
- dabei ist der aktuelle **Laufzeitkontext** invariant zu halten
  - was **Sicherung/Wiederherstellung** des Prozessorstatus zur Folge hat
    - geleistet durch die Befehlssatzebene (CPU) und dem Betriebssystem
- überlappende Programmausführung bringt **Nichtsequentialität**
  - die eine **Wettlaufsituation** bei der Programmausführung bewirken kann
  - der diesbezügliche Programmbereich ist ein **kritischer Abschnitt**
    - in dem sich zu jedem Zeitpunkt nur ein einziger Prozess befinden darf

---

## Zusammenfassung

---

## Bibliographie

## Literaturverzeichnis (1)

- [1] DIJKSTRA, E. W.:  
**Cooperating Sequential Processes / Technische Universiteit Eindhoven.**  
Eindhoven, The Netherlands, 1965 (EWD-123). –  
Forschungsbericht. –  
(Reprinted in *Great Papers in Computer Science*, P. Laplante, ed., IEEE Press, New York, NY, 1996)
- [2] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. :  
**Maschinenprogramme.**  
In: [4], Kapitel 5.2
- [3] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. :  
**Speichervirtualisierung.**  
In: [4], Kapitel 12.3

## Literaturverzeichnis (2)

- [4] KLEINÖDER, J. ; SCHRÖDER-PREIKSCHAT, W. ; LEHRSTUHL INFORMATIK 4 (Hrsg.):  
**Systemprogrammierung.**  
FAU Erlangen-Nürnberg, 2015 (Vorlesungsfolien)
- [5] KOPETZ, H. :  
**Real-Time Systems: Design Principles for Distributed Embedded Applications.**  
Kluwer Academic Publishers, 1997. –  
ISBN 0-7923-9894-7
- [6] SCHRÖDER-PREIKSCHAT, W. ; LEHRSTUHL INFORMATIK 4 (Hrsg.):  
**Concurrent Systems – Nebenläufige Systeme.**  
FAU Erlangen-Nürnberg, 2014 (Vorlesungsfolien)

[7] SCHRÖDER-PREIKSCHAT, W. :

**Guarded Sections.**

In: [6], Kapitel 10

[8] SCHRÖDER-PREIKSCHAT, W. :

**Processes.**

In: [6], Kapitel 3

## Anhang

---

### Interrupt

- Unterbrechungen verursachen **Zittern** (*jitter*) im Ablaufverhalten, machen Programme **nicht-deterministisch**
  - nicht zu jedem Zeitpunkt ist bestimmt, wie weitergefahren wird
- je nach „Räumlichkeit“ des unterbrochenen ( $P_i$ ) und behandelnden ( $P_h$ ) Programms ergeben sich verschiedene Ausprägungen
  - getrennt**
    - $P_i$  auf Ebene<sub>3</sub>,  $P_h$  auf Ebene<sub>2</sub>
    - in räumlicher Hinsicht hat  $P_h$  keinen Einfluss auf  $P_i$
  - gemeinsam**
    - $P_i$  und  $P_h$  zusammen auf Ebene<sub>3</sub> oder Ebene<sub>2</sub>
    - in räumlicher Hinsicht kann  $P_h$  einen Einfluss auf  $P_i$  haben
    - $P_i$  und  $P_h$  bilden ein **nichtsequentielles Programm**
- aber in beiden Fällen wird  $P_i$  um die jeweilige Dauer von  $P_h$  verzögert
- in zeitlicher Hinsicht beeinflusst die Unterbrechungsart „*interrupt*“ jedes Programm, dessen Ausführung dadurch ausgesetzt wird
- dies ist kritisch für **echtzeitabhängige Programme**<sup>5</sup>

<sup>5</sup>Deren korrektes Verhalten hängt nicht nur von den logischen Ergebnissen von Berechnungen ab, sondern auch von dem **physikalischen Zeitpunkt** der Erzeugung und Verwendung der Berechnungsergebnisse. [5]

## Anhang

### Wettlaufsituation

# Unteilbarkeit

## Definition (in Anlehnung an den Duden)

Das Unteilbarsein, um etwas als Einheit oder Ganzheit in Erscheinung treten zu lassen.

- eine Frage der „Distanz“ des Betrachters (Subjekts) auf ein Objekt
  - **Aktion** auf höherer, **Aktionsfolge** auf tieferer Abstraktionsebene

Ebene	Aktion	Aktionsfolge
5	<code>i++</code>	
4-3	<code>incl i*</code> <code>addl \$1,i*</code>	<code>movl i,%r</code> <code>addl \$1,%r*</code> <code>movl %r,i</code>
2-1		* <b>read</b> from memory into accumulator <b>modify</b> contents of accumulator <b>write</b> from accumulator into memory

- typisch für den Komplexbefehl eines „abstrakten Prozessors“ (C, CISC)

SP

Anhang

B - V.3 / 36

# Unteilbarkeit komplexer Operationen

Ganzheit oder Einheit einer Aktionsfolge, deren Einzelaktionen alle scheinbar gleichzeitig stattfinden (d.h., synchronisiert sind)

- wesentliche Eigenschaft für eine **atomare Operation**<sup>6</sup>
  - die logische Zusammengehörigkeit von Aktionen in zeitlicher Hinsicht
  - wodurch die Aktionsfolge als **Elementaroperation** (ELOP) erscheint

Beispiele von Aktionen zum Inkrementieren eines Zählers:

■ Ebene  $5 \mapsto 3$

■ Ebene  $3 \mapsto 2$

C/C++	ASM	ASM	ISA
<code>1 i++;</code>	<code>1 movl i, %eax</code> <code>2 addl \$1, %eax</code> <code>3 movl %eax, i</code>	<code>1 incl i</code>	<code>1 read A from &lt;i&gt;</code> <code>2 modify A by 1</code> <code>3 write A to &lt;i&gt;</code>

- die Inkrementierungsaktionen (`i++`, `incl`) sind nur **bedingt unteilbar**
  - unterbrechungsfreier Betrieb (Ebene  $5 \mapsto 3$ ), Uniprozessor (Ebene  $3 \mapsto 2$ )
  - Problem: **zeitliche Überlappung** von Aktionsfolgen hier gezeigter Art

<sup>6</sup>von (gr.) *átomo* „unteilbar“.  
Anhang

SP

B - V.3 / 37



# Anhang

## Kritischer Abschnitt

### Ein-/Austrittsprotokolle

### Synchronisation von Anweisungsfolgen

```
1  typedef enum safeguard {INTERRUPT_LOCK} safeguard_t;
2
3  extern void panic(char *);
4
5  inline void enter(safeguard_t type, ...) {
6      if (type == INTERRUPT_LOCK)
7          asm volatile ("cli" : : : "cc");
8      /* more safeguard variants... */
9      else
10         panic("bad safeguard");
11 }
12
13 inline void leave(safeguard_t type, ...) {
14     if (type == INTERRUPT_LOCK)
15         asm volatile ("sti" : : : "cc");
16     /* more safeguard variants... */
17     else
18         panic("bad safeguard");
19 }
```

■ Übersetzung von `faa.c` (vgl. S. 37) mit `-S`

```

1  FAA:
2    movl 4(%esp), %edx
3    cli
4    movl (%edx), %eax
5    movl 8(%esp), %ecx
6    addl %eax, %ecx
7    movl %ecx, (%edx)
8    sti
9    ret

```

**oben** `-D"int_t=long int"`

**3-8** unteilbare Sequenz

**rechts** `-D"int_t=long long int"`

**8-15** unteilbare Sequenz

`cli` *clear interrupt flag*, abschalten

`sti` *set interrupt flag*, einschalten

```

1  FAA:
2    subl $8, %esp
3    movl %ebx, (%esp)
4    movl 16(%esp), %ecx
5    movl %esi, 4(%esp)
6    movl 20(%esp), %ebx
7    movl 12(%esp), %esi
8    cli
9    movl (%esi), %eax
10   movl 4(%esi), %edx
11   addl %eax, %ecx
12   adcl %edx, %ebx
13   movl %ecx, (%esi)
14   movl %ebx, 4(%esi)
15   sti
16   movl (%esp), %ebx
17   movl 4(%esp), %esi
18   addl $8, %esp
19   ret

```