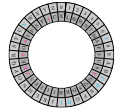




Hochschule **RheinMain**
University of Applied Sciences
Wiesbaden Rüsselsheim



HARDWARE- BESCHREIBUNGSSPRACHEN

Hardwareentwurf mit VHDL

1. Januar 2019

Revision: c9b2bc4 (2019-01-01 19:36:22 +0100)

Steffen Reith

Theoretische Informatik
Studienbereich Angewandte Informatik
Hochschule **RheinMain**



HARDWAREENTWURF MIT VHDL

WAS IST VHDL?

VHDL ist eine Sprache zur **Beschreibung** von Hardware (Hardwarebeschreibungssprache) und **keine** Programmiersprache!

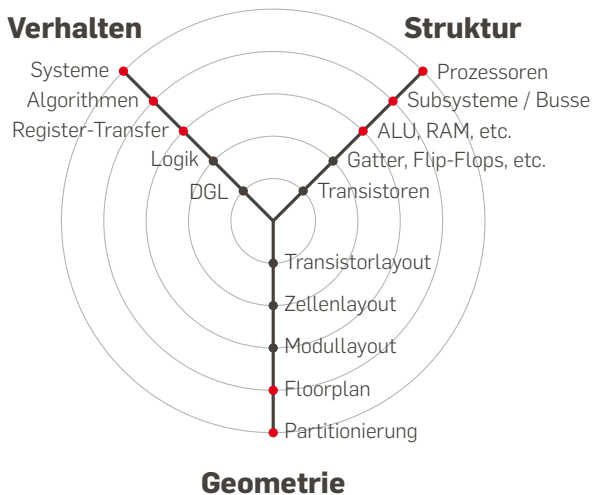
VHDL steht für ›VHSIC Hardware Description Language‹, wobei VHSIC für ›Very High Speed Integrated Circuits‹. Die Entwicklung von VHDL begann ca. 1980 und wurde durch das US DoD initiiert.

VHDL wird sowohl zur **Synthese** von Schaltkreisen, als auch zu deren **Simulation** (\triangleq Test & Debugging) verwendet.

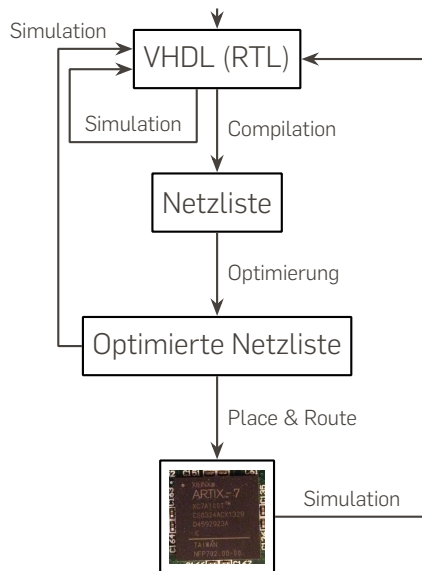
Im Gegensatz zu der auch weit verbreiteten Beschreibungssprache Verilog ist VHDL ein (IEEE) Standard, der sowohl **herstellerübergreifend** als auch **herstellerunabhängig** ist.

Anders bei (klassischen) Programmiersprachen werden in VHDL bis auf Ausnahmen (innerhalb PROCESS, FUNCTION und PROCEDURE) alle Anweisungen **parallel ausgeführt**!

HARDWAREENTWURF / GAJSKI-KUHN Y-DIAGRAMM



DER GRUNDSÄTZLICHE WORKFLOW FÜR (C)PLD / FPGAS / ASICS



EDA-TOOLS (ELECTRONIC DESIGN AUTOMATION)

Für FPGAs sind die Tools der Firma Xilinx (ISE / Vivado) bzw. der Firma Altera (Quartus II) verbreitet.

In der Vorlesung werden wir die **Vivado Suite** verwenden. Diese macht aus der Beschreibung:

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity Adder is
5      port (a      : in  std_logic;
6            b      : in  std_logic;
7            cin    : in  std_logic;
8            s      : out std_logic;
9            cout   : out std_logic);
10 end Adder;
11
12 architecture Behavioral of Adder is
13 begin
14     s <= a xor b xor cin;
15     cout <= (a and b) or (a and cin) or (b and cin);
16 end Behavioral;

```

ERGEBNIS DER SYNTHESE

Eine Übersetzung in eine Netzliste und dann in „echte“ Hardware ergibt folgendes Bild:

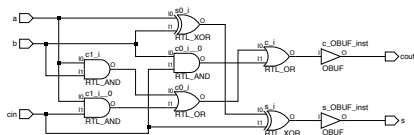


Abbildung: RTL-Level

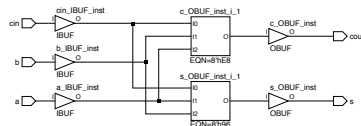


Abbildung: Technologie-Level

EINE BEISPIELHAFTE FPGA-ARCHITEKTUR

Man kann sich ein FPGA als regelmäßiges Array von Funktionsblöcken vorstellen, die flexibel verdrahtbar sind:

Das FPGA kommuniziert durch IO-Blöcken (IOB), die Configurable Logic Blocks (CLB) enthalten Logik und kleine Speicher (einzelne Flip-Flops). Weiterhin gibt es große Speicherblöcke (BRAM) und evtl. schnelle Hardwaremultiplizierer für DSP-Anwendungen.

EINE BEISPIELHAFTE FPGA-ARCHITEKTUR (II)

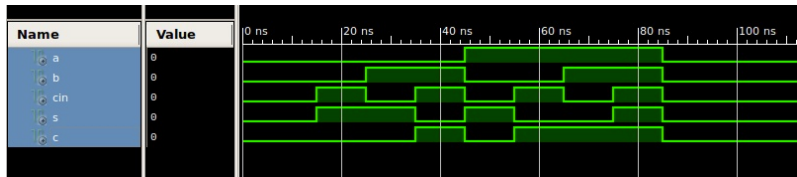
Real existierende FPGAs sind deutlich komplexer aufgebaut:

SIMULATION

Bevor ein Schaltkreis gebaut werden kann, muss dieser mit Hilfe der Schaltungsbeschreibung (VHDL) **validiert / getestet** werden.

Dazu simuliert man Schaltkreise mit unterschiedlichem Detailgrad (z.B. Signallaufzeiten aufgrund der geometrischen Struktur).

Eine einfache Simulation des Addierers ergibt:



Zur Durchführung von Simulation werden **Testbenches** verwendet, die alle notwendigen Signalkombination an den (simulierten) Schaltkreis anlegen.

WELCOME TO THE REAL WORLD!

The screenshot displays the Vivado IDE interface with the 'Implementation Complete' window open. The main window shows the 'Synthesized Design' for 'xc7a100tcsg324-1' (active). The left sidebar contains the 'Flow Navigator' with sections for Simulation, RTL Analysis, Synthesis, and Implementation. The 'Synthesis' section is currently selected, showing 'Synthesis Settings', 'Run Synthesis', and 'Synthesized Design' options. The 'Netlist' tab is active, displaying a hierarchical view of the design components, including 'Adder', 'Nets (10)', and various 'IBUF' and 'LUT3' instances. The 'Cell Properties' tab shows the 's_OBUF_inst_1' cell with its truth table.

The 'Implementation Complete' window provides a summary of the implementation results:

- Project Summary:** Project part: xc7a100tcsg324-1, Top module name: Adder.
- Synthesis:** Status: Complete, Messages: No errors or warnings, Part: xc7a100tcsg324-1, Strategy: Vivado Synthesis Defaults.
- Implementation:** Status: Complete, Messages: 2 warnings, Part: xc7a100tcsg324-1, Strategy: Vivado Implementation Default.
- DRC Violations:** Summary: 2 critical warnings, 1 warning.
- Timing:** Worst Negative Slack (WNS): NA, Total Negative Slack (TNS): NA, Number of Failing Endpoints: NA, Total Number of Endpoints: NA. A link to 'Implemented Timing Report' is provided.
- Utilization - Post-Implementation:** A bar chart showing LUT utilization at 1% and I/O utilization at 2%.
- Power:** Total On-Chip Power: 0.994 W, Junction Temperature: 29.5 °C, Thermal Margin: 55.5 °C (12.0 W), Effective θ_{JA} : 4.6 °C/W, Power supplied to off-chip devices: 0 W, Confidence level: Low.

The 'Messages' window at the bottom shows 2 warnings and 74 infos. The first warning is related to the 'Route Design' (2 warnings), indicating that there are no user-specified timing constraints and no user-defined clocks found in the design.