

Dateiname: DA050_Lorenz_J

Titel:

Implementierung und Inbetriebnahme eines Transaktionsinterfaces zur beschleunigten Emulation von digitalen Designs für optische Nachrichtensysteme

Bearbeiter:

Jens Lorenz

Text der Kurzfassung:

Die Aufgabe in dieser Diplomarbeit bestand darin, ein neues Interface in ein zur Verfügung gestelltes Emulationssystem zu implementieren und die gesamte Umgebung mit bereits bestehenden Testumgebungen zu vergleichen. Um die neue Umgebung zu erstellen, wurden vorher die erworbenen Kenntnisse an einer vergleichbaren Testumgebung angewendet. Diese Testumgebung wurde in der Studienarbeit erstellt und besteht aus einer SystemC-Testbench und einem eigenen Verilog Design. Das Design dient dazu, ein Frame Alignment Word in einem 8 Bit breiten Datenstrom zu erkennen und bei eventueller Verschiebung der Bits diese wieder zu korrigieren. Die Testumgebung wurde benutzt, um die Grundkenntnisse, die für diese Diplomarbeit vonnöten sind, zu vermitteln. In dieser Arbeit wurde die Umgebung erfolgreich um die QTI-Schnittstelle erweitert und die Testbench wurde in Anlehnung an das Port-/Channel/Interface-Konzept umgebaut.

Im Laufe dieser Diplomarbeit wurde die QTI-Schnittstelle in die von Intel zur Verfügung gestellte SystemC-Testbench eingebunden. Über so genannte Transaktoren werden jetzt die Daten zwischen Testbench und Design ausgetauscht. Ein Transaktor stellt eine Art Kommunikationskanal dar und besitzt einen Hard- und einen Softwarepart. Um das Interface zu implementieren, wurden die Kenntnisse der Sprachen Verilog und SystemC benötigt.

Für die einzelnen Vergleichsmessungen wurden darüber hinaus noch zwei weitere Testumgebungen zur Verfügung gestellt. Dazu gehört die Umgebung für den Lockstep-Modus. Mit ihr wird mittels einer Simulation und auch mittels einer Emulation verifiziert. Außerdem wurde eine Umgebung, die auf Basis einer synthetisierbaren Testbench arbeitet, bereitgestellt. Die drei Umgebungen (vier Verifikationsarten) wurden miteinander verglichen. In einer Tabelle wurden die Zeitmessungen festgehalten und die entsprechende Frequenz ermittelt. Darüber hinaus wurde untersucht, ob sich bei einem höheren Kommunikationsaufkommen die Verifikationsgeschwindigkeit bei der Messung mit der Transaction-Based-Umgebung verringert.

Die Performancemessungen übertreffen die in den Voruntersuchungen ermittelten Ergebnisse bei weitem. Anstelle eines 200- bis 300-fachen Performancegewinnes wurde eine 900-fache Steigerung beim Transaction-Based-Modus ermittelt. Dies ist zwar immer noch kein Vergleich zu einer synthetisierbaren Testbench, die einen 17000-fachen Performancegewinn ausweist, aber sie besitzt den Vorteil, dass die bereits bestehende C++-Testbench mit der gesamten Funktionalität weiterverwendet

werden kann. Wenn die QTI-Schnittstelle so angepasst wird, dass das gesamte System für viele bei Intel entwickelte digitale Schaltungen verwendet werden kann, ist eine schnellere Fehleranalyse möglich.

Diese Arbeit hat gezeigt, dass nach einer endgültigen Umsetzung der C++-Testbench und einer genau ausgearbeiteten Implementierung der QTI-Schnittstelle, eine wesentlich schnellere und weiterhin flexible Verifikation von digitalen Designs möglich ist. Die Funktionsweise der neuen Testbench ändert sich nicht. Dennoch müssten sich die Ingenieure, die mit der Umgebung arbeiten, daran anpassen, dass die Testcases nicht mehr wie gewohnt in Verilog, sondern in C++ oder, wenn man Scheduling benötigt, in SystemC geschrieben werden müssen.