

Entwicklung eines phyCARD-A kompatiblen Designs

Application Note

1	Grundlagen	4
1.1	Konzept der phyCARD	4
1.2	Mechanische Spezifikation	5
1.2.1	Abmessung und Bohrungen	5
1.2.2	Steckverbinder.....	5
1.2.3	Maßzeichnung	6
1.3	Pinbelegung	7
1.4	Signalbeschreibung	9
1.4.1	Versorgungsspannung	9
1.4.2	Reset.....	11
1.4.3	Power-Management Signale	11
1.4.4	Konfigurationspins	12
1.4.5	USB	13
1.4.6	LVDS	14
1.4.6.1	Pixel-Mapping Display-LVDS	15
1.4.7	I ² C.....	17
1.4.8	SPI.....	17
1.4.9	ETH10/100	18
1.4.10	AC97	18
1.4.11	UART	19
1.4.12	SDIO/MMC.....	19
1.4.13	GPIO.....	20
1.4.14	JTAG	21
2	Design-In Guide.....	22
2.1	Unterschiede optimierter Designs	22
2.2	Allgemeine Layout Empfehlungen	23
2.3	Versorgungsspannung	24
2.3.1	Beispielschaltung	24
2.3.2	Layout Empfehlungen	25
2.4	Display-LVDS.....	26
2.4.1	Anschluss eines LVDS-Displays	26
2.4.2	Umwandeln der LVDS-Signale in TTL-Signale	27
2.4.3	Steuern der Display-Helligkeit.....	27
2.4.4	Layout Empfehlungen	27
2.5	Kamera-LVDS.....	28

2.5.1	Beispielbeschaltung eines Kamera-Anschlusses	28
2.5.2	Layout Empfehlungen.....	29
2.6	Ethernet	30
2.6.1	Beispielschaltung	30
2.6.2	Layout Empfehlungen.....	31
2.7	USB	32
2.7.1	Beispielschaltung	32
2.7.2	Layout Empfehlungen.....	33
2.8	I ² C.....	34
2.8.1	Beispielschaltung	34
2.8.2	Layout Empfehlungen.....	35
2.9	SPI.....	36
2.9.1	Beispielschaltung	36
2.9.2	Layout Empfehlungen.....	37
2.10	UART.....	38
2.10.1	Beispielschaltung	38
2.10.2	Layout Empfehlungen.....	39
2.11	AC97 / HDA	40
2.11.1	Beispielschaltung	40
2.11.2	Layout Empfehlungen.....	42
2.12	SDIO/MMC	42
2.12.1	Beispielschaltung	42
2.12.2	Layout Empfehlungen.....	43
2.13	GPIOs.....	44
2.13.1	Beispielschaltung	44
2.13.2	Layout Empfehlungen.....	44
2.14	Konfigurations-Pins	45
2.14.1	Beispielschaltung	45
2.14.2	Layout Empfehlungen.....	45
2.15	Reset-Signale	46
2.15.1	Beispielschaltung	46
2.15.2	Layout Empfehlungen.....	47
3	Power-Management.....	48

Bildverzeichnis

ABBILDUNG 1 Maßzeichnung phyCARD-A.....	6
Abbildung 2: Beispieldesign der Versorgungsspannung.....	24
Abbildung 3: Beispielbeschaltung eines LVDS Display-Anschlusses.....	26
Abbildung 4: Beispielbeschaltung eines LVDS Kamera-Anschlusses	28
Abbildung 5: Beispielbeschaltung Ethernet	30
Abbildung 6: Beispielbeschaltung der USB-Schnittstellen.....	32
Abbildung 7: Beispielbeschaltung der I ² C-Schnittstelle mit Levelshifter...	34
Abbildung 8: Beispielschaltung eines I ² C A-D Wandlers.....	35
Abbildung 9: Beispielbeschaltung der SPI-Schnittstelle mit Levelshiftern	36
Abbildung 10: Beispielbeschaltung der UART	38
Abbildung 11: Beispielbeschaltung der AC97-Schnittstelle	40
Abbildung 12: Beispielbeschaltung der SDIO-Schnittstelle	42
Abbildung 13: Beispielbeschaltung der Konfigurations-Pins	45
Abbildung 14: Beispielbeschaltung des Reset-Eingangs	46

Tabellenverzeichnis

Tabelle 1 Pinbelegung der phyCARD-A.....	8
Tabelle 2: Unterschied optimierter Designs	22
Tabelle 3: Übersicht der verschiedenen Power-Zuständer	49

1 Grundlagen

Das folgende Kapitel beinhaltet die Grundlagen der phyCARD-A wie mechanische Spezifikationen, Pinbelegung und Signalbeschreibung der von der phyCARD-A unterstützten Funktionsgruppen.

1.1 Konzept der phyCARD

Das Konzept der phyCARD beruht darauf, dass die Schnittstellen, Maße und Pinbelegung der einzelnen phyCARDS untereinander kompatibel sind. Dadurch ist ein Austausch einer phyCARD mit einem anderen Model, beispielsweise mit einer höheren Leistung, möglich. Durch diese freie Skalierbarkeit kann eine für die heutige Anwendung konzipierte Basisplatine auch später bei höherer Leistungsanforderung ohne Redesign, nur durch Auswechseln der phyCARD, genutzt werden. Weiterhin ermöglicht das phyCARD Konzept so durch den Einsatz einer für heutige Anforderungen ausreichend dimensionierte phyCARD ein möglichst kostenoptimiertes Design, welches trotzdem den zukünftigen Anforderungen gerecht wird.

Der von Phytec entwickelte X-Arc Bus ermöglicht durch seine Vielzahl an unterschiedlichen Standardschnittstellen eine optimale Anbindung verschiedenster Baugruppen. Dadurch ist der Funktionsumfang der phyCARD durch externe Baugruppen praktisch beliebige erweiterbar.

1.2 Mechanische Spezifikation

1.2.1 Abmessung und Bohrungen

Die Abmessung einer phyCARD-A beträgt je nach Modell 60x60mm, 60x80mm oder 60x100mm.

Jede phyCARD-A verfügt über vier 2,7mm Bohrungen zum zentrieren und befestigen der phyCARD auf der Basisplatine.

1.2.2 Steckverbinder

Jede phyCARD-A verfügt über einen 2*50 poligen Molex Steckverbinder mit einem Rastermaß von 0,635mm. Über diesen Steckverbinder werden die Signale der phyCARD-A auf die Basisplatine geführt. Die Molex-Artikelnummer der Leiste lautet: 52760-1079. Als Gegenstück auf der Basisplatine kann beispielsweise der zugehörige Steckverbinder von Molex mit der Artikelnummer 055091-1075/1075 bzw. 53553-1079 dienen.

1.2.3 Maßzeichnung

Abbildung 1 zeigt eine Maßzeichnung der verschiedenen möglichen Baugrößen der phyCARD-A.

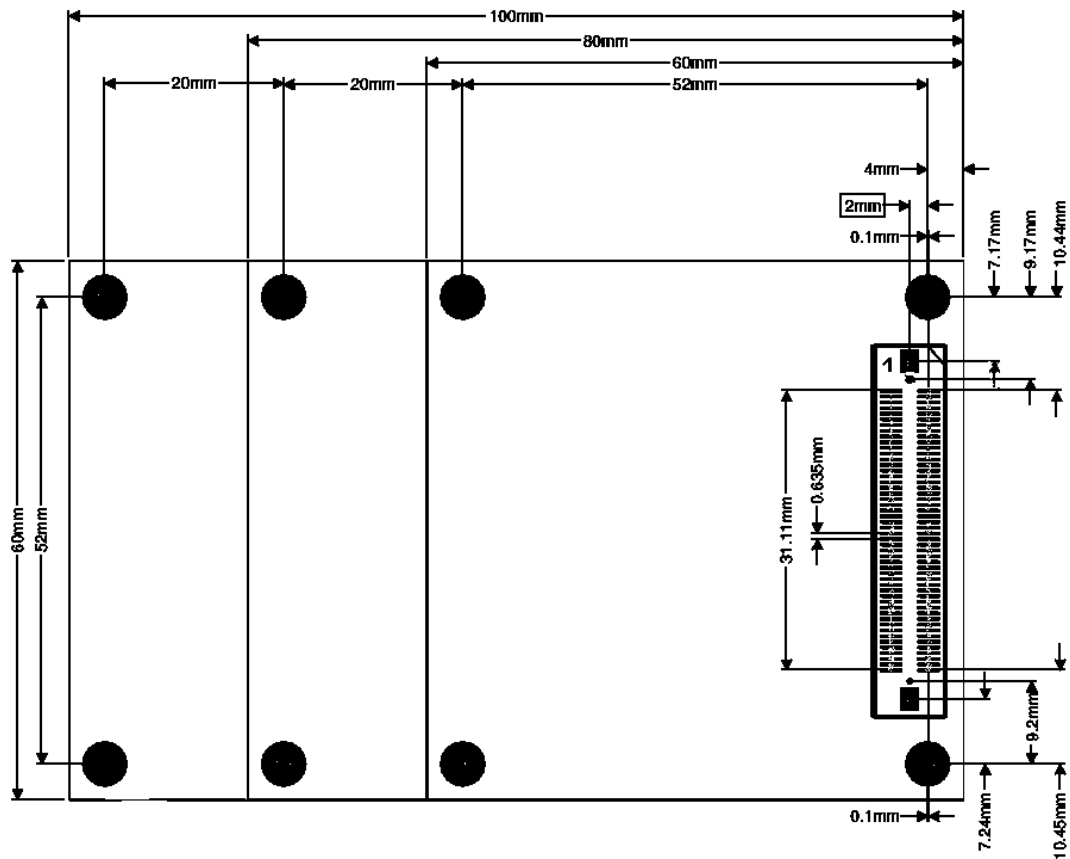


Abbildung 1 Maßzeichnung phyCARD-A

1.3 Pinbelegung

Tabelle 1 zeigt die Pinbelegung der phyCARD-A.

In Spalte Dir ist die Richtung des Signals eingetragen. Dabei gilt:

In = Eingang

Out = Ausgang

Bi = Bidirektional

Die Spalte Pegel gibt den für das Signal spezifizierten Spannungspegel an. Dabei gilt:

VCC	Versorgungsspannung (3,3V oder 5V, je nach phyCARD)
VCC_LOGIC	interne Logik-Spannung der phyCARD
VSTBY	Standby-Versorgungsspannung
LVDS	LVDS Spannungspegel, differentielles Signal mit einem Spannungshub von typischerweise 300-400mV
ETH	Ethernet Spannungspegel, differentielles Signal mit einem Spannungshub von typischerweise 1V (100Base-TX) bzw. 2,2-2,8V (10Base-T)
VCC_USB	USB-Versorgungsspannung (5V)
USB	USB-Spannungspegel, typischerweise 3,3V

In der Spalte Signal ist die Signalbezeichnung eingetragen. Ein vorangestelltes n bedeutet dabei, dass es sich um ein Low-aktives Signal handelt.

Die einzelnen Pins sind je nach zugehöriger Funktionsgruppe farbig markiert.

Dir	Pegel	Signal	Pin	Pin	Signal	Pegel	Dir
In	VCC	VCC	1A	1B	VCC	VCC	In
In	VCC	VCC	2A	2B	VCC	VCC	In
In	VCC	VCC	3A	3B	VCC	VCC	In
-		GND	4A	4B	GND		-
Out	VCC_LOGIC	VCC_LOGIC	5A	5B	VCC_LOGIC	VCC_LOGIC	Out
-	VCC	Voltage-Select	6A	6B	VSTBY	VSTBY	In
In	VCC	nRESET_IN	7A	7B	nRESET_OUT	VCC	Out
-		GND	8A	8B	GND		-
Out	LVDS	LVDS_TX0+	9A	9B	LVDS_TX1+	LVDS	Out
Out	LVDS	LVDS_TX0-	10A	10B	LVDS_TX1-	LVDS	Out
Out	LVDS	LVDS_TX2+	11A	11B	LVDS_TX3+	LVDS	Out
Out	LVDS	LVDS_TX2-	12A	12B	LVDS_TX3-	LVDS	Out
-		GND	13A	13B	GND		-
Out	LVDS	LVDS_TXCLK+	14A	14B	LVDS_CAM_RX+	LVDS	In
Out	LVDS	LVDS_TXCLK-	15A	15B	LVDS_CAM_RX-	LVDS	In
Out	VCC_LOGIC	LVDS_CAM_MCLK	16A	16B	LVDS_CAM_nLOCK	VCC_LOGIC	Out
	VCC_LOGIC	I2C_CLK	17A	17B	I2C_DATA	VCC_LOGIC	
-		GND	18A	18B	GND		-
Out	VCC_LOGIC	ETH_SPEED	19A	19B	ETH_LINK	VCC_LOGIC	Out
Out	ETH	ETH_TX+	20A	20B	ETH_RX+	ETH	In
Out	ETH	ETH_TX-	21A	21B	ETH_RX-	ETH	In
-		GND	22A	22B	GND		-
Out	VCC_LOGIC	USB_OTG_PWR1	23A	23B	USB_PWR2	VCC_LOGIC	Out
In	VCC_LOGIC	USB_OTG_OC1	24A	24B	USB_OC2	VCC_LOGIC	In
-		GND	25A	25B	GND		-
Bi	VCC_USB	USB_OTG_VBUS1	26A	26B	nSuspend_to_RAM	VCC_LOGIC	Out
Bi	USB	USB_OTG_D1-	27A	27B	USB_D2-	USB	Bi
Bi	USB	USB_OTG_D1+	28A	28B	USB_D2+	USB	Bi
In	USB	USB_OTG_UID1	29A	29B	nPower_Off	VCC_LOGIC	Out
-		GND	30A	30B	GND		-
Bi	VCC_LOGIC	SDIO_D0	31A	31B	SDIO_D1	VCC_LOGIC	Bi
Bi	VCC_LOGIC	SDIO_D2	32A	32B	SDIO_D3	VCC_LOGIC	Bi
Out	VCC_LOGIC	SDIO_CLK	33A	33B	SDIO_CMD	VCC_LOGIC	Bi
-		GND	34A	34B	GND		-
Out	VCC_LOGIC	SPI_CS0	35A	35B	SPI_CS1	VCC_LOGIC	Out
In	VCC_LOGIC	SPI_RDY	36A	36B	SPI_MOSI	VCC_LOGIC	Out
Out	VCC_LOGIC	SPI_CLK	37A	37B	SPI_MISO	VCC_LOGIC	In
-		GND	38A	38B	GND		-
Out	VCC_LOGIC	UART_TXD	39A	39B	UART_RXD	VCC_LOGIC	In
In	VCC_LOGIC	UART_RTS	40A	40B	UART_CTS	VCC_LOGIC	Out
-		GND	41A	41B	GND		-
Bi	VCC_LOGIC	HDA_SEL/AC97_INT	42A	42B	AC97/HDA_BIT_CLK	VCC_LOGIC	Bi
Out	VCC_LOGIC	AC97/HDA_SDATA_OUT	43A	43B	AC97/HDA_SYNC	VCC_LOGIC	Out
In	VCC_LOGIC	AC97/HDA_SDATA_IN	44A	44B	AC97/HDA_nRESET	VCC_LOGIC	Out
-		GND	45A	45B	GND		-
Bi	VCC_LOGIC	GPIO0/IRQ/PWM	46A	46B	SDIO_CD	VCC_LOGIC	In
Bi	VCC_LOGIC	GPIO2/IRQ	47A	47B	GPIO1/IRQ	VCC_LOGIC	Bi
In		nWKUP	48A	48B	for internal use only		Bi
-		GND	49A	49B	GND		-
In	VCC_LOGIC	CONFIG0	50A	50B	CONFIG1	VCC_LOGIC	In

Tabelle 1 Pinbelegung der phyCARD-A

© PHYTEC Messtechnik GmbH

Europe: Support Hotline: +49 (6131) 9221-31 • <http://www.phytec.de>

North America: Support Hotline: + 1-800-278-9913 • <http://www.phytec.com>

1.4 Signalbeschreibung

1.4.1 Versorgungsspannung

Die Versorgungsspannung VCC der phyCARD kann je nach Typ 5V oder 3,3V betragen. Welche der beiden Spannungen die phyCARD benötigt wird mit Hilfe des Voltage-Select-Pins festgelegt. Folgende Tabelle zeigt die möglichen Konfigurationen des Voltage-Select-Pins:

Pegel Voltage-Select-Pin (6A)	Versorgungsspannung VCC/VSTBY
GND	5V
HIGH-Z	3.3V

Um ein Austauschen von phyCARDS mit verschiedenen internen Spannungspegeln zu ermöglichen, wird die von der phyCARD genutzte Logikspannung an den VCC_LOGIC-Pins heruntergeführt. Dadurch ist es möglich die Basisplatine mit Hilfe von Levelshiftern so zu designen, dass sie für alle phyCARD-A Typen kompatibel ist.

ACHTUNG: VCC_LOGIC ist nicht auf die beiden Spannungspegel 3,3V und 5V beschränkt, sondern kann je nach phyCARD auch andere Spannungswerte annehmen (z.B. 2,775V, 1,8V, ...).

Weiterhin verfügt die phyCARD noch über einen Anschluss für eine Standbyspannung VSTBY, die beispielsweise im Standby-Modus genutzt werden kann. Die Standbyspannung hat den gleichen Spannungswert wie die Versorgungsspannung.

Im Folgenden sind die Versorgungspins aufgelistet.

Versorgungspins:

Signal	Beschreibung	Pin
VCC	Versorgungsspannung (3.3V oder 5V)	1A
VCC	Versorgungsspannung (3.3V oder 5V)	1B
VCC	Versorgungsspannung (3.3V oder 5V)	2A
VCC	Versorgungsspannung (3.3V oder 5V)	2B
VCC	Versorgungsspannung (3.3V oder 5V)	3A
VCC	Versorgungsspannung (3.3V oder 5V)	3B
VCC_LOGIC	Logicspannung (wird falls nötig auf phyCARD generiert)	5A
VCC_LOGIC	Logicspannung (wird falls nötig auf phyCARD generiert)	5B
Voltage-Select	Voltage-Select-Ausgang zum einstellen von VCC	6A
VSTBY	Standbyspannung (3.3V oder 5V, je nach VCC)	6B

Leistungsaufnahme:

Um eine maximale Kompatibilität mit anderen phyCARDS zu gewährleisten muss ein Versorgungsstrom von bis zu 3A bei 5V Eingangsspannung (15 Watt) zur Verfügung gestellt werden.

Ein auf eine oder mehrere phyCARDS optimiertes Design kann mit Hilfe der aktuellen phyCARD Daten realisiert werden.

ACHTUNG: VCC_LOGIC sollte so wenig wie möglich belastet werden. Daher sollte diese Spannung ausschließlich zum Betrieb der für die phyCARD benötigten Levelshifter vorgesehen werden.

1.4.2 Reset

Die phyCARD verfügt über einen Reset-Eingang über den von Außen ein Reset der phyCARD durchgeführt werden kann, sowie einen Reset-Ausgang wodurch die phyCARD einen Reset nach Außen triggern kann. Im Folgenden sind die Resetpins aufgelistet.

Reset:

Signal	Beschreibung	Pin
nRESET_IN	Reset-Eingang	7A
nRESET_OUT	Reset-Ausgang	7B

Beim anlegen der Hauptversorgungsspannung wird auf der phyCARD automatisch ein Power-Up-Reset ausgeführt. Der Power-up –Reset kann mit Hilfe eines GPIOs, der den Reset-Eingang auf Low hält, von außen zeitlich unterdrückt werden, wodurch beim anlegen der Hauptversorgungsspannung im Standby-Modus der Reset so lange verzögert wird, bis der GPIO das Reset-Signal nicht mehr gegen GND zieht .

1.4.3 Power-Management Signale

Die phyCARD verfügt über drei Signale, die zu Power-Management Zwecken eingesetzt werden können. Im Folgenden sind die Steuersignale aufgelistet.

Power-Management Signale:

Signal	Beschreibung	Pin
nSuspend_to_RAM	Suspend to RAM Ausgang	26B
nPower_Off	Power Off Ausgang	29B
nWKUP	Wakeup Eingang	48A

nSuspend to RAM und nPower_Off dienen zur Statusanzeige des Powerzustands der phyCARD nach außen an das Basisboard. Dieses

muss je nach aktuell von der phyCARD angezeigtem Zustand reagieren, indem die für den Powerzustand benötigten Spannungsquellen (VCC bzw. VSTBY) an oder abgeschaltet werden.

Das low-aktive Signal nWKUP dient zum aufwecken der phyCARD aus dem Standby Modus.

Die Signale nPower_Off und nSuspend_to_RAM sind Open-Drain Ausgänge und Low-Aktiv.

ACHTUNG: Beim Design einer geeigneten Power-Management Schaltung auf der Basisplatine muss darauf geachtet werden, dass die verschiedenen Spannungsdomänen in den einzelnen Zuständen nicht ungewollte Querströme treiben oder ungewollte Spannungen an der phyCARD verursachen.

1.4.4 Konfigurationspins

Zur Konfiguration des auf der phyCARD befindlichen Controllers, bspw. zur Einstellung der Boot-Option, sind zwei Pins vorgesehen. Die Konfigurationsfunktion ist abhängig von der eingesetzten phyCARD. Im Folgenden sind die Config-Pins aufgelistet.

Config:

Signal	Beschreibung	Pin
CONFIG0	Konfigurationspin 0	50A
CONFIG1	Konfigurationspin 1	50B

1.4.5 USB

Die phyCARD unterstützt USB 2.0 Host und OTG Funktionalität im High-Speed Modus. Im Folgenden sind die Signale der USB-Schnittstellen aufgelistet.

USB-OTG:

Signal	Beschreibung	Pin
USB_OTG_PWR	USB-OTG Power switch output	23A
USB_OTG_OC	USB-OTG over current input signal	24A
USB_OTG_VBUS	USB VBUS Voltage	26A
USB_OTG_D-	USB transceiver cable interface, D-	27A
USB_OTG_D+	USB transceiver cable interface, D+	28A
USB_OTG_UID	USB-OTG transceiver cable ID resistor connection	29A

USB-Host:

Signal	Beschreibung	Pin
USB_HOST_PWR	USB-OTG Power switch output	23B
USB_HOST_OC	USB-OTG over current input signal	24B
USB_HOST_D-	USB transceiver cable interface, D-	27B
USB_HOST_D+	USB transceiver cable interface, D+	28B

1.4.6 LVDS

Die phyCARD unterstützt die Ansteuerung eines Displays über LVDS. Je nach phyCARD-Modell steht außerdem ein weiteres LVDS-Interface für Kameras zur Verfügung. Im Folgenden sind die Signale der LVDS-Schnittstellen aufgelistet.

Display-LVDS:

Signal	Beschreibung	Pin
LVDS_TX0+	LVDS Channel 0 positive Output	9A
LVDS_TX1+	LVDS Channel 1 positive Output	9B
LVDS_TX0-	LVDS Channel 0 negative Output	10A
LVDS_TX1-	LVDS Channel 1 negative Output	10B
LVDS_TX2+	LVDS Channel 2 positive Output	11A
LVDS_TX3+	LVDS Channel 3 positive Output	11B
LVDS_TX2-	LVDS Channel 2 negative Output	12A
LVDS_TX3-	LVDS Channel 3 negative Output	12B
LVDS_TXCLK+	LVDS Clock positive Output	14A
LVDS_TXCLK-	LVDS Clock negative Output	15A

Kamera-LVDS (sofern von gewählter phyCARD unterstützt):

Signal	Beschreibung	Pin
LVDS_CAM_RX+	LVDS Receive positiv Input for Camera	14B
LVS_CAM_RX-	LVDS Receive negativ Input for Camera	15B
LVDS_CAM_MCLK	Clock Output for Camera Interface	16A
LVDS_CAM_nLOCK	Lock Output for Camera Interface	16B

1.4.6.1 Pixel-Mapping Display-LVDS

Das Pixel-Mapping des Display-LVDS orientiert sich am OpenLDI¹ bzw. Intel 24.0² Standard. Dadurch sind 18- und 24-Bit Interfaces und Displays untereinander kompatibel.

In den folgenden Tabellen ist das Pixel-Mapping dargestellt. Dabei stellen A0 – A3 die entsprechenden LVDS-Kanäle 0- 3 da.

18-Bit-Interface

Bit-Nr.	1	2	3	4	5	6	7
CLK	1	1	0	0	0	1	1
A0	G0	R5	R4	R3	R2	R1	R0
A1	B1	B0	G5	G4	G3	G2	G1
A2	DE	VSYNC	HSYNC	B5	B4	B3	B2
A3	0	0	0	0	0	0	0

24-Bit-Interface

Bit-Nr.	1	2	3	4	5	6	7
CLK	1	1	0	0	0	1	1
A0	G2	R7	R6	R5	R4	R3	R2
A1	B3	B2	G7	G6	G5	G4	G3
A2	DE	VSYNC	HSYNC	B7	B6	B5	B4
A3	0	B1	B0	G1	G0	R1	R0

¹ Siehe OpenLDI Specification von National Semiconductor

² Siehe Intel Document 315975 „Using 24-bpp LVDS Panels with Intel® Mobile Chipset for Embedded Applications”

Übersicht des Pixel-Mappings + Anschluss an bestimmter LVDS-Konverter von National Semiconductor

VGA — TFT Data Signal			Transmitter Input Data Pin			Receiver Output Data Pin			TFT Panel Data Signal	
	24-bit	18-bit	24-bit Tx (C385)	18-bit Tx (C365)	48-bit Tx (C387)	24-bit Rx (CF384A)	18-bit Rx (CF364A)	48-bit Rx (CF388)	18-bit	24-bit
LSB	R0		Txin27		R16	Rxout27		R16		R0
	R1		Txin5		R17	Rxout5		R17		R1
	R2	R0	Txin0	Txin0	R10	Rxout0	Rxout0	R10	R0	R2
	R3	R1	Txin1	Txin1	R11	Rxout1	Rxout1	R11	R1	R3
	R4	R2	Txin2	Txin2	R12	Rxout2	Rxout2	R12	R2	R4
	R5	R3	Txin3	Txin3	R13	Rxout3	Rxout3	R13	R3	R5
	R6	R4	Txin4	Txin4	R14	Rxout4	Rxout4	R14	R4	R6
MSB	R7	R5	Txin6	Txin5	R15	Rxout6	Rxout5	R15	R5	R7
LSB	G0		Txin10		G16	Rxout10		G16		G0
	G1		Txin11		G17	Rxout11		G17		G1
	G2	G0	Txin7	Txin6	G10	Rxout7	Rxout6	G10	G0	G2
	G3	G1	Txin8	Txin7	G11	Rxout8	Rxout7	G11	G1	G3
	G4	G2	Txin9	Txin8	G12	Rxout9	Rxout8	G12	G2	G4
	G5	G3	Txin12	Txin9	G13	Rxout12	Rxout9	G13	G3	G5
	G6	G4	Txin13	Txin10	G14	Rxout13	Rxout10	G14	G4	G6
MSB	G7	G5	Txin14	Txin11	G15	Rxout14	Rxout11	G15	G5	G7
LSB	B0		Txin16		B16	Rxout16		B16		B0
	B1		Txin17		B17	Rxout17		B17		B1
	B2	B0	Txin15	Txin12	B10	Rxout15	Rxout12	B10	B0	B2
	B3	B1	Txin18	Txin13	B11	Rxout18	Rxout13	B11	B1	B3
	B4	B2	Txin19	Txin14	B12	Rxout19	Rxout14	B12	B2	B4
	B5	B3	Txin20	Txin15	B13	Rxout20	Rxout15	B13	B3	B5
	B6	B4	Txin21	Txin16	B14	Rxout21	Rxout16	B14	B4	B6
MSB	B7	B5	Txin22	Txin17	B15	Rxout22	Rxout17	B15	B5	B7

© PHYTEC Messtechnik GmbH

Europe: Support Hotline: +49 (6131) 9221-31 • <http://www.phytec.de>

North America: Support Hotline: + 1-800-278-9913 • <http://www.phytec.com>

1.4.7 I²C

Die phyCARD unterstützt ein I²C Interface im Master-Mode. Im Folgenden sind die Signale der I²C-Schnittstelle aufgelistet:

I²C-Interface:

Signal	Beschreibung	Pin
I2C_CLK	I2C Clock Output	17A
I2C_DATA	I2C Data	17B

1.4.8 SPI

Die phyCARD unterstützt eine SPI-Schnittstelle mit standardmäßig zwei CS-Signalen. Im Folgenden sind die Signale der SPI-Schnittstelle aufgelistet:

SPI-Schnittstelle:

Signal	Beschreibung	Pin
SPI_CS0	SPI Chip select 0	35A
SPI_CS1	SPI Chip select 1	35B
SPI_RDY	SPI data ready in Master mode	36A
SPI_MOSI	SPI Master data out; slave data in	36B
SPI_CLK	SPI clock	37A
SPI_MISO	SPI Master data in; slave data out	37B

1.4.9 ETH10/100

Die phyCARD unterstützt Ethernet 10/100 Mbit/s. Im Folgenden sind die Signale der Ethernet-Schnittstelle aufgelistet:

Ethernet:

Signal	Beschreibung	Pin
ETH_SPEED	Ethernet Speed Indicator	19A
ETH_LINK	Ethernet Link Indicator	19B
ETH_TX+	Transmit positive output	20A
ETH_RX+	Receive positive input	20B
ETH_TX-	Transmit negative output	21A
ETH_RX-	Receive negative input	21B

1.4.10 AC97

Die phyCARD unterstützt AC97 bzw. HDA. Im Folgenden sind die Signale der AC97/HDA-Schnittstelle aufgelistet:

AC97/HDA:

Signal	Beschreibung	Pin
HDA_SEL/AC97_INT	HDA Select/AC97 Interrupt	42A
AC97/HDA_BIT_CLK	AC97/HDA Bit Clock	42B
AC97/HDA_SDTAT_OUT	AC97/HDA Transmit Output	43A
AC97/HDA_SYNC	AC97/HDA SYNC	43B
AC97/HDA_SDATA_IN	AC97/HDA Receive Input	44A
AC97/HDA_nRESET	AC97/HAD Reset	44B

HDA_SEL wird auf der phyCARD mit einem Pullup oder Pulldown festgelegt, High Pegel entspricht AC97 und Low Pegel HDA.

1.4.11 UART

Die phyCARD verfügt über eine UART-Schnittstelle. Die Signale werden mit VCC_LOGIC-Pegel rausgeführt, wodurch wahlweise RS232, RS485... Treiber angeschlossen werden können. Im Folgenden sind die Signale der UART-Schnittstelle aufgelistet:

UART:

Signal	Beschreibung	Pin
UART_TXD	UART Serial transmit signal	39A
UART_RXD	UART Serial data receive signal	39B
UART_RTS	UART Request to send	40A
UART_CTS	UART Clear to send	40B

1.4.12 SDIO/MMC

Die phyCARD verfügt über eine SDIO/MMC-Schnittstelle. Im Folgenden sind die Signale der SDIO/MMC-Schnittstelle aufgelistet:

SDIO/MMC

Signal	Beschreibung	Pin
SDIO_D0	SD/MMC Data line 0	31A
SDIO_D1	SD/MMC Data line 1	31B
SDIO_D2	SD/MMC Data line 2	32A
SDIO_D3	SD/MMC Data line 3	32B
SDIO_CLK	SD/MMC Clock for MMC/SD/SDIO	33A
SDIO_CMD	SD/MMC Command for MMC/SD/SDIO	33B
SDIO_CD	SD/MMC Card Detect	46B

1.4.13 GPIO

Die phyCARD verfügt über 3 GPIOs die für unterschiedlichste Anwendungen genutzt werden können. Insbesondere kann jeder GPIO als Interruptquelle dienen. Im Folgenden sind die GPIOs aufgelistet:

GPIOs:

Signal	Beschreibung	Pin
GPIO0/IRQ0	GPIO/ Interrupt	46A
GPIO1/IRQ1	GPIO/ Interrupt	46B
GPIO2/IRQ2	GPIO/ Interrupt	47B

1.4.14 JTAG

Die phyCARD verfügt über ein JTAG-Interface, das über den Card-Edge-Connector rausgeführt ist. Alle für den Zugriff auf das JTAG-Interface benötigten Signale befinden sich auf der Unterseite der phyCARD, d.h. Pin 1 des Card-Edge-Connectors befindet sich auf der Seite der Molex-Stecker. Im Folgenden sind die Signale der JTAG-Schnittstelle aufgelistet:

JTAG:

Signal	Beschreibung	Pin
VTREF	Voltage level of target device	1
VCC	Vcc	2
TRST	Test reset	3
GND		4
TDI	Test data input	5
GND		6
TMS	Test mode select	7
GND		8
TCK	Test clock	9
GND		10
RTCK	Return test clock	11
GND		12
TDO	Test data output	13
GND		14
RESET_MCU	System reset	15
GND		16
DBGRQ	Debug request	17
GND		18
DBGACK	Debug acknowledge	19
GND		20

2 Design-In Guide

Im folgenden Kapitel werden kurze Beispiel-Beschaltungen der einzelnen von der phyCARD-A zur Verfügung gestellten Schnittstellen gezeigt. Diese können als Grundlage eines eigenen Basisplatten-Designs dienen. Weiterhin werden Layoutempfehlungen zu den einzelnen Schnittstellen gegeben.

2.1 Unterschiede optimierter Designs

Tabelle 2 zeigt die wichtigsten Unterschiede eines kostenoptimierten und eines auf Kompatibilität optimierten Designs.

Bitte beachten Sie, dass bei einem kostenoptimierten Design nicht mehr alle phyCARD Modelle ohne weiteres auf der Basisplatte eingesetzt werden können.

Kosten optimiert	Auf Kompatibilität optimiert
Feste Versorgungsspannung, keine Auswertung des Voltage-Select-Signals nötig	Automatisch umschaltbare Versorgungsspannung (3,3V oder 5V)
Sofern möglich, Nutzung des VCC_LOGIC Spannungspegels für alle Gegenstellen der phyCARD auf der Basisplatte	Die Gegenstelle der Basisplatte kann je nach eingesetzten Levelshiftern andere Logik-Spannungen nutzen als die phyCARD
Keine Levelshifter für Signale mit VCC_LOGIC-Pegel nötig	Für alle Signale mit VCC_LOGIC-Pegel müssen Levelshifter vorgesehen werden
AC97 oder HDA-Device auf Basisplatte	Sowohl AC97 als auch HDA-Device müssen auf der Basisplatte vorgesehen werden

Tabelle 2: Unterschied optimierter Designs

Die hier dargestellten Designs stellen die beiden Extrema da. Je nach Anwendung und bereits bekannter zukünftiger Entwicklung können auch Zwischenstufen der beiden Optimierungen entstehen, beispielweise wenn bereits beim Design der Basisplatine klar ist, dass nur phyCARDS mit einer Logikspannung von 3,3V eingesetzt werden, wodurch die Levelshifter bei entsprechendem Pegel der Gegenstellen entfallen können.

2.2 Allgemeine Layout Empfehlungen

Die hier beschriebenen Layout Empfehlungen gelten allgemein für alle Signale, die von der phyCARD herunter geführt und auf der Basisplatine genutzt werden.

Sofern nicht anderes im entsprechenden Abschnitt spezifiziert, sollten die Leitungen der von der phyCARD herunter geführten Signale einen Leitungsimpedanz von ca. 50 Ω aufweisen. Weiterhin sollte darauf geachtet werden die Leitungslänge der Funktionsgruppen immer möglichst kurz zu halten. Auch sollte auf den Abstand der Leitungen untereinander geachtet werden, um Übersprechen zu vermeiden.

Für kritische , d.h. beispielsweise Signale mit hohen Frequenzanteilen, und impedanzkontrolliert geroutete Signale sollte die Anzahl der Lagenwechsel möglichst gering gehalten werden.

Für den Lagenaufbau gilt, dass möglichst an jede Signallage in geringem Abstand eine Versorgung- oder GND-Plane anliegen sollte, die als Referenzlage dient

2.3 Versorgungsspannung

2.3.1 Beispielschaltung

Die phyCARD benötigt nur eine Versorgungsspannung. Diese beträgt je nach Model 3,3V oder 5V. Um vollständig kompatibel zu allen phyCARD-A Modellen zu sein, müssen daher beide Versorgungsspannungen vorgesehen werden.

Welche der beiden möglichen Spannungen von der phyCARD genutzt wird zeigt die phyCARD mit Hilfe des Voltage-Select-Pins an: Befindet sich der Pegel des Voltage-Select-Signals auf GND, so benötigt die phyCARD 5V. Steht das Signal hingegen auf High-Z, so werden 3,3V benötigt. Durch eine entsprechende Beschaltung kann die Versorgungsspannung je nach bedarf der phyCARD automatisch umgeschaltet werden. Abbildung 2 zeigt ein Beispieldesign einer solchen automatischen Umschaltung.

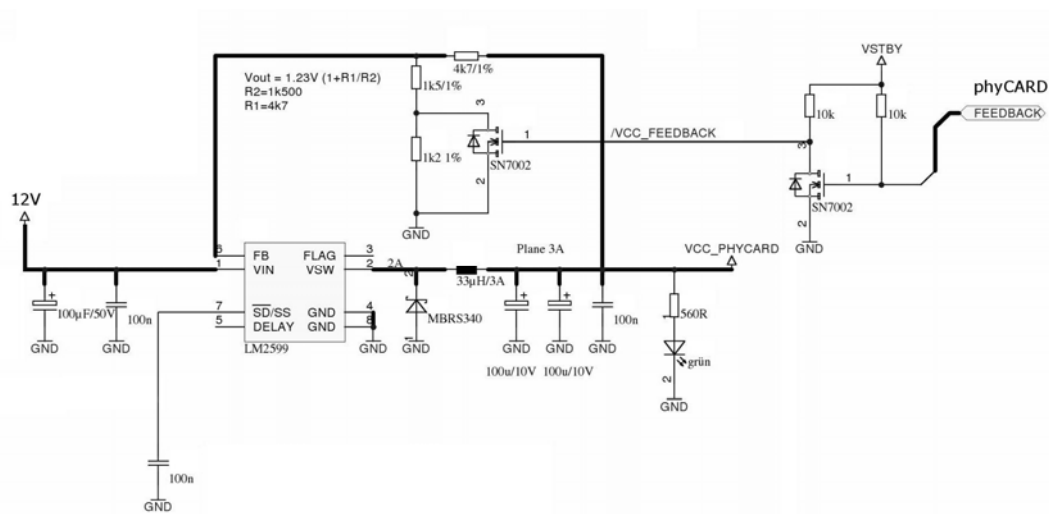


Abbildung 2: Beispieldesign der Versorgungsspannung

Zur Erzeugung der phyCARD Versorgungsspannung wird in diesem Beispiel der LM2599 Schaltregler von National genutzt. Mit Hilfe des Voltage-Select-Signals der phyCARD kann der Spannungsteiler, der den Wert der Ausgangsspannung bestimmt, geändert werden, wodurch dann je nach eingesetzter phyCARD entweder 3,3V oder 5V erzeugt werden. Die in Abbildung 2 gezeigte Beschaltung kann in dieser Form auch für die Standby-Spannung VSTBY genutzt werden.

2.3.2 Layout Empfehlungen

Für die Versorgungsspannung sollten mindestens zwei Planes vorgesehen werden: Eine für GND, die andere für VCC. Die beiden Planes sollten möglichst nah beieinander liegen, so dass sie als Kondensator fungieren können.

Zur Stützung der und zur Minimierung von Störungen auf der Versorgungsspannung sollten sowohl Bulk-Kondensatoren als auch Abblockkondensatoren vorgesehen werden. Die Bulk-Kondensatoren sollten eine relativ hohe Kapazität vorweisen (z.B. 100 μ F), einen möglichst geringen ESR haben und möglichst nah am Spannungsregler positioniert werden. Als Blockkondensatoren können z.B. 100nF Kondensatoren dienen. Diese sollten möglichst über die gesamte Platine in einem Schachbrettmuster verteilt werden. Da die Blockkondensatoren u.a. als Bypass für hohe Störfrequenzen dienen sollen, sollten diese relativ großzügig genutzt werden.

Bei der Anbindung der Spannungsquelle und der Kondensatoren sollte darauf geachtet werden, dass diese möglichst niederimpedant ist. D.h. z.B., dass genügend Vias von der Versorgungsspannung bzw. den Bulk-Kondensatoren in die VCC- und GND-Planes führen sollten.

Bei den Abblockkondensatoren muss, wegen der Nutzung im höheren Frequenzbereich, darauf geachtet werden, dass die Anbindung ebenfalls möglichst niederimpedant erfolgt. Da hier vor allem Induktivitäten eine große Rolle spielen gilt es hier, die Vias möglichst direkt an die Pads ohne zusätzliche Leiterbahn an die Kondensatoren anzubinden. Eine weitere Verbesserung kann mit Hilfe geeigneter Kondensator-Bauformen erzielt werden, beispielsweise 0306.

Grundsätzlich sollten alle Abblockkondensatoren als SMD-Bausteine ausgeführt werden.

2.4 Display-LVDS

2.4.1 Anschluss eines LVDS-Displays

Die Signale zum ansteuern eines Displays werden auf der phyCARD in LVDS-Signale umgewandelt. Dadurch ist es möglich, abgesehen von evtl. benötigten Schutzbeschaltungen, ohne zusätzliche Beschaltung ein kompatibles LVDS-Display an die phyCARD anzuschließen. Dabei muss darauf geachtet werden, dass das angeschlossene Display das gleiche Pixel-Mapping wie die phyCARD unterstützt (siehe dazu 1.4.6.1: Pixel-Mapping Display-LVDS). Um eine optimale Schirmung der Signalleitungen zu ermöglichen ist es sinnvoll zwischen auf dem Display-Anschluss die einzelnen LVDS-Kanälen mit je einer GND-Leitung zu trennen. Ein Beispiel für die Beschaltung eines Display-Anschlusses finden Sie in Abbildung 3.

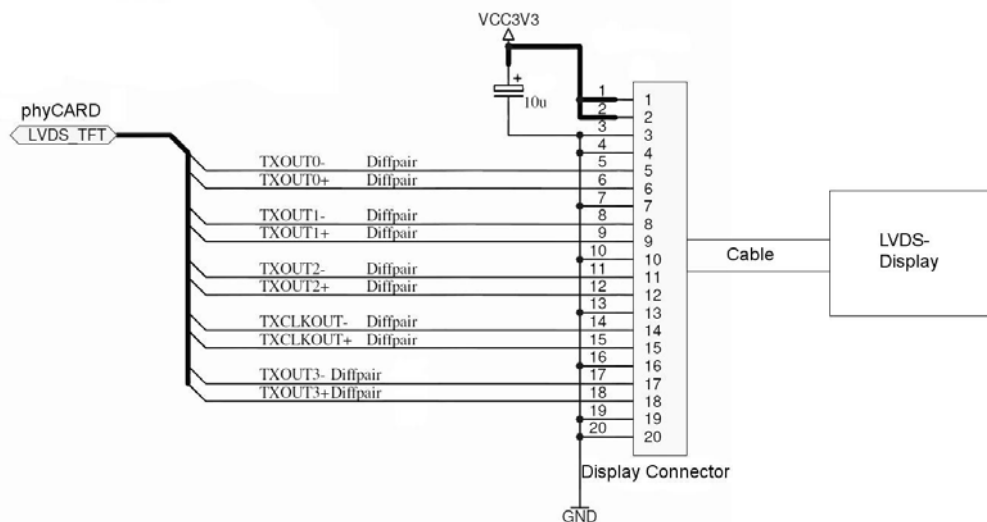


Abbildung 3: Beispielbeschaltung eines LVDS Display-Anschlusses

2.4.2 Umwandeln der LVDS-Signale in TTL-Signale

Soll ein TTL-Display an die phyCARD angeschlossen werden müssen die LVDS-Signale in TTL-Signale konvertiert werden. Hierzu kann ein LVDS-Receiver wie der DS90CF364 (18 Bit) oder der DS90CF384 (24 Bit) genutzt werden.

2.4.3 Steuern der Display-Helligkeit

Zum steuern der Helligkeit einer Display-Hintergrundbeleuchtung kann GPIO0 genutzt werden, der als PWM-Signal genutzt werden kann, sofern dies von der entsprechenden phyCARD unterstützt wird. Siehe hierzu auch Abschnitt 2.13 GPIOs auf Seite 44.

2.4.4 Layout Empfehlungen

Die Leiterbahnen der LVDS-Kanäle sollten differentiell und über die gesamte Länge mit dem gleichen Abstand geroutet werden. Der Abstand zwischen einem differentiellen Leitungspaar sollte dabei so gering wie möglich sein. Die Leitungslänge der einzelnen LVDS-Kanäle sollte untereinander möglichst gleich sein.

Die Impedanz der differentiellen Leitungen muss zwischen 90 und 110 Ω , typischerweise 100 Ω betragen. Weiterhin sollten im Signalpfad möglichst wenig Vias genutzt werden. Durch ein verlegen der Leiterbahnen in den Innenlagen als Stripline kann das Layout weiter optimiert und so die elektromagnetische Abstrahlung der LVDS-Signale verringert werden. Weiterhin sollten möglichst keine Stichleitungen genutzt werden.

Um evtl. durch ein langes Anschlusskabel hervorgerufene EMV-Probleme zu vermeiden, sollten je nach Länge des Kabels entsprechende EMV-Maßnahmen vorgesehen werden.

2.5.2 Layout Empfehlungen

Beim Layout der Basisplatine gilt für die LVDS-Signale der Kamera das gleiche wie für die LVDS-Signale des Displays:

- differentielles Routing des LVDS-Kanals
- Der Abstand der beiden differentiellen Signalleitungen sollte über die gesamte Länge gleich und minimal sein
- Möglichst gleiche Leitungslängen für alle LVDS-Signale
- Die Impedanz der differentiellen Leitungspaare sollte zwischen 90 und 110 Ω , typischerweise 100 Ω liegen.
- Möglichst wenig Vias im Signalweg nutzen
- Leiterbahnen in den Innenlagen als Stripline verlegen
- Möglichst keine Stichleitungen nutzen

2.6 Ethernet

2.6.1 Beispielschaltung

Abbildung 5 zeigt eine Beispielschaltung der Ethernet-Schnittstelle. Zum Anschluss des RJ45-Kabels wurde eine RJ45-Buchse mit bereits integrierten Übertragern verwendet. Mit Hilfe der beiden Statussignale X_ETH_SPEED und X_ETH_LINK der phyCARD wird der Status der Ethernetverbindung mit Hilfe der beiden in die Buchse integrierten LEDs angezeigt. Zum Schutz der Schaltung und der phyCARD vor Spannungstransienten dienen die Supressordioden SLVU2.8-4.

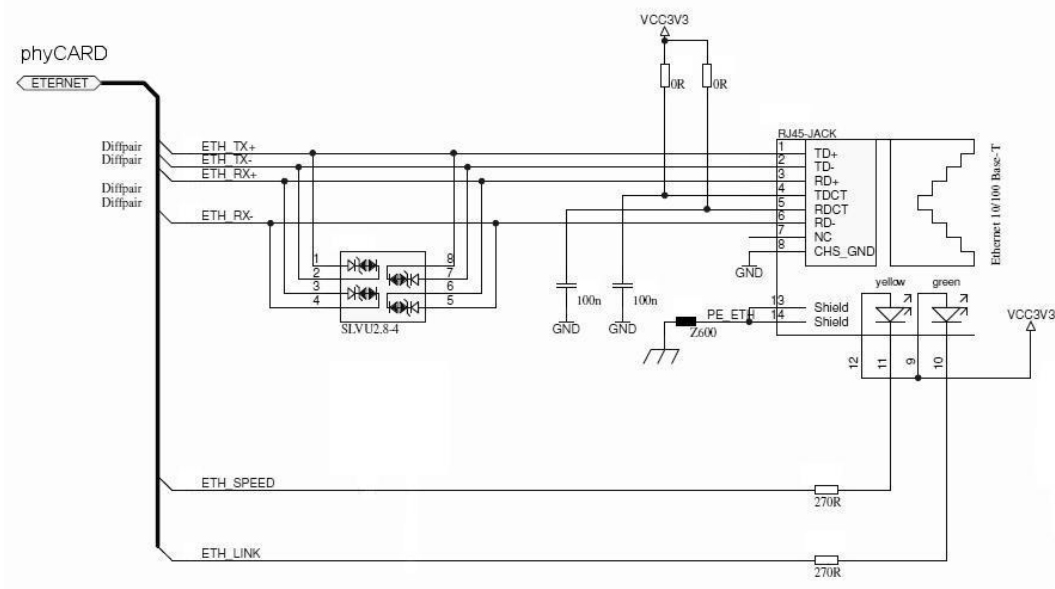


Abbildung 5: Beispielbeschaltung Ethernet

ACHTUNG: Die Signale ETH_SPEED und ETH_LINK müssen je nach eingesetzter phyCARD evtl. mit einem Levelshifter versehen werden.

Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

2.6.2 Layout Empfehlungen

Für das Layout der Ethernet-Leiterbahnen ETH_TX und ETH_RX gilt ähnliches wie für die LVDS-Signale:

- differentiell Routing für jedes Ethernet Paar (ETH_TX bzw. ETH_RX)
- Abstand der differentiell gerouteten Leiterbahnen sollte über die gesamte Länge untereinander gleich und minimal sein
- Die Leitungslänge zwischen phyCARD und Übertrager sollte so klein wie möglich gehalten werden
- ETH_TX und ETH_RX sollten möglichst gleich lang sein
- Die differentielle Impedanz der Leiterbahnen sollte 100 Ω betragen
- Möglichst wenig Vias im Signalweg nutzen
- Leiterbahnen in den Innenlagen als Stripline verlegen
- Möglichst keine Stichleitungen nutzen

Für die übrigen Signale ETH_SPEED und ETH_LINK müssen keine besonderen Layoutanforderungen beachtet werden, da es sich hier lediglich um relativ unkritische Statussignale handelt.

2.7 USB

2.7.1 Beispielschaltung

Die phyCARD verfügt über zwei USB-Schnittstellen (USB + Host), die vollständig ausgebaut sind. Dadurch fällt die Beschaltung der USB-Schnittstellen auf der Basisplatte minimal aus. Eine Beispielbeschaltung der beiden USB-Interfaces ist in Abbildung 6 zu sehen.

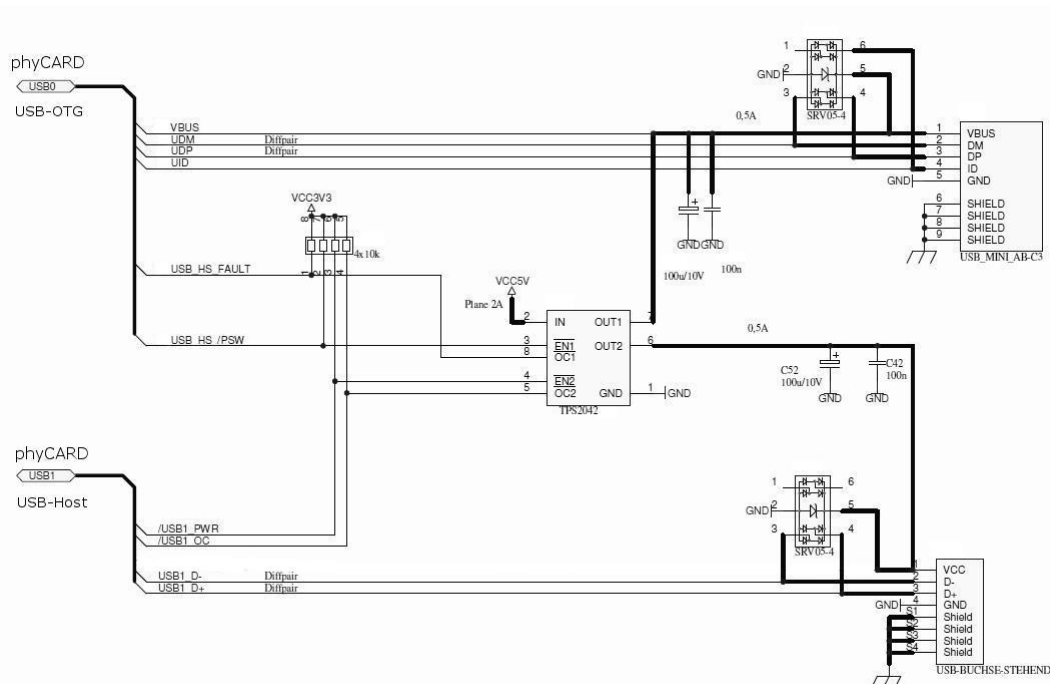


Abbildung 6: Beispielbeschaltung der USB-Schnittstellen

Die beiden beiden Dioden-Arrays SRV05-4 dienen, wie schon beim Ethernet, dem Schutz vor Spannungstransienten.

Für die korrekte Spannungsversorgung des USB-Busses wird außerdem noch ein Power-Distribution Switch, wie beispielsweise der TPS2042, benötigt, der mit Hilfe der PWR bzw. OC Signale der USB-

Schnittstellen gesteuert wird und so z.B. bei Überstrom ein Ausschalten der Bus-Spannung ermöglicht. Zur Stabilisierung der Bus-Spannung sollten zwischen Power Switch und USB-Buchse noch Stützkondensatoren vorgesehen werden.

ACHTUNG: Die Signale USB_OTG_PWR1 und USB_OTG_OC1 (im Schaltplan USB_HS_/PWS und USB_HS_FAULT) sowie USB_PWR2 und USB_OC2 müssen je nach eingesetzter phyCARD evtl. mit einem Levelshifter versehen werden. Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

2.7.2 Layout Empfehlungen

Für das Layout der Datenleitungen der USB-Schnittstellen gilt ähnliches wie für die LVDS- und Ethernet-Signale:

- differentielles Routing der Datenleitungen (DP und DM)
- Abstand der differentiell gerouteten Leiterbahnen sollte über die gesamte Länge untereinander gleich und minimal sein
- Die Länge der beiden differentiell gerouteten Leitungen sollte möglichst gleich sein
- Die Leitungslänge zwischen phyCARD und USB-Stecker sollte so klein wie möglich gehalten werden
- Die differentielle Impedanz der Leiterbahnen sollte 90 Ω betragen
- Möglichst wenig Vias im Signalweg nutzen
- Leiterbahnen in den Innenlagen als Stripline verlegen
- Möglichst keine Stichleitungen nutzen

Für die übrigen Signale (VBUS, UID, PWR und OC) müssen keine besonderen Layoutvorgaben beachtet werden, da es sich hier um relativ unkritische Steuer- bzw. Statussignale handelt.

2.8 I²C

2.8.1 Beispielschaltung

Da der von der phyCARD herunter geführte I²C Bus einen Spannungspegel von VCC_LOGIC aufweist, der sich je nach phyCARD im Wert unterscheiden kann, muss bei gewünschter Kompatibilität zu phyCARDS mit verschiedenen VCC_LOGIC Spannung oder bei Abweichung der Logikspannung der I²C Gegenstelle ein Levelshifter vorgesehen werden. Eine Beispielschaltung mit einem solchen Levelshifter ist in Abbildung 7 gezeigt.

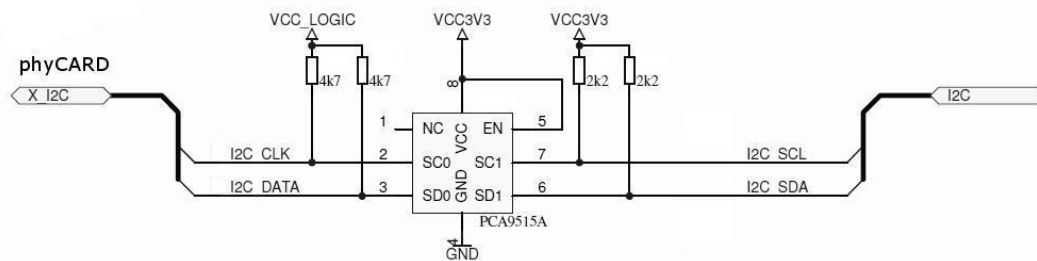


Abbildung 7: Beispielbeschaltung der I²C-Schnittstelle mit Levelshifter

In dieser Beispielschaltung wird ein der I²C-Bus Repeater PCA9515A von NXP als Levelshifter genutzt. Durch diese Beschaltung ist der Anschluss von phyCARDS mit einer Logikspannung zwischen 2,6V und 3,3V möglich. Der Levelshifter muss nicht vorgesehen werden, wenn die für das Board vorgesehenen phyCARDS und die auf der Basisplatine zugehörige I²C-Gegenstelle den gleichen Pegel der Logikspannung aufweisen. Allerdings ist dann die Kompatibilität mit anderen phyCARDS evtl. nicht mehr gegeben.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>. Weiterhin sollte bei der Wahl des Levelshifters darauf geachtet werden, dass I2C_DATA und I2C_CLK bidirektional sind und somit der Levelshifter für diese Signale ebenfalls bidirektional sein muss.

Abbildung 8 zeigt einen I²C A-D Wandler von Maxim, der je nach phyCARD und zukünftiger Kompatibilität direkt an den I²C-Bus der phyCARD angeschlossen werden kann oder mit dem Levelshifter aus Abbildung 7 verbunden wird.

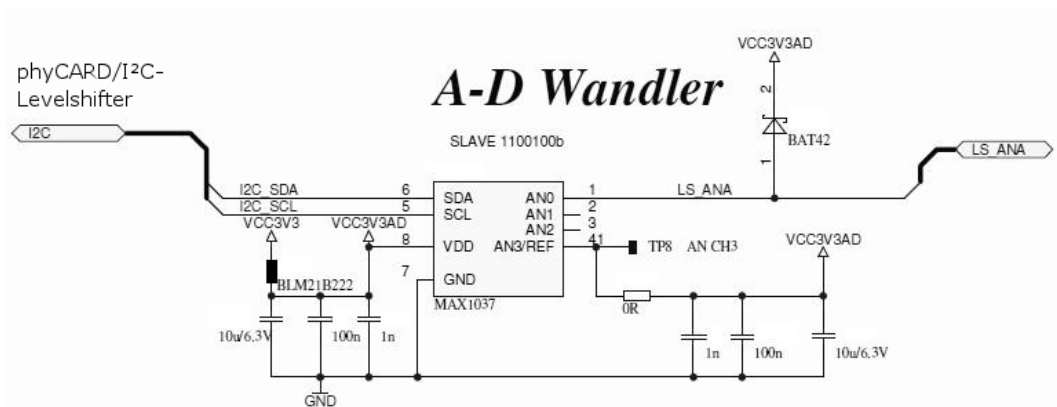


Abbildung 8: Beispielschaltung eines I²C A-D Wandlers

2.8.2 Layout Empfehlungen

Für den I²C-Bus gelten neben den allgemeinen Layout Empfehlungen keine besonderen Layoutvorgaben.

2.9 SPI

2.9.1 Beispielschaltung

Für den SPI-Bus gilt das gleich wie für den I²C-Bus: Die von der phyCARD herunter geführten SPI-Signale weisen einen Spannungspegel von VCC_LOGIC auf. Da sich dieser Spannungspegel je nach phyCARD im Wert unterscheiden kann, muss bei gewünschter Kompatibilität zu phyCARDS mit verschiedenen VCC_LOGIC Spannung oder bei Abweichung der Logikspannung der SPI Gegenstelle ein Levelshifter vorgesehen werden. Eine Beispielschaltung mit einem solchen Levelshifter ist in Abbildung 9 gezeigt.

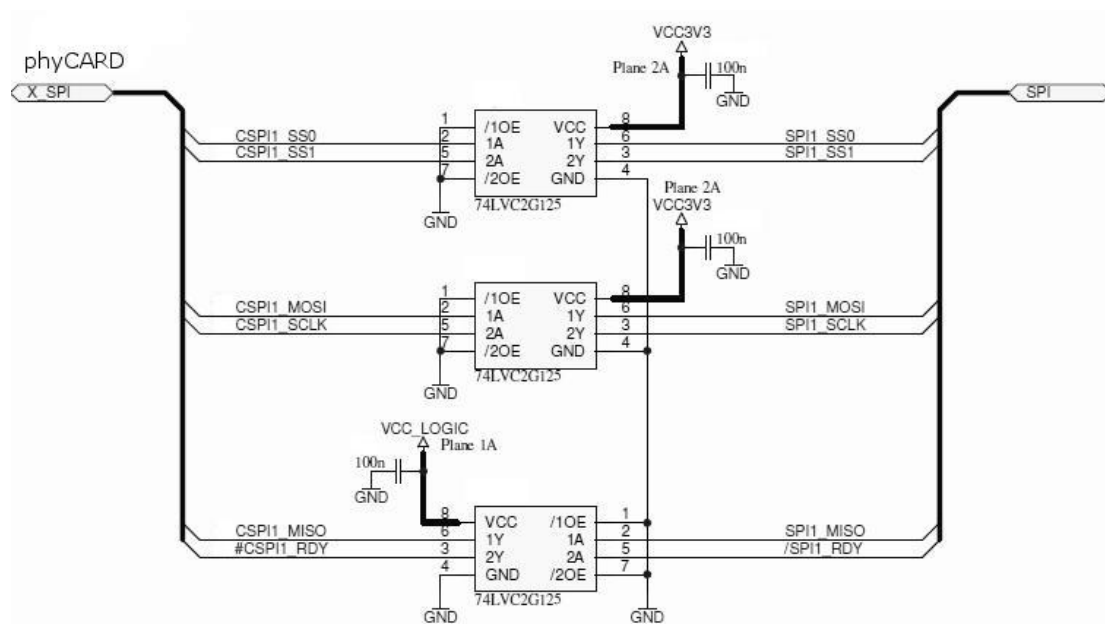


Abbildung 9: Beispielbeschaltung der SPI-Schnittstelle mit Levelshiftern

In dieser Beispielbeschaltung werden die Dual bus line driver 74LVC1G125 von NXP genutzt. Diese ermöglichen durch die Versorgungsspannung von 3,3V von der Basisplatine den Anschluss von phyCARDS mit einer Logikspannung zwischen ca. 2.2V und 3.6V.

Beim Anschluss der Levelshifter ist zu beachten, dass die Signale CS0 und CS1 (im Abbildung 9 SS0 und SS1) sowie MOSI und SCLK Ausgänge der phyCARD sind und somit die Levelshifter auch entsprechend beschaltet werden müssen. Die Signale MISO und RDY dagegen sind Eingänge weshalb sich hier der Anschluss der Levelshifter von dem der beiden anderen unterscheidet.

Die Levelshifter müssen nicht vorgesehen werden, wenn die für das Board vorgesehenen phyCARDS und die auf der Basisplatine zugehörige SPI-Gegenstelle den gleichen Pegel der Logikspannung aufweisen. Allerdings ist dann die Kompatibilität mit anderen phyCARDS evtl. nicht mehr gegeben.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

2.9.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für den SPI-Bus keine besonderen Layoutvorgaben.

2.10 UART

2.10.1 Beispielschaltung

Abbildung 10 zeigt eine Beispielbeschtung der UART. Da die von der phyCARD herunter geführten UART-Signale VCC_LOGIC-Pegel der phyCARD aufweisen, müssen hier je nach Einsatzgebiet und nötiger Kompatibilität zu anderen phyCARDS ähnlich wie bei I²C und SPI Levelshifter vorgesehen werden.

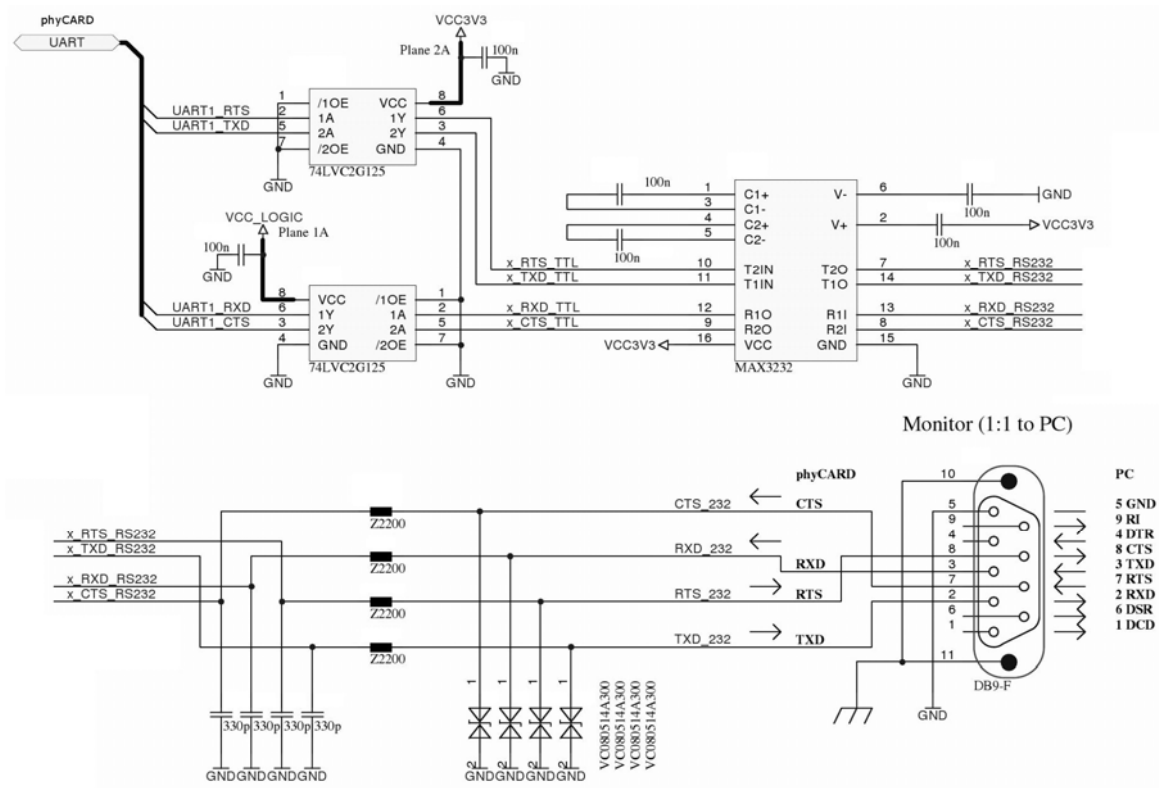


Abbildung 10: Beispielschaltung der UART

© PHYTEC Messtechnik GmbH

Europe: Support Hotline: +49 (6131) 9221-31 • <http://www.phytec.de>

North America: Support Hotline: + 1-800-278-9913 • <http://www.phytec.com>

In dieser Beispielbeschaltung werden wieder die Dual bus line driver 74LVC1G125 von NXP genutzt. Diese ermöglichen durch die Versorgungsspannung von 3,3V von der Basisplatine den Anschluss von phyCARDS mit einer Logikspannung zwischen ca. 2.2V und 3.6V.

Die UART Signale RTS und TXD sind Ausgänge, die Signale RXD und CTS sind Eingänge. Entsprechend muss auch die Beschaltung der Levelshifter angepasst werden.

Die Levelshifter müssen nicht vorgesehen werden, wenn die für das Board vorgesehenen phyCARDS und die auf der Basisplatine zugehörige UART-Gegenstelle den gleichen Pegel der Logikspannung aufweisen. Allerdings ist dann die Kompatibilität mit anderen phyCARDS evtl. nicht mehr gegeben.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

Den Levelshiftern folgt in diesem Beispiel ein MAX3232-Transceiver, der die UART-Signale in RS232-Signale bzw. umgekehrt umwandelt. Dem hinter dem Transceiver folgen noch einige Bauelemente zur Entstörung der RS232-Signale und zum Schutz vor Spannungstransienten.

2.10.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für die UART-Schnittstelle keine besonderen Layoutvorgaben.

2.11 AC97 / HDA

2.11.1 Beispielschaltung

Je nach Model wird von der phyCARD AC97 oder HDA zur Sound Aus- und Eingabe unterstützt. Welche der beiden Schnittstellen von dem jeweiligen phyCARD Model zur Verfügung gestellt wird, kann mit Hilfe des HDA_SEL-Pins festgestellt werden: High Pegel bedeutet dabei AC97 und Low Pegel HDA. Da das HDA_SEL-Signal auch gleichzeitig als AC97_INT-Signal genutzt wird, muss, sofern genutzt, die Detektierung der Schnittstelle direkt nach Anlegen der Versorgungsspannung erfolgen.

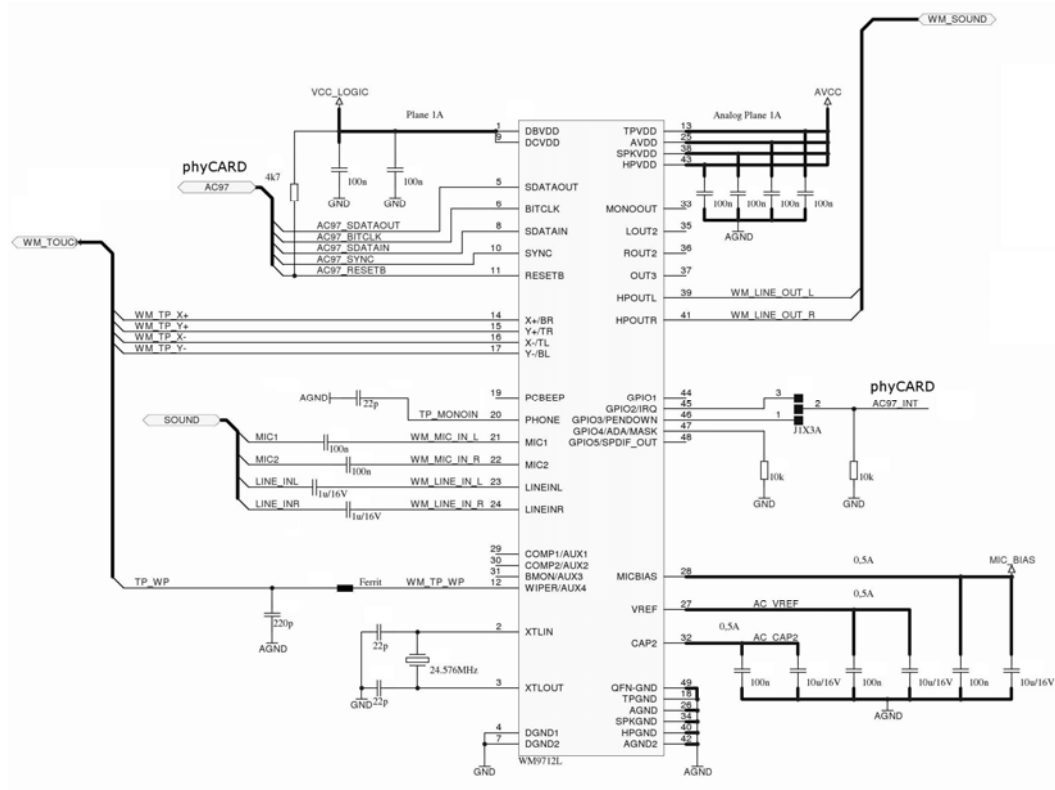


Abbildung 11: Beispielbeschtung der AC97-Schnittstelle

© PHYTEC Messtechnik GmbH

Europe: Support Hotline: +49 (6131) 9221-31 • <http://www.phytec.de>

North America: Support Hotline: + 1-800-278-9913 • <http://www.phytec.com>

Abbildung 11 zeigt eine Beispielbeschaltung für phyCARDS mit AC97-Schnittstelle. Hierfür wird in diesem Fall der WM9712 von Wolfson genutzt um Schnittstellensignale für Sound und Touchscreen zu erzeugen bzw. auszuwerten.

Da sowohl die AC97-Signale als auch die HDA-Signale einen Spannungspegel von VCC_LOGIC haben, müssen je nach geplanter einzusetzender phyCARD und nach genutzter Gegenstelle die Signale mit Hilfe von Levelshiftern an die Logikspannung der anzuschließenden Baugruppe angepasst werden.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

In der Beispielbeschaltung übernimmt der WM9712 das Anpassen der Spannungspegel, da dieser über die Versorgungsanschlüsse DBVDD bzw. DCVDD seine Logikspannung festlegt. Diese darf beim hier eingesetzten IC zwischen 1,8V und 3,6V betragen. Durch anschließen der von der phyCARD zur Verfügung gestellten VCC_LOGIC Spannung kann dadurch praktisch jede phyCARD mit AC97-Schnittstelle am WM9712 betrieben werden.

Um eine möglichst vollständige Kompatibilität der Basisplatine zu allen phyCARDS zu haben muss entweder ein Baustein eingesetzt werden, der sowohl AC97 als auch HDA unterstützt, oder es muss je ein Baustein für HDA und einer für AC97 vorgesehen werden, zwischen denen dann je nach eingesetzter phyCARD umgeschaltet werden kann. Diese Umschaltung kann z.B. automatisch mit Hilfe einer entsprechenden Logikschaltung, die den Pegel des HDA_SEL-Signals bei Systemstart auswertet, oder durch Dipp-Switches realisiert werden.

2.11.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für AC97 und HDA keine besonderen Layoutvorgaben.

2.12 SDIO/MMC

2.12.1 Beispielschaltung

Die von der phyCARD zur Verfügung gestellten SDIO-Signale müssen für vollständige Kompatibilität zu allen phyCARDS mit Hilfe von Levelshifter an die Signalpegel der Basisplatine angepasst werden. Abbildung 12 zeigt eine Beispielbeschriftung der SDIO-Schnittstelle.

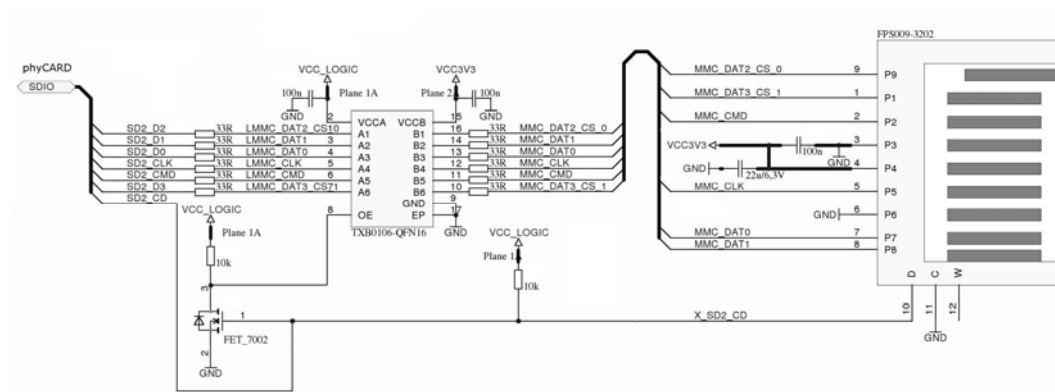


Abbildung 12: Beispielbeschriftung der SDIO-Schnittstelle

In dieser Beschaltung wird der Bidirektionale Levelshifter TXB0106 von Texas Instruments genutzt. Dieser kann an Spannungsdomäne A (VCC A) mit Spannungen zwischen 1,2V und 3,6V arbeiten. Die Gegenstelle, Spannungsdomäne B, ist für Spannungen zwischen 1,65V und 5,5V ausgelegt. Durch anschließen der der Spannung VCC_LOGIC der phyCARD an VCCA und der Logikspannung des Basisboards an VCCB können so alle phyCARDS mit Logikspannungen zwischen 1,2V und 3,6V an dieser Beispielschaltung betreiben werden.

Die Levelshifter müssen nicht vorgesehen werden, wenn die für das Board vorgesehenen phyCARDS und die auf der Basisplatine zugehörige SDIO-Gegenstelle den gleichen Pegel der Logikspannung aufweisen. Allerdings ist dann die Kompatibilität mit anderen phyCARDS evtl. nicht mehr gegeben.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

2.12.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für die SDIO-Schnittstelle keine besonderen Layoutvorgaben.

2.13 GPIOs

2.13.1 Beispielschaltung

Die GPIOs der phyCARDS können für unterschiedlichste Anwendungen genutzt werden. Insbesondere stehen alle GPIOs als Interrupt-Quelle zur Verfügung. GPIO0 stellt außerdem, sofern dies von der entsprechende phyCARD unterstützt wird, als Zusatzfunktion eine PWM zur Verfügung, mit der beispielsweise die Helligkeit einer Displaybeleuchtung geregelt werden kann.

Da die GPIOs mit VCC_LOGIC-Pegel von der phyCARD heruntergeführt werden, muss je nach gewünschter Kompatibilität zu anderen phyCARDS und je nach Einsatzbereich ein entsprechender Uni- bzw. Bidirektionaler Levelshifter vorgesehen werden.

ACHTUNG: Bitte prüfen Sie vor dem Eindesignen eines Levelshifters in Ihre Basisplatine, ob dieser für die Logikspannung der voraussichtlich eingesetzten phyCARDS ausgelegt ist. Eine Übersicht der phyCARDS und ihrer Logikspannungen erhalten Sie unter <http://www.phytec.de>.

2.13.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für die GPIOs-Schnittstelle normalerweise keine besonderen Layoutvorgaben. Je nach Einsatzbereich der GPIOs und nach Schaltfrequenz der Signale müssen evtl. Maßnahmen zur Unterstützung der Signalintegrität und zur Vermeidung von elektromagnetischer Abstrahlung vorgesehen ergriffen werden.

2.14 Konfigurations-Pins

2.14.1 Beispielschaltung

Die Konfigurationspins der phyCARD dienen zum Umschalten verschiedener Bootkonfigurationen.

Werden die Pins nicht beschaltet, befinden sich die Signale auf High-Pegel. Durch Verbinden der Konfigurationspins mit GND kann die Einstellung der phyCARD angepasst werden.

Da sich die Einstellungsmöglichkeiten je nach phyCARD unterscheiden ist es sinnvoll, die Konfigurationsbelegung mit Hilfe von Jumpfern zu realisieren.

Abbildung 13 zeigt beispielhaft die Beschaltung der Konfigurations-Pins mit Hilfe eines 2x2-Steckjumpers.

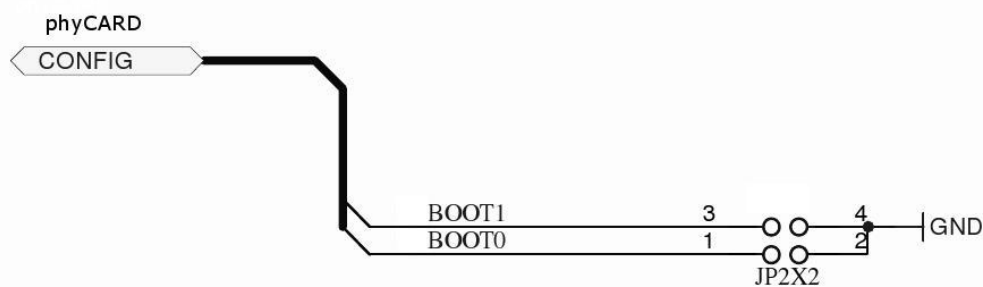


Abbildung 13: Beispielbeschaltung der Konfigurations-Pins

2.14.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für die Konfigurations-Pins keine besonderen Layoutvorgaben.

2.15 Reset-Signale

2.15.1 Beispielschaltung

Beim Reset-Pin nRESET_IN der phyCARD handelt es sich um einen Low-aktiven Eingang, über den von außen ein Reset der phyCARD ausgeführt werden kann. Wird der Eingang nicht beschaltet, liegt dort ein High-Pegel mit einer Spannung von VCC_LOGIC an. Um ein Reset auszuführen muss der Eingang nur gegen GND gezogen werden. Abbildung 14 zeigt eine Beispielbeschaltung des Reset-Eingangs.

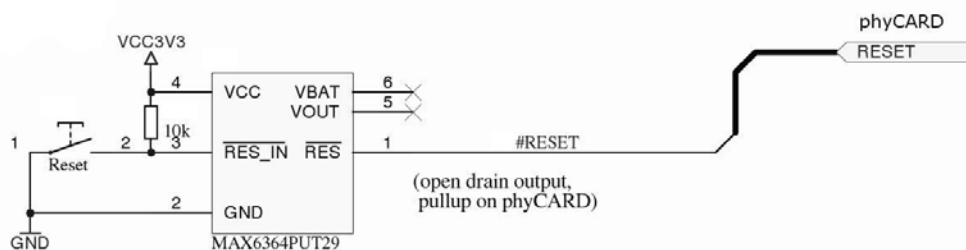


Abbildung 14: Beispielbeschaltung des Reset-Eingangs

In dieser Schaltung wurde der Spannungs-Supervisor-Baustein MAX6364PUT29 von Maxim genutzt, um im Fall einer zu geringen Versorgungsspannung oder beim betätigen des Reset-Tasters eine Reset auf der phyCARD auszuführen. Bei der Beschaltung muss darauf geachtet werden, dass es sich beim dem den Reset zu bedienenden Ausgang um einen OD bzw. OC Ausgang handeln muss.

Der Reset-Baustein ist nicht zwingend nötig. Der Reset-Taster kann auch direkt an das nRESET_IN Signal der phyCARD angeschlossen werden.

Neben dem Reset-Eingang verfügt die phyCARD noch über einen Reset-Ausgang. Da es sich bei diesem Ausgang um einen Open Drain handelt, muss bei Nutzung des Signals ein Pullup (typischerweise 10k) auf der Basisplatine vorgesehen werden. Weiterhin sollte im Fall einer abweichenden Logikspannung zwischen phyCARD und Basisplatine ein Levelshifter vorgesehen werden, um eine eventuelle Zerstörung des Ausgangs durch zu hohe Spannungen zu vermeiden.

2.15.2 Layout Empfehlungen

Neben den allgemeinen Empfehlungen gelten für die Reset-Pins keine besonderen Layoutvorgaben.

3 Power-Management

Das phyCARD-Konzept sieht drei Powerzustände vor. Der Wechsel der Power-Zustände wird mit Hilfe zweier Signale von der phyCARD angezeigt. Die Basisplatine muss, sofern gewünscht, diese Signale auswerten und entsprechend darauf reagieren:

-Power On: VCC ist zur Versorgung der phyCARD erforderlich. VSTBY ist nicht erforderlich und wird nicht belastet. Je nach eingesetzter phyCARD können Stromsparmodi der CPU eingesetzt werden, die durch ein Wakeup-Event am nWKUP-Pin oder alternative Wakeup-Quellen verlassen werden können.

In diesem Zustand ist der Pegel sowohl von nSuspend_to_RAM als auch von nPower_Off auf high.

-Standby: VCC ist zwecks Stromsparen abgeschaltet, der Systemzustand wird für die schnelle Rückkehr in Power-On gepuffert. Die dazu notwendigen Bausteine werden über VSTBY versorgt.

Der Standby-Modus kann nach Anlegen von VCC durch ein Wakeup-Event am nWKUP-Pin verlassen werden. Je nach phyCARD bzw. eingesetztem Controller reicht das Anlegen der Vcc bereits für den Wake Up des Systems aus. Die Bedienung des Wake-Up Pins ist also vorzusehen, aber u.U. bei bestimmten phyCARDS wirkungslos.

In diesem Zustand ist nSuspend_to_RAM=low, nPower_Off=high.

- Off: Sowohl VCC als auch VSTBY sind abgeschaltet. nSuspend_to_RAM und nPower_Off ist low.

Tabelle 3 zeigt nochmals die verschiedenen Powerzustände und die Pegel der Statussignale:

Zustand	Power On	Standby	Off
nSuspend_to_RAM	High	Low	X
nPower_Off	High	High	Low
Spannung VCC	On	Off	Off
Spannung VSTBY	X	On	Off

X=don't care

Tabelle 3: Übersicht der verschiedenen Power-Zustände

ACHTUNG: Die Zustände der Signale nSuspend_to_RAM und nPower_Off in Tabelle 3 zeigen nur die Signalpegel der Power-Management-Signale bei eingeschalteter Versorgungsspannung. Nach abschalten der Versorgungsspannung kann der Pegel der Signale von der Tabelle abweichen. Daher muss die Basisplatine evtl. über eine geeignete Speicherschaltung verfügen, um eine Fehlinterpretation der Signale im Standby- oder Off-Modus zu verhindern.

Document: Entwicklung eines phyCARD-A kompatiblen Designs
Document number: LAN-051-d, February 2010

How would you improve this manual?

Did you find any mistakes in this manual? page

Submitted by:

Customer number: _____

Name: _____

Company: _____

Address: _____

Return to:

PHYTEC Technologie Holding AG
Postfach 100403
D-55135 Mainz, Germany
Fax : +49 (6131) 9221-33

Published by

