

## Temporale Logik und Zustandssysteme

### Aufgabe 4-1

### Herleitungen in $\Sigma_{LTL}$

(keine Abgabe)

Leiten Sie folgende Regel und Formel in  $\Sigma_{LTL}$  her. Verwenden Sie dazu nur die Axiome und Regeln von  $\Sigma_{LTL}$  sowie (prop).

- a)  $\Box A \rightarrow B \vdash \Box A \rightarrow \Box B$   
 b)  $(\Box A \wedge \Box B) \rightarrow \Box(A \wedge B)$  (eine Richtung von (T15))

### Aufgabe 4-2

### Herleitungen in $\Sigma_{LTL}$

(6+4 Punkte)

Leiten Sie folgende Formeln und Regel in  $\Sigma_{LTL}$  her. Verwenden Sie dazu nur die Axiome und Regeln von  $\Sigma_{LTL}$  sowie (prop) und gegebenenfalls selbst hergeleitete Sätze und Regeln.

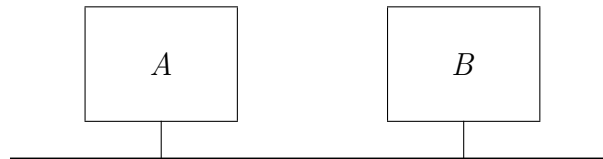
- a)  $\Box A \leftrightarrow \Box \Box A$  (T10)  
 b)  $\Box(A \wedge B) \rightarrow \Box A \wedge \Box B$  (eine Richtung von (T15))  
 c)  $A \rightarrow \Box B \vdash A \rightarrow \Diamond B$  (som)  
 d)  $\Box(A \rightarrow B) \rightarrow (\Box A \rightarrow \Box B)$  (T19) (+4 Sonderpunkte)

### Aufgabe 4-3

### Wechselseitiger Ausschluß

(6 Punkte)

An einem Hardware-Bus sind zwei Komponenten  $A$  und  $B$  angeschlossen. Eine Bus-Vorrangschaltung (*bus arbiter*) verhindert den gleichzeitigen Zugriff der Komponenten auf den Bus.



Will Komponente  $A$  in einem bestimmten Taktzyklus auf den Bus zugreifen, so setzt sie das *req1*-Bit; erlaubt die Vorrangschaltung den Zugriff, so antwortet sie durch Setzen des *ack1*-Bits im gleichen Taktzyklus. Analog werden die Bits *req2* und *ack2* für die Kommunikation mit der Komponente  $B$  benutzt.

Um keine Komponente zu bevorzugen, wird ein *prio*-Bit verwendet, das das Verhalten der Vorrangschaltung beim gleichzeitigen Zugriff von  $A$  und  $B$  auf den Bus wie folgt steuert: Ist *prio* gesetzt, so erhält  $A$  den Vorrang, ansonsten  $B$ . Der Wert des *prio*-Bits wird anschließend negiert.

Wenn nicht beide Komponenten gleichzeitig auf den Bus zugreifen wollen, bleibt der Wert des *prio*-Bits unverändert.

- a) Modellieren Sie das Verhalten der Schaltung durch eine geeignete Formelmengemenge  $\mathcal{A}$  der temporalen Aussagenlogik LTL. Die Antwort der Schaltung (d.h. das Setzen der *ack*-Bits) erfolgt dabei im selben Taktzyklus wie die Anforderung (ausgedrückt durch die *req*-Bits).
- b) Beschreiben Sie folgende Eigenschaften durch Formeln von  $\mathcal{L}_{LTL}$  und zeigen Sie, dass diese aus  $\mathcal{A}$  folgen:
- Die Komponenten  $A$  und  $B$  erhalten nicht gleichzeitig das Recht zum Zugriff auf den Bus.
  - Signalisiert mindestens eine Komponente den Wunsch zum Zugriff auf den Bus, so erhält mindestens eine Komponente das Recht dazu.
  - Will Komponente  $A$  unendlich oft auf den Bus zugreifen, so erhält sie unendlich oft das Recht dazu.

**Abgabe:** Mittwoch, den 15.11.2006, vor der Übung.